

特長

- 16M ビットの非揮発性スタティック RAM (nvSRAM)
 - 25ns、30ns および 45ns のアクセス時間
 - 2048K × 8 (CY14X116L)、1024K × 16 (CY14X116N)、512K × 32 (CY14X116S) として内部的に構成
 - 小容量コンデンサのみで電源喪失時の自動 STORE を実行
 - QuantumTrap 非揮発性素子への STORE をソフトウェア、デバイスピン、または電源喪失時の AutoStore により実行
 - SRAM への RECALL 処理はソフトウェアまたは電源オンで実行
- 高い信頼性
 - 回数に制限のない読み出し、書き込み、および RECALL サイクル
 - QuantumTrap に対する 100 万回の STORE サイクル
 - 20 年のデータ保持期間
- スリープモードの動作
- 低消費電力
 - アクセス時間 45ns 時 75mA のアクティブ電流
 - スタンバイモードの電流 650μA
 - 10μA のスリープモードの電流
- 動作電圧：
 - CY14B116X : $V_{CC} = 2.7V \sim 3.6V$
 - CY14E116X : $V_{CC} = 4.5V \sim 5.5V$
- 産業用途向け温度範囲：-40°C ~ +85°C
- パッケージ
 - 44 ピン薄型小型パッケージ (TSOP II)
 - 48 ピン薄型小型パッケージ (TSOP I)
 - 54 ピン薄型小型パッケージ (TSOP II)
 - 165 ボール微細ピッチボールグリッドアレイ (FBGA) パッケージ
- RoHS 準拠

■ 提供速度

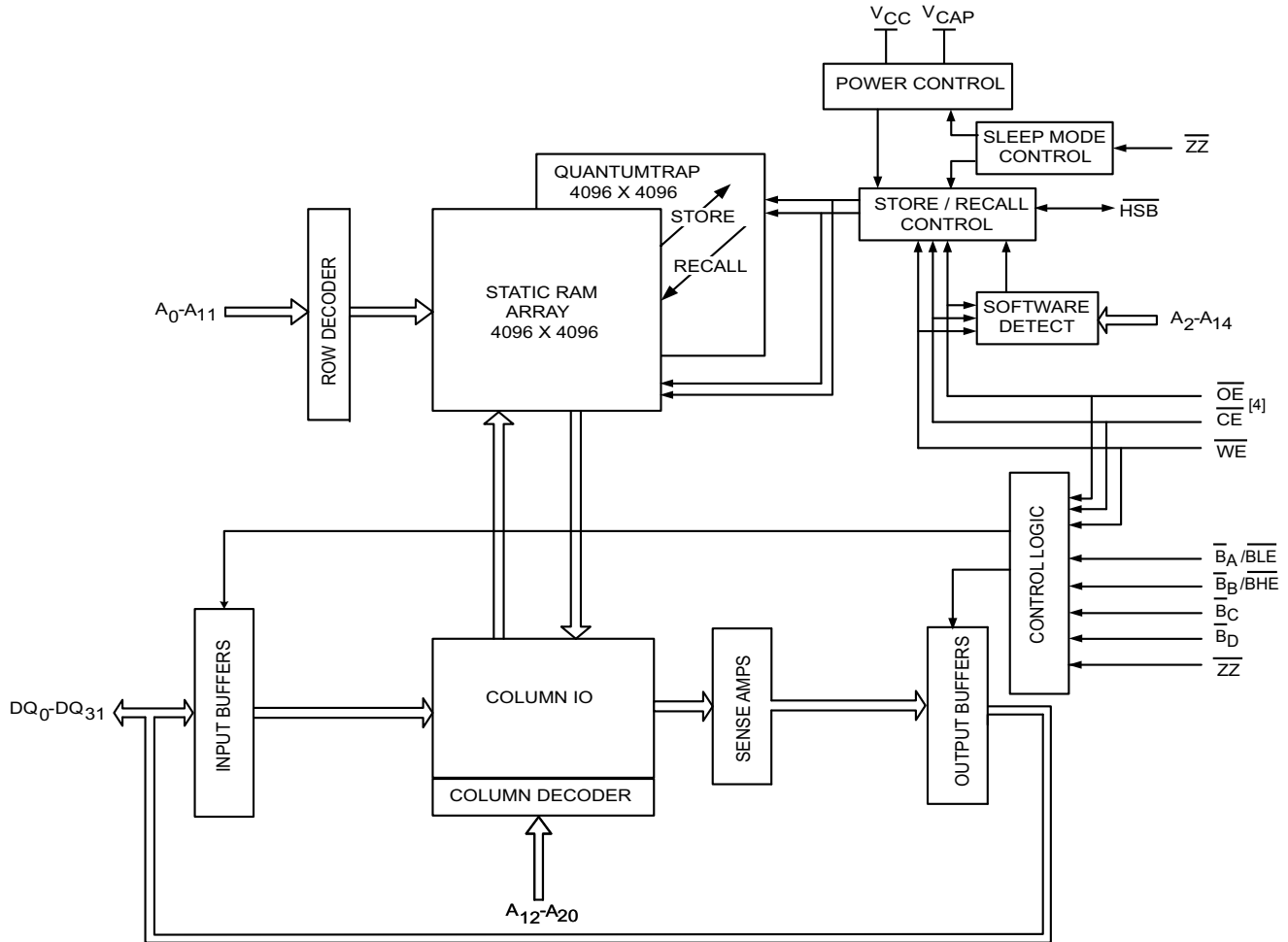
- 44 ピン TSOP II の場合：25ns と 45ns
- 44 ピン TSOP II の場合：25ns と 45ns
- 54 ピン TSOP II の場合：25ns と 45ns
- 165 ボール FBGA の場合：25ns と 45ns

機能の詳細

サイプレス CY14X116L / CY14X116N / CY14X116S は、メモリセルごとに非揮発性要素を組み込んだ高速 RAM です。このメモリは、2048K バイト x8 ビット、1024 K ワード x16 ビット、または 512K ワード x32 ビットで構成されています。埋め込み型非揮発性素子には、世界最高級の信頼性を備えた非揮発性メモリを実現する QuantumTrap 技術を採用しています。SRAM の読み出し/書き込みの回数は無制限です。非揮発性素子に保持される非揮発性データは、SRAM に書き込まれた時から変化しません。SRAM から非揮発性要素へのデータ転送 (STORE 処理) は、電源オフ時に自動的に実行されます。電源オン時には、非揮発性メモリから SRAM にデータが復元されます (RECALL 処理)。STORE と RECALL の両方の処理は、ソフトウェア制御でも実行することができます。

エラッタ: エンジニアリング サンプルは書き込み終了後のアドレス ホールド時間 (t_{HA}) と静電放電電圧の仕様を満たしていません。エラッタ: シリコン チップのエラッタに関する情報については、34 ページの正誤表を参照してください。詳細には、トリガ条件、影響されたデバイス、および提案する回避策が含まれています。

論理ブロック図 [1、2、3]



- 注
1. ×8 構成のアドレスは $A_0 \sim A_{20}$ 、×16 構成のアドレスは $A_0 \sim A_{19}$ 、×32 構成のアドレスは $A_0 \sim A_{18}$ です。
 2. ×8 構成のデータは $DQ_0 \sim DQ_7$ 、×16 構成のデータは $DQ_0 \sim DQ_{15}$ 、×32 構成のデータは $DQ_0 \sim DQ_{31}$ です。
 3. \overline{BLE} と \overline{BHE} は ×16 構成で、 \overline{BA} 、 \overline{BB} 、 \overline{BC} と \overline{BD} は ×32 構成でのみ使用できます。
 4. TSOP II パッケージはシングル \overline{CE} で提供されます。TSOP I と BGA パッケージはデュアル \overline{CE} オプションで提供されます。このデータシートでは、デュアル \overline{CE} デバイスに対して、 \overline{CE}_1 が LOW で、 \overline{CE}_2 が HIGH の場合、 \overline{CE} は LOW であるように、 \overline{CE} は \overline{CE}_1 と \overline{CE}_2 の内部の論理的結合です。それ以外の場合は、 \overline{CE} は HIGH です。

目次

ピン配置	4	SRAM 真理値表	24
ピン機能	7	×8 構成の場合	24
デバイスの動作	8	×8 構成の場合	24
SRAM 読み出し	8	×16 構成の場合	24
SRAM 書き込み	8	×16 構成の場合	25
AutoStore 処理 (電源オフ)	8	×32 構成の場合	25
ハードウェア STORE (HSB) 処理	9	注文情報	26
ハードウェア RECALL (電源オン)	9	注文コードの定義	27
ソフトウェア STORE	9	パッケージ外形図	28
ソフトウェア RECALL	9	略語	32
スリープモード	10	本書の表記法	32
AutoStore 防止	12	測定単位	32
データ保護	12	エラーッタ	33
最大定格	13	影響を受ける部品番号	33
動作範囲	13	16M ビット (2048K × 8、1024K × 16、512K × 32)	
DC 電気的特性	13	nvSRAM の認定状況	33
データ保持期間およびアクセス回数	14	16M ビット (2048K × 8、1024K × 16) nvSRAM の	
容量	14	エラーッタのまとめ	33
熱抵抗	14	改訂履歴	36
AC テスト条件	15	セールス、ソリューションおよび法律情報	37
AC スイッチング特性	16	ワールドワイドな販売と設計サポート	37
AutoStore / パワーアップ RECALL 特性	20	製品	37
スリープモード特性	21	PSoC [®] ソリューション	37
ソフトウェア制御 STORE および RECALL 特性	22	サイプレス開発者コミュニティ	37
ハードウェア STORE 特性	23	テクニカル サポート	37

ピン配置

図 1. ピン配置図 : 44 ピン TSOP II (x8)

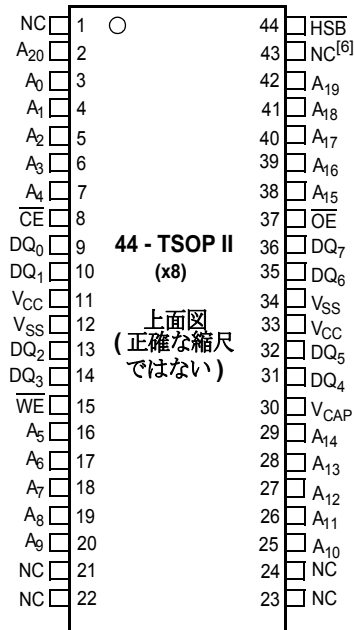


図 2. ピン配置図 : 54 ピン TSOP II (x16)

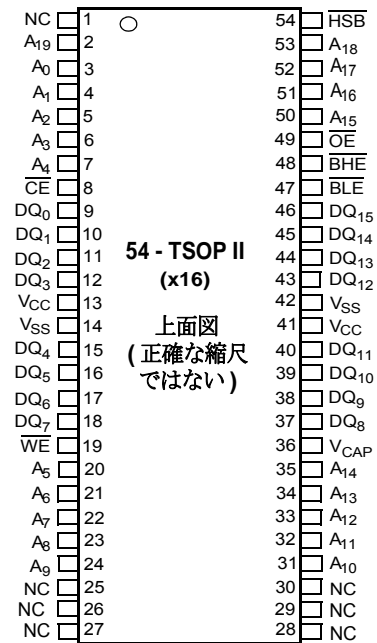
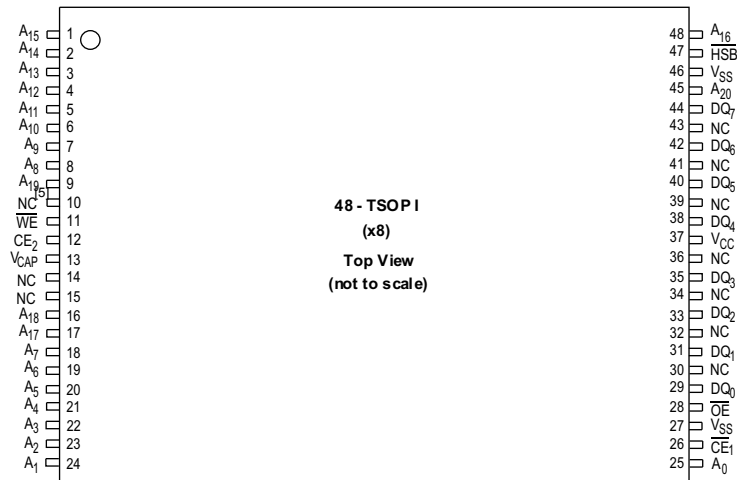


図 3. ピン配置図 : 48 ピン TSOP I (x8)



注

5. 32M ビットのアドレス拡張に対応しています。NC 端子はダイに接続されません。

ピン配置 (続き)

図 4. ピン配置図 : 48 ピン TSOP I (x16)

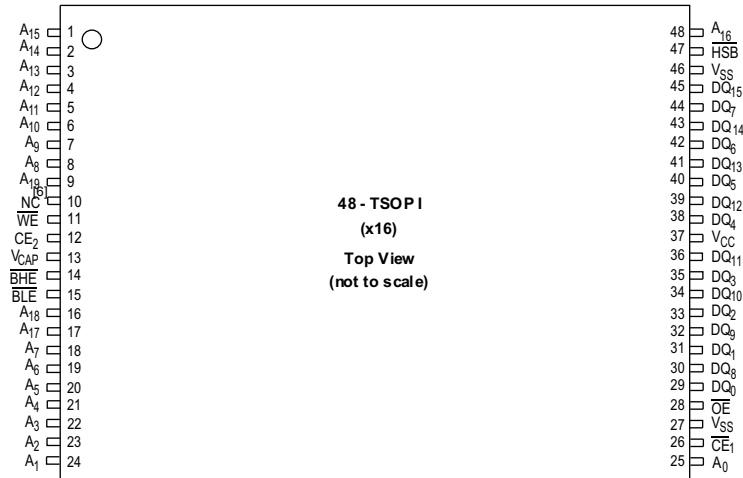


図 5. ピン配置図 : 165 ボール FBGA (x16)

	1	2	3	4	5	6	7	8	9	10	11
A	NC	A6	A8	\overline{WE}	\overline{BLE}	\overline{CE}_1	NC	\overline{OE}	A5	A3	NC
B	NC	DQ ₀	DQ ₁	A4	\overline{BHE}	CE ₂	NC	A2	NC	NC	NC
C	\overline{ZZ}	NC	NC	VSS	A0	A7	A1	VSS	NC	DQ ₁₅	DQ ₁₄
D	NC	DQ ₂	NC	VSS	VSS	VSS	VSS	VSS	NC	NC	NC
E	NC	V _{CAP}	NC	VCC	VSS	VSS	VSS	VCC	NC	DQ ₁₃	NC
F	NC	DQ ₃	NC	VCC	VCC	VSS	VCC	VCC	NC	NC	DQ ₁₂
G	HSB	NC	NC	VCC	VCC	VSS	VCC	VCC	NC	NC	NC
H	NC	NC	VCC	VCC	VCC	VSS	VCC	VCC	VCC	NC	NC
J	NC	NC	NC	VCC	VCC	VSS	VCC	VCC	NC	DQ ₈	NC
K	NC	NC	DQ ₄	VCC	VCC	VSS	VCC	VCC	NC	NC	NC
L	NC	DQ ₅	NC	VCC	VSS	VSS	VSS	VCC	NC	NC	DQ ₉
M	NC	NC	NC	VSS	VSS	VSS	VSS	VSS	NC	DQ ₁₀	NC
N	NC	DQ ₆	DQ ₇	VSS	A11	A10	A9	VSS	NC	NC	NC
P	NC	NC	NC	A13	A19	NC	A18	A12	NC	DQ ₁₁	NC
R	NC	NC	A15	NC	A17	NC	A16	NC ^[6]	A14	NC	NC

注

6. 32M ビットのアドレス拡張に対応しています。NC ピンはダイに接続されていません。

ピン配置 (続き)

図 6. ピン配置図 : 165 ボール FBGA (x32)

	1	2	3	4	5	6	7	8	9	10	11
A	NC	A6	A8	\overline{WE}	\overline{B}_A	\overline{CE}_1	\overline{B}_C	\overline{OE}	A5	A3	NC
B	NC	DQ ₀	DQ ₁	A4	\overline{B}_B	CE ₂	\overline{B}_D	A2	NC	NC	DQ ₃₁
C	\overline{ZZ}	NC	DQ ₄	V _{SS}	A0	A7	A1	V _{SS}	NC	DQ ₂₇	DQ ₂₆
D	NC	DQ ₂	DQ ₅	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	NC	NC	DQ ₃₀
E	NC	V _{CAP}	DQ ₆	V _{CC}	V _{SS}	V _{SS}	V _{SS}	V _{CC}	NC	DQ ₂₅	DQ ₂₉
F	NC	DQ ₃	DQ ₇	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	NC	NC	DQ ₂₄
G	\overline{HSB}	NC	DQ ₁₂	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	NC	NC	DQ ₂₈
H	NC	NC	V _{CC}	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	V _{CC}	NC	NC
J	NC	NC	DQ ₁₃	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	NC	DQ ₂₀	DQ ₁₉
K	NC	NC	DQ ₈	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	NC	NC	DQ ₁₈
L	NC	DQ ₉	DQ ₁₄	V _{CC}	V _{SS}	V _{SS}	V _{SS}	V _{CC}	NC	NC	DQ ₂₁
M	NC	NC	DQ ₁₅	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	NC	DQ ₂₂	DQ ₁₇
N	NC	DQ ₁₀	DQ ₁₁	V _{SS}	A11	A10	A9	V _{SS}	NC	NC	DQ ₁₆
P	NC	NC	NC	A13	NC	NC	A18	A12	NC	DQ ₂₃	NC
R	NC	NC	A15	NC	A17	NC	A16	NC ^[7]	A14	NC	NC

注

7. 32M ビットのアドレス拡張に対応しています。NC ピンはダイに接続されていません。

ピン機能

ピン名	入出力	説明
A ₀ - A ₂₀	入力	アドレス入力: ×8 構成で nvSRAM の 2,097,152 バイトのいずれかを選択するために使用
A ₀ - A ₁₉		アドレス入力: ×16 構成で nvSRAM の 1,048,576 ワードのいずれかを選択するために使用
A ₀ - A ₁₈		アドレス入力: ×32 構成で nvSRAM の 524,288 ワードのいずれかを選択するために使用
DQ ₀ - DQ ₇	入力/出力	×8 構成の双方向データ I/O ライン: 動作に応じて入力または出力ラインとして使用
DQ ₀ - DQ ₁₅		×16 構成の双方向データ I/O ライン: 動作に応じて入力または出力ラインとして使用
DQ ₀ - DQ ₃₁		×32 構成の双方向データ I/O ライン: 動作に応じて入力または出力ラインとして使用
\overline{WE}	入力	書き込みイネーブル入力、 LOW アクティブ: LOW を選択すると、I/O ピンのデータが、特定のアドレス位置に書き込まれる
\overline{CE}	入力	TSOP II パッケージのチップ イネーブル入力、 アクティブ LOW : LOW の場合は、チップを選択する。HIGH の場合は、チップの選択を解除
\overline{CE}_1 , CE ₂		FBGA パッケージのチップ イネーブル入力: デバイスが選択され、メモリ アクセスは \overline{CE}_1 の立ち上がりエッジ (CE ₂ が HIGH の場合) または CE ₂ の立ち上がりエッジ (\overline{CE}_1 が LOW の場合) で開始
\overline{OE}	入力	出力イネーブル、 アクティブ LOW : アクティブ \overline{LOW} 入力は、読み出しサイクル中にデータ出力バッファを有効にする。 \overline{OEHIGH} をデアサートすると、I/O ピンがトライステートになる
$\overline{BLE}/\overline{B}_A$ ^[8]	入力	バイト イネーブル、 アクティブ LOW : LOW の場合、DQ ₇ -DQ ₀ が有効になる
$\overline{BHE}/\overline{B}_B$ ^[8]	入力	バイト イネーブル、 アクティブ LOW : LOW の場合、DQ ₁₅ -DQ ₈ が有効になる
\overline{B}_C ^[8]	入力	バイト イネーブル、 アクティブ LOW : LOW の場合、DQ ₂₃ -DQ ₁₆ が有効になる
\overline{B}_D ^[8]	入力	バイト イネーブル、 アクティブ LOW : LOW の場合、DQ ₃₁ -DQ ₂₄ が有効になる
\overline{ZZ} ^[9]	入力	スリープモードイネーブル: \overline{ZZ} ピンが LOW にされると、デバイスは低電力スリープモードに入り、最低の電力を消費する。入力が \overline{CE} と論理的に AND されると、 \overline{ZZ} は通常の動作のために HIGH レベルでなければならない
V _{CC}	電源	デバイスへの電源入力
V _{SS}	電源	デバイスのグラウンド: システムのグラウンドに接続する必要がある
\overline{HSB}	入力/出力	ハードウェア STORE ビジー (HSB): LOW の場合、この出力は、ハードウェア STORE が進行中であることを示す。外部で LOW にする場合、不揮発性 STORE 処理を開始する。ハードウェアおよびソフトウェア STORE 処理の後、 \overline{HSB} は HIGH 出力標準電流で短時間 (t _{HHD}) HIGH 駆動され、その後内部プルアップ抵抗で HIGH 状態を継続 (外部プルアップ抵抗接続はオプション)
V _{CAP}	電源	AutoStore コンデンサ: SRAM から不揮発性素子にデータを格納するため、電力損失時に nvSRAM へ電源を供給
NC	NC	未接続: ダイパッドはパッケージピンに接続されていない

注
8. \overline{BLE} と \overline{BHE} は ×16 構成で、 \overline{B}_A 、 \overline{B}_B 、 \overline{B}_C と \overline{B}_D は ×32 構成でのみ使用できます。
9. スリープモードの機能は 165 ボール FBGA パッケージにのみ提供されます。

デバイスの動作

CY14X116L / CY14X116N / CY14X116S nvSRAM は、同じ物理セル内で、対になった 2 個の機能コンポーネントで構成されています。これらは SRAM メモリセルと不揮発性 QuantumTrap セルです。SRAM メモリセルは標準の高速スタティック RAM として動作します。SRAM 内のデータは、電源オフ時に自動的に不揮発性セルに転送される (STORE 処理) か、または電源オン時に不揮発性セルから SRAM に転送されます (RECALL 処理)。STORE と RECALL の両方の処理は、ソフトウェア制御下でも実行することができます。この独特のアーキテクチャを使って、すべてのセルは並行してストアあるいはリコールされます。STORE 処理と RECALL 処理中、SRAM の読み込みと書き込み処理は禁止されています。CY14X116L / CY14X116N / CY14X116S は、一般的な SRAM と同様に回数無制限の読み出しと書き込みに対応しています。さらに、不揮発性セルから回数無制限の RECALL 処理および最大 100 万回までの STORE 処理が可能です。読み出しモードと書き込みモードの詳細については、24 ページの SRAM 真理値表を参照してください。

SRAM 読み出し

CY14X116L / CY14X116N / CY14X116S は、 \overline{CE} と \overline{OE} が LOW、 \overline{WE} 、 \overline{ZZ} と HSB が HIGH の場合、読み出しサイクルを実行します。ピン $A_0 \sim A_{20}$ 、 $A_0 \sim A_{19}$ または $A_0 \sim A_{18}$ 上で指定されたアドレスは、2,097,152 データ バイトのどれが、16 ビットの 1,048,576 ワードまたは 32 ビットの 524,288 ワードのどれがアクセスされるかを決定します。1 ワードが 16 ビットの場合にバイト イネーブル (\overline{BLE} 、 \overline{BHE})、1 ワードが 32 ビットの場合にバイト イネーブル (\overline{BA} 、 \overline{BB} 、 \overline{BC} 、 \overline{BD}) はどのバイトの出力を有効にするかを決定します。アドレス遷移によって読み出しが開始された場合、出力は t_{AA} (読み出しサイクル 1) の遅延後に有効になります。 \overline{CE} または \overline{OE} によって読み出しが開始された場合、出力は t_{ACE} または t_{DOE} のいずれか遅い方 (読み出しサイクル 2) の時点で有効になります。データ出力は、任意の制御入力ピンでの変化を必要としないで t_{AA} アクセス時間内に、繰り返しアドレス変更に応答します。これは、別のアドレス変更が発生するか、または \overline{CE} か \overline{OE} が HIGH になるか、あるいは \overline{WE} か HSB が LOW になるまで有効な状態が続きます。

SRAM 書き込み

書き込みサイクルは、 \overline{CE} と \overline{WE} が LOW、および HSB が HIGH の場合に実行されます。アドレス入力が安定な状態になってから書き込みサイクルに入らなければいけません。また、サイクルの終わりに \overline{CE} か \overline{WE} が HIGH になるまで安定な状態を保つ必要があります。共通 I/O 端子 $DQ_0 \sim DQ_{31}$ のデータは、 \overline{WE} 制御による書き込みの終了前に、または \overline{CE} 制御による書き込みの終了前にデータが有効な \overline{SD} であれば、メモリに書き込まれます。1 ワードが 16 ビットの場合にバイト イネーブル入力 \overline{BLE} 、 \overline{BHE} 、1 ワードが 32 ビットの場合にバイト イネーブル入力 \overline{BA} 、 \overline{BB} 、 \overline{BC} 、 \overline{BD} はどのバイトを書き込むかを決定します。共通 I/O ラインでのデータバスの競合を避けるため、書き込みサイクルの間は終始 \overline{OE} を HIGH に維持してください。 \overline{OE} が

LOW のままであると、 \overline{WE} が LOW になった後 t_{HZWE} 後に、内部回路が出力バッファを遮断します。

AutoStore 処理 (電源オフ)

CY14X116L / CY14X116N / CY14X116S は、3 つのストレージ処理のいずれかを使用して不揮発性 QuantumTrap セルにデータを格納します。これら 3 つの処理は、次の通りです。ハードウェア STORE: HSB によって有効化されます。ソフトウェア STORE: アドレス命令によって有効化されます。AutoStore: デバイスの電源オフ時に有効になります。AutoStore 処理は nvSRAM の独自の機能であり、CY14X116L / CY14X116N / CY14X116S でデフォルトで有効になっています。

通常動作中、デバイスは、 V_{CAP} ピンに接続されたコンデンサを充電するのに V_{CC} から電流を引き込みます。この充電は、チップが電源オフ時に STORE 処理を実行するためのものです。 V_{CC} 端子の電圧が V_{SWITCH} 未満に下がった場合、容量は自動的に V_{CAP} 端子を V_{CC} から切断し、STORE 処理は V_{CAP} コンデンサによって提供された電力で起動されます。

注: コンデンサが V_{CAP} 端子に接続されていない場合、セクション 12 ページの AutoStore 防止に規定されているソフトシーケンスを使用して AutoStore を無効にする必要があります。AutoStore が V_{CAP} 端子に接続されているコンデンサなしで有効にされた場合、デバイスは STORE 処理を完了するために十分な電荷がないまま AutoStore 処理を実行しようとします。これにより、nvSRAM 内に格納されたデータが破壊されます。

図 7. AutoStore モード

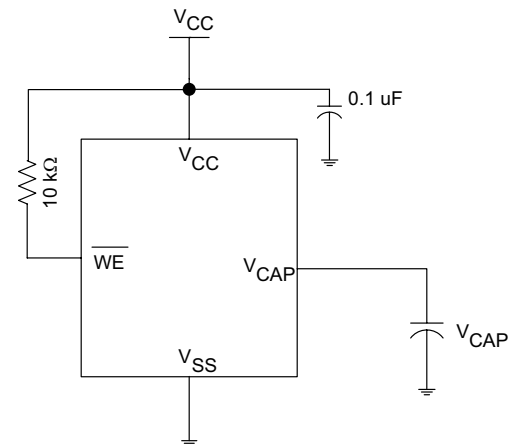


図 7 に、自動的な STORE 処理用のストレージ コンデンサ (V_{CAP}) の適切な接続方法を示します。 V_{CAP} の容量については、13 ページの DC 電気的特性を参照してください。 V_{CAP} 端子の電圧は、チップ上のレギュレータによって V_{VCAP} に送られます。プルアップ抵抗は、電源投入の間、 \overline{WE} をアクティブでない状態に保つために \overline{WE} ラインに配置する必要があります。このプルアップ抵抗は電源投入している間、 \overline{WE} 信号がトライステート状態にある場合のみ有効です。nvSRAM がパワーアップ RECALL から復帰する時、ホスト マイクロコントローラが有効

であるか、ホスト マイクロコントローラのリセットが終了するまで \overline{WE} を無効状態に保つ必要があります。

不要な不揮発性の STORE 処理を低減するために、最後の STORE か RECALL サイクルの実行後、少なくとも 1 回の（書き込みラッチをセットする）書き込み処理が行われない限り、AutoStore およびハードウェア STORE 処理は無視されます。ソフトウェアにより起動された STORE サイクルは、書き込み処理が行われたかどうかに関係なく実行されます。

ハードウェア STORE (HSB) 処理

CY14X116L / CY14X116N / CY14X116S には、STORE 処理を制御し応答するための \overline{HSB} 端子があります。 \overline{HSB} 端子は、ハードウェア STORE サイクルの要求に使用されます。 \overline{HSB} 端子が LOW にされると、デバイスは t_{DELAY} の後、条件に従って STORE 処理を開始します。STORE サイクルは、最後の STORE または RECALL サイクル以降に、SRAM への書き込みが実行された場合にのみ開始します。 \overline{HSB} 端子は、STORE 処理（任意の手段で開始）中にはビジー状態を示すために内部で LOW に駆動されるオープンドレインドライバ（チップ内部に 100kΩ の低いプルアップ抵抗）でもあります。

注：各ハードウェアとソフトウェア STORE 処理後、 \overline{HSB} は、標準出力高電流により短時間 (t_{HHHD}) HIGH に駆動されてから、100kΩ の内意部プルアップ抵抗により HIGH の状態を維持します。

\overline{HSB} が LOW にされると STORE 処理が予約されますが、処理が開始されるまで t_{DELAY} の間に、実行中の SRAM 書き込み処理を終了させます。しかし、 \overline{HSB} が LOW になった後では、要求された SRAM 書き込みサイクルはすべて、 \overline{HSB} が HIGH に戻るまで禁止されます。書き込みラッチが設定されていない場合、 \overline{HSB} はデバイスによって LOW に駆動されることはありません。しかし、SRAM のすべての読み出しと書き込みサイクルは、ホスト マイクロコントローラまたは他の外部ソースにより \overline{HSB} が HIGH 状態に戻るまで禁止されます。

STORE 処理がどのように起動されたかに関わらず、その処理中には、デバイスは \overline{HSB} 端子を LOW に駆動し続け、STORE 処理が完了した時にのみ解除します。STORE 処理が完了すると、 \overline{HSB} 端子が HIGH 状態に戻った後、nvSRAM メモリ アクセスは t_{LZHSB} 時間の間は禁止されます。 \overline{HSB} 端子を使用しない場合、端子は開放にしてください。

ハードウェア RECALL (電源オン)

電源オンの間、または低電圧状態 ($V_{\text{CC}} < V_{\text{SWITCH}}$) の後は、内部的に RECALL 要求がラッチされます。 V_{CC} が電源オン時に再度 V_{SWITCH} を超えた場合、RECALL サイクルが自動的に開始し、完了するのに t_{HRECALL} を要します。この間、 \overline{HSB} 端子は \overline{HSB} ドライバによって LOW に駆動され、nvSRAM へのすべての読み書きは禁止されます。

ソフトウェア STORE

データは、ソフトウェア アドレス シーケンスによって SRAM から不揮発性メモリに転送されます。ソフトウェア STORE サイクルは、正確な順序で 6 箇所の特定のアドレス位置から \overline{CE} または \overline{OE} に制御された読み込みサイクルを、順次実行することにより開始されます。STORE サイクルの間、先ず前の不揮発性データが消去され、次に不揮発性素子への格納が実行されます。STORE サイクルが開始された後、そのサイクルが完了するまで、さらなる読み書きは無効にされます。

特定のアドレスからの読み込みシーケンスが、STORE 開始用に使われるため、他の読み出し、または書き込みアクセスがシーケンスに干渉しないことが重要です。そうでない場合、シーケンスは中止され、STORE や RECALL は実行されません。

ソフトウェア STORE サイクルを開始するために、次の読み出しシーケンスを実行する必要があります。

1. 読み出しアドレス 0x4E38、有効な READ
2. 読み出しアドレス 0xB1C7、有効な READ
3. 読み出しアドレス 0x83E0、有効な READ
4. 読み出しアドレス 0x7C1F、有効な READ
5. 読み出しアドレス 0x703F、有効な READ
6. 読み出しアドレス 0x8FC0、STORE サイクルを開始

ソフトウェア シーケンスは、6 種すべての読み出しシーケンスの間 \overline{WE} を HIGH に保つ必要があります。 \overline{CE} に制御された読み出し処理、または \overline{OE} に制御された読み出し処理をとともにクロック同期で実行されます。シーケンスの 6 番目のアドレスが入力された後、STORE サイクルが開始され、チップが無効になります。 \overline{HSB} は LOW に駆動されます。 t_{STORE} サイクル時間が完了した後、SRAM は読み書き処理を再び実行します。

ソフトウェア RECALL

データは、ソフトウェア アドレス シーケンスによって不揮発性メモリから SRAM に転送されます。ソフトウェア RECALL サイクルは、ソフトウェア STORE の開始と同様の方法で、読み出し処理のシーケンスによって開始されます。ソフトウェア RECALL サイクルを開始するには、 \overline{CE} または \overline{OE} に制御された読み出し処理を下記の順序で実行します。

1. 読み出しアドレス 0x4E38、有効な READ
2. 読み出しアドレス 0xB1C7、有効な READ
3. 読み出しアドレス 0x83E0、有効な READ
4. 読み出しアドレス 0x7C1F、有効な READ
5. 読み出しアドレス 0x703F、有効な READ
6. 読み出しアドレス 0x4C63、RECALL サイクルを開始

内部的に、RECALL は 2 段階の手順を踏みます。まず、SRAM データがクリアされます。次に、不揮発性情報が SRAM セルに転送されます。 t_{RECALL} サイクル時間が完了した後、SRAM は再度読み書き処理が有効になります。RECALL 処理では、不揮発性素子内のデータは変更されません。

スリープモード

スリープモードでは、デバイスは最低の電源電流 (I_{ZZ}) を消費します。 \overline{ZZ} 端子を LOW にアサートすると、低消費電力スリープモードに入ります。スリープモードが取り込まれた後、nvSRAMは、不揮発性メモリにデータを確保するためにSTORE処理を実行してから、低電力モードに入ります。デバイスは、スリープモードが初期化されると、インスタンスから t_{SLEEP} 時間後に I_{ZZ} 電流を消費し始めます。 \overline{ZZ} 端子が LOW の場合、 \overline{ZZ} 端子以外の全端子は無視されます。スリープモードの間に、nvSRAM は通常の動作ではアクセスできなくなります。

\overline{ZZ} 端子が HIGH にデアサートされると、ユーザーがデバイスにアクセスできるまで遅延時間 t_{WAKE} を必要とします。スリープモードを使用しない場合、 \overline{ZZ} 端子を V_{CC} に接続します。

注：nvSRAM がスリープモードに入る時、不揮発性 STORE サイクルを開始し、その結果として、最後の不揮発性 STORE/RECALL 以降にデータが nvSRAM に書き込まれる限り、スリープモードへの移行のたびに 1 回のアクセス回数を失います。

注： \overline{ZZ} ピンがパワーアップの時に LOW である場合、デバイスはスリープモードではありません。しかし、各入出力は、 \overline{ZZ} ピンがデアサートされた (HIGH) までトライステートのままです。

図 8. スリープモード (\overline{ZZ}) フロー図

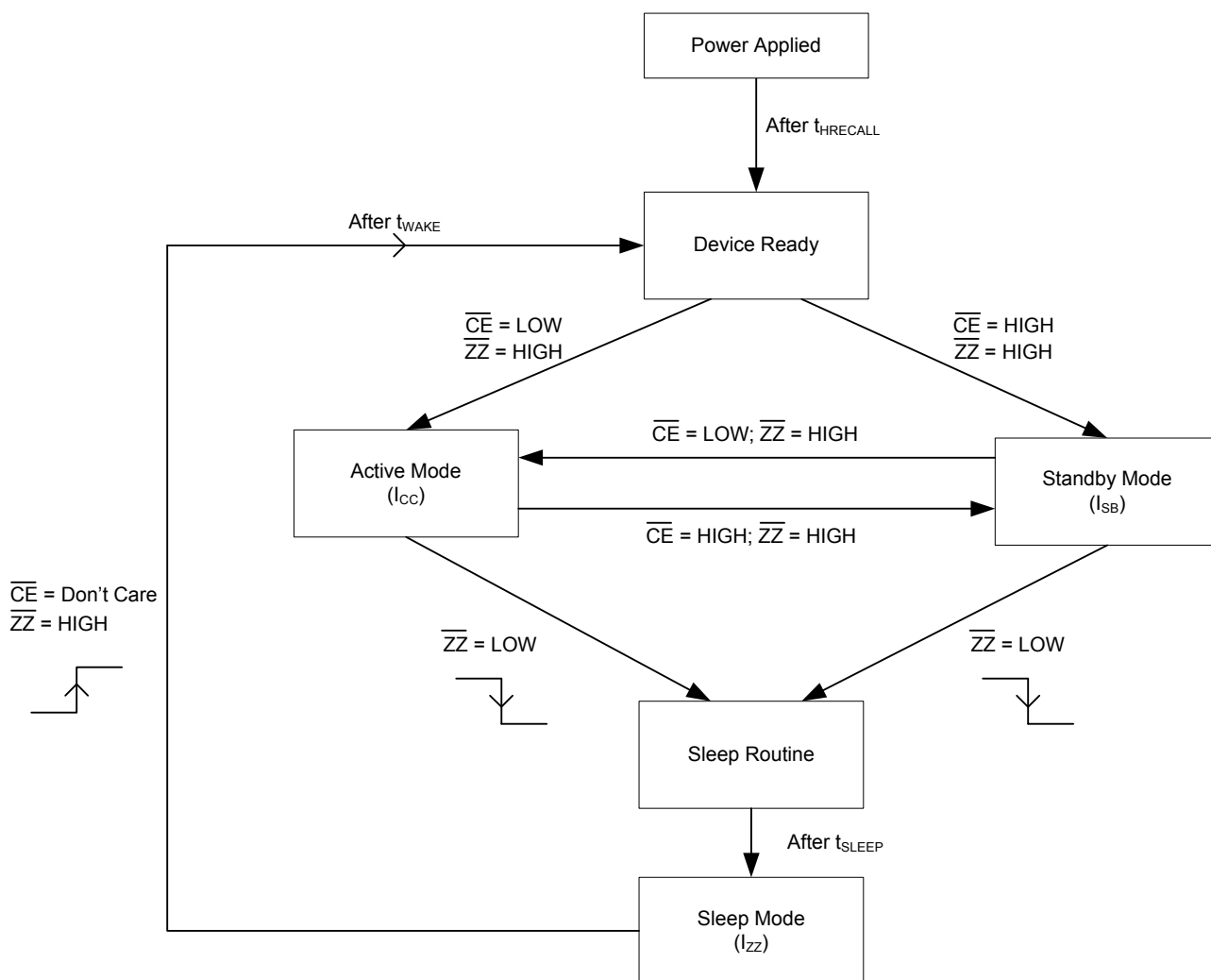


表 1. モード選択

$\overline{CE}^{[10]}$	\overline{WE}	\overline{OE}	$\overline{BLE}, \overline{BHE}, \overline{B_A}, \overline{B_B}, \overline{B_C}, \overline{B_D}^{[11]}$	$A_{15} - A_0^{[12]}$	モード	I/O	電源
H	X	X	X	X	未選択	出力 High Z	スタンバイ
L	H	L	L	X	SRAM 読み出し	出力データ	アクティブ
L	L	X	L	X	SRAM 書き込み	入力データ	アクティブ
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8B45	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し AutoStore ディスエーブル	出力データ 出力データ 出力データ 出力データ 出力データ 出力データ	アクティブ [13]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4B46	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し AutoStore イネーブル	出力データ 出力データ 出力データ 出力データ 出力データ 出力データ	アクティブ [13]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8FC0	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し 不揮発性 STORE	出力データ 出力データ 出力データ 出力データ 出力データ 出力 High Z	アクティブ $I_{CC2}^{[13]}$
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4C63	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し 不揮発性 RECALL	出力データ 出力データ 出力データ 出力データ 出力データ 出力 High Z	アクティブ [13]

注
 10. TSOP II パッケージはシングル \overline{CE} で提供されます。TSOP I と BGA パッケージはデュアル \overline{CE} オプションで提供されます。このデータシートでは、デュアル \overline{CE} デバイスに対して、 \overline{CE}_1 が LOW で、 \overline{CE}_2 が HIGH の場合、 \overline{CE} は LOW であるように、 \overline{CE} は \overline{CE}_1 と \overline{CE}_2 の内部の論理的結合です。それ以外の場合は、 \overline{CE} は HIGH です。中間電圧レベルは全てのチップ イネーブル端子で許可されていません (シングル チップ イネーブル デバイスには \overline{CE} 、デュアル チップ イネーブル デバイスには \overline{CE}_1 と \overline{CE}_2)。
 11. \overline{BLE} と \overline{BHE} は ×16 構成で、 $\overline{B_A}$ 、 $\overline{B_B}$ 、 $\overline{B_C}$ と $\overline{B_D}$ は ×32 構成でのみ使用できます。
 12. CY14X116L に 21 本のアドレス線があります (CY14X116N には 20 本、CY14X116S には 19 本)、その内、13 本のアドレス線 ($A_{14} \sim A_2$) のみがソフトウェア モードの制御に使われます。残りのアドレス線は「ドント ケア」です。

AutoStore 防止

AutoStore 機能は AutoStore 無効シーケンスの起動によって無効にされます。読み出し処理のシーケンスは、ソフトウェア STORE の開始と同様の方法で実行されます。AutoStore 無効シーケンスを開始するには、 \overline{CE} または \overline{OE} に制御された読み出し処理を下記の順序で実行しなければなりません。

1. 読み出しアドレス 0x4E38、有効な READ
2. 読み出しアドレス 0xB1C7、有効な READ
3. 読み出しアドレス 0x83E0、有効な READ
4. 読み出しアドレス 0x7C1F、有効な READ
5. 読み出しアドレス 0x703F、有効な READ
6. 読み出しアドレス 0x8B45、AutoStore を無効

AutoStore は、AutoStore 有効シーケンスを開始することによって再度有効になります。読み出し処理のシーケンスは、ソフトウェア RECALL の開始と同様の方法で実行されます。AutoStore 有効シーケンスを開始するには、 \overline{CE} または \overline{OE} に制御された読み出し処理を下記の順序で実行しなければなりません。

1. 読み出しアドレス 0x4E38、有効な READ
2. 読み出しアドレス 0xB1C7、有効な READ
3. 読み出しアドレス 0x83E0、有効な READ
4. 読み出しアドレス 0x7C1F、有効な READ
5. 読み出しアドレス 0x703F、有効な READ
6. 読み出しアドレス 0x4B46、AutoStore を有効

AutoStore 機能が無効にされるか、または再度有効にされた場合、手動ソフトウェア STORE 処理がそのあとの電源オフサイクルの間に AutoStore 状態を保持するために必要です。工場出荷時 AutoStore は有効になっており、すべてのセルに 0x00 と書き込まれています。

データ保護

CY14X116L / CY14X116N / CY14X116S は、外部から実行された STORE および 書き込み 処理をすべて禁止することにより、低電圧状態の間での破損からデータを保護します。低電圧状態は、 V_{CC} が V_{SWITCH} よりも小さい場合に検知されます。CY14X116L / CY14X116N / CY14X116S が電源オン時に書き込みモードの場合 (\overline{CE} と \overline{WE} の両方が LOW)、RECALL または STORE 後、書き込みは t_{LZHSB} (HSB から出力有効まで) の後、SRAM が有効になるまで禁止されます。これは電源オン時や電圧低下状態の間に不注意による書き込みを保護します。

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザーガイドラインは試験されていません。

保存温度 -65°C ~ +150°C

最大累積保存時間

周囲温度 150°C で 1000 時間

周囲温度 85°C で 20 年

最大接合部温度 1 150°C

V_{SS} を基準にした V_{CC} の電源電圧

CY14B116X の場合 : -0.5V ~ +4.1V

CY14E116X の場合 : -0.5V ~ +7.0V

high-Z 状態の出力に印加される電圧 -0.5V ~ V_{CC}+0.5V

入力電圧 -0.5V ~ V_{CC}+0.5V

任意のピンからグラウンド電荷への過渡電圧

(<20ns) -2.0V ~ V_{CC}+2.0V

パッケージの許容電力損失 (T_A=25°C) 1.0W

表面実装半田付け温度 (3 秒) + 260°C

DC 出力電流 (一度に 1 出力、1 秒間) 20mA

静電気放電電圧^[14] > 2001 V
(MIL-STD-883、Method 3015 による)

ラッチアップ電流 >140mA

動作範囲

製品	範囲	周囲温度 (T _A)	V _{CC}
CY14B116X	産業用	-40°C ~ +85°C	2.7 V ~ 3.6 V
CY14E116X			4.5 V ~ 5.5 V

DC 電氣的特性

動作範囲

パラメータ	説明	テスト条件	Min	Typ ^[15]	Max	単位	
V _{CC}	電源	CY14B116X	2.7	3.0	3.6	V	
		CY14E116X	4.5	5.0	5.5	V	
I _{CC1}	平均 V _{CC} 電流	出力負荷なしで得られた値 (I _{OUT} = 0mA)	t _{RC} = 25/30ns	-	95	mA	
			t _{RC} = 45ns	-	75	mA	
I _{CC2}	STORE 中の平均 V _{CC} 電流	全ての入力は「ドント ケア」、V _{CC} = V _{CC} (Max) t _{STORE} 期間の平均電流	-	-	10	mA	
I _{CC3}	t _{RC} = 200ns 時の平均 V _{CC} 電流、V _{CC} (Typ)、25°C	すべての入力は CMOS レベル 出力負荷なしで得られた値 (I _{OUT} = 0mA)	-	50	-	mA	
I _{CC4}	AutoStore サイクル中の平均 V _{CAP} 電流	全ての入力は「ドント ケア」である t _{STORE} 期間の平均電流	-	-	6	mA	
I _{SB}	V _{CC} スタンバイ電流	CE ≥ (V _{CC} - 0.2V) V _{IN} ≤ 0.2V、 または ≥ (V _{CC} - 0.2V) 不揮発性のサイクルが完了した後のスタンバイ電流レベル。入力はスタティック。f = 0MHz	t _{RC} = 25/30ns	-	-	650	μA
			t _{RC} = 45ns	-	-	500	μA
I _{ZZ}	スリープモード電流	CMOS レベルでは、全ての入力はスタティック	-	-	10	μA	
I _{Ix} ^[16]	入力リーク電流 (HSB を除く)	V _{CC} = V _{CC} (Max)、V _{SS} ≤ V _{IN} ≤ V _{CC}	-1	-	+1	μA	
	入力リーク電流 (HSB 用)	V _{CC} = V _{CC} (Max)、V _{SS} ≤ V _{IN} ≤ V _{CC}	-100	-	+1	μA	

注

14. エラッタ: エンジニアリング サンプルは ZZ 上で静電気の放電電圧仕様 (> 2001V) を満たしません。最大 1100V までの静電気に耐えられます。詳細については、34 ページの正誤表を参照してください。

15. 標準値は 25°C、V_{CC} = V_{CC(Typ)} です。100% 試験されているわけではありません。

16. HSB ピンは、アクティブ HIGH と LOW ドライバの両方が無効になっている場合に、V_{OH} = 2.4V に対して、I_{OUT} = -2μA となります。それらのドライバがイネーブルの場合、標準の V_{OH} と V_{OL} が有効になります。このパラメータは特性付けされていますが、テストされていません。

DC 電気的特性 (続き)

動作範囲

パラメータ	説明	テスト条件	Min	Typ ^[15]	Max	単位	
I_{OZ}	オフ状態の出力リーク電流	$V_{CC} = V_{CC} (Max), V_{SS} \leq V_{OUT} \leq V_{CC}, \overline{CE}$ または $\overline{OE} \geq V_{IH}$ または $\overline{BLE}, \overline{BHE}/\overline{B_A}, \overline{B_B}, \overline{B_C}, \overline{B_D} \geq V_{IH}$ または $\overline{WE} \leq V_{IL}$	-1	-	+1	μA	
V_{IH}	入力 HIGH 電圧		2.0	-	$V_{CC} + 0.5$	V	
V_{IL}	入力 LOW 電圧		$V_{SS} - 0.5$	-	0.8	V	
V_{OH}	出力 HIGH 電圧	$I_{OUT} = -2mA$	2.4	-	-	V	
V_{OL}	出力 LOW 電圧	$I_{OUT} = 4mA$	-	-	0.4	V	
$V_{CAP}^{[17]}$	ストレージキャパシタ	V_{CAP} ピンと V_{SS} 間	19.8	22	120	μF	
$V_{V_{CAP}^{[17, 18]}}$	デバイスで V_{CAP} ピン上に駆動された最大電圧	$V_{CC} = V_{CC} (Max)$	CY14B116X	-	-	4.5	V
			CY14E116X	-	-	$V_{CC} - 0.5$	V

データ保持期間およびアクセス回数

動作範囲

パラメータ	説明	Min	単位
$DATA_R$	データ保持期間	20	年
NV_C	不揮発性 STORE オペレーション回数	1,000,000	サイクル

容量

以下の表は、容量のパラメータ^[19]を示します。

パラメータ	説明	テスト条件	Max	単位
C_{IN}	入力容量	$T_A = 25^\circ C, f = 1MHz,$ $V_{CC} = V_{CC} (Typ)$	8	pF
C_{OUT}	出力容量		8	pF

熱抵抗

次の表は、抵抗のパラメータ^[19]を示します。

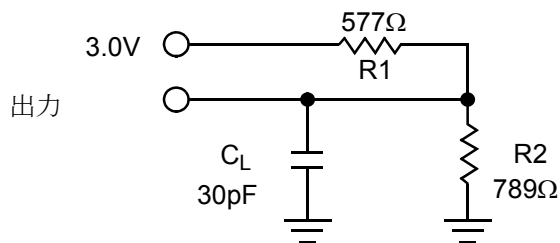
パラメータ	説明	テスト条件	44TSOP II	48TSOP I	54TSOP II	165-FBGA	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	テスト条件は、EIA/JESD51 による、熱インピーダンスを測定するための標準的なテスト方法と手順に従う	44.6	35.6	41.1	15.6	$^\circ C/W$
Θ_{JC}	熱抵抗 (接合部からケース)		2.4	2.33	4.6	2.9	$^\circ C/W$

注

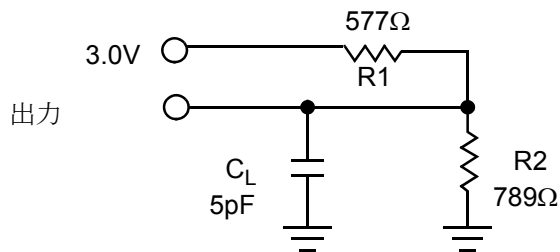
- V_{CAP} 最小値は、AutoStore 処理を完了するのに十分な電荷があることを保証するものです。 V_{CAP} 最大値は、パワーアップ RECALL サイクルの間に V_{CAP} のコンデンサが AutoStore 処理を完了するのに必要な電圧まで充電されることを保証するものです。これはパワーアップ直後にパワーダウン サイクルが発生する場合を考慮しています。したがって、指定した最小値と最大値の範囲内でコンデンサを使用することを常にお奨めします。
- V_{CAP} ピン ($V_{V_{CAP}}$) の最大電圧は、 V_{CAP} コンデンサを選択する際に指針として提供されています。動作温度範囲内での V_{CAP} コンデンサの定格電圧は、 $V_{V_{CAP}}$ 電圧より高くなければなりません。
- これらのパラメータは設計上は保証されますが、テストされていません。

図 9. AC テストの負荷と波形

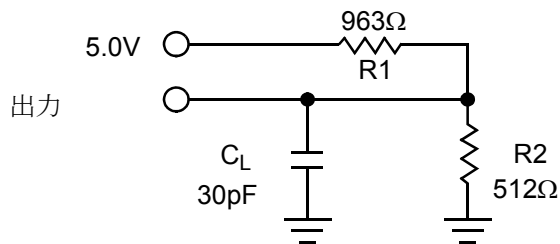
3V (CY14B116X) の場合 :



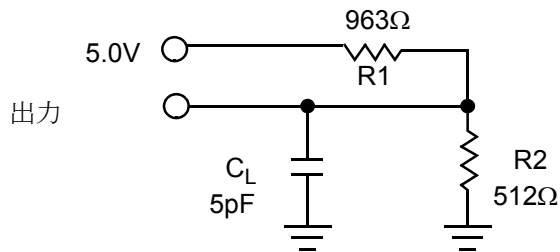
トライステート仕様の場合



5V (CY14E116X) の場合 :



トライステート仕様の場合



AC テスト条件

	CY14B116X	CY14E116X
入力パルス レベル	0V ~ 3V	0V ~ 3V
入力立ち上がり/立ち下がり時間 (10% ~ 90%)	≤3ns	≤3ns
入力と出力のタイミング参照レベル	1.5V	1.5V

AC スイッチング特性

動作範囲 [20]

パラメータ		説明	25ns		30ns		45ns		単位
サイプレスの記号	他社の記号		Min	Max	Min	Max	Min	Max	
SRAM 読み出しサイクル									
t _{ACE}	t _{ACS}	チップ イネーブル アクセス時間	-	25	-	30	-	45	ns
t _{RC} [22]	t _{RC}	読み出しサイクル時間	25	-	30	-	45	-	ns
t _{AA} [23]	t _{AA}	アドレス アクセス時間	-	25	-	30	-	45	ns
t _{DOE}	t _{OE}	出力イネーブルからデータが有効になるまで	-	12	-	14	-	20	ns
t _{OHA} [23]	t _{OH}	アドレス変更後の出力ホールド	3	-	3	-	3	-	ns
t _{LZCE} [24]	t _{LZ}	チップ イネーブルから出力がアクティブになるまで	3	-	3	-	3	-	ns
t _{HZCE} [21, 24]	t _{HZ}	チップ ディスエーブルから出力が非アクティブになるまで	-	10	-	12	-	15	ns
t _{LZOE} [24]	t _{OLZ}	出力イネーブルから出力がアクティブになるまで	0	-	0	-	0	-	ns
t _{HZOE} [21, 24]	t _{OHZ}	出力ディスエーブルから出力が非アクティブになるまで	-	10	-	12	-	15	ns
t _{PU} [24]	t _{PA}	チップ イネーブルから電源がアクティブになるまで	0	-	0	-	0	-	ns
t _{PD} [24]	t _{PS}	チップ ディスエーブルから電源スタンバイになるまで	-	25	-	30	-	45	ns
t _{DBE}		バイト イネーブルからデータが有効になるまで	-	12	-	14	-	20	ns
t _{LZBE} [24]		バイト イネーブルから出力がアクティブになるまで	0	-	0	-	0	-	ns
t _{HZBE} [21, 24]		バイト ディスエーブルから出力が非アクティブになるまで	-	10	-	12	-	15	ns
SRAM 書き込みサイクル									
t _{WC}	t _{WC}	書き込みサイクル時間	25	-	30	-	45	-	ns
t _{PWE}	t _{WP}	書き込みパルス幅	20	-	24	-	30	-	ns
t _{SCE}	t _{CW}	チップ イネーブルから書き込みの終了まで	20	-	24	-	30	-	ns
t _{SD}	t _{DW}	データ セットアップから書き込みの終了まで	10	-	14	-	15	-	ns
t _{HD}	t _{DH}	書き込み終了後のデータ ホールド	0	-	0	-	0	-	ns
t _{AW}	t _{AW}	アドレス セットアップから書き込み終了まで	20	-	24	-	30	-	ns
t _{SA}	t _{AS}	アドレス セットアップから書き込み開始まで	0	-	0	-	0	-	ns
t _{HA} [25]	t _{WR}	書き込み終了後のアドレス ホールド	0	-	0	-	0	-	ns
t _{HZWE} [21, 24, 26]	t _{WZ}	書き込みイネーブルから出力ディスエーブルまで	-	10	-	12	-	15	ns
t _{LZWE} [24]	t _{OW}	書き込みの終了後の出力アクティブ	3	-	3	-	3	-	ns
t _{BW}		バイト イネーブルから書き込みの最後まで	20	-	24	-	30	-	ns

- 注
20. テスト条件は、信号遷移時間が 3ns 以下、タイミング参照レベルが V_{CC}/2、入力パルス レベル 0 が V_{CC}(Typ) および指定された I_{OL}/I_{OH} の出力負荷、図 9 に示されている 30pF の負荷容量を想定しています。
21. t_{HZCE}、t_{HZOE}、t_{HZBE} および t_{HZWE} は、5pF の負荷容量で規定されています。遷移は定常状態の出力電圧から ±200mV で測定されます。
22. WE は SRAM 読み出しサイクル中は HIGH でなければなりません。
23. デバイスは、CE、OE および BLE、BHE / BA、BB、BC、BD LOW で連続して選択されます。
24. これらのパラメータは設計上は保証されますが、テストされていません。
25. エラッタ: エンジニアリング サンプルは書き込み終了後のアドレス ホールド時間 (t_{HA}) の仕様 (≥ 0ns) を満たしていません。現行のシリコンは「t_{HA} ≥ 2ns」の仕様を満たしています。詳細については、34 ページの正誤表を参照してください。
26. WE が LOW の場合、CE が LOW になると、出力は高インピーダンス状態で保持されます。

図 12. SRAM 書き込みサイクル 1: \overline{WE} 制御 [33、35、37]

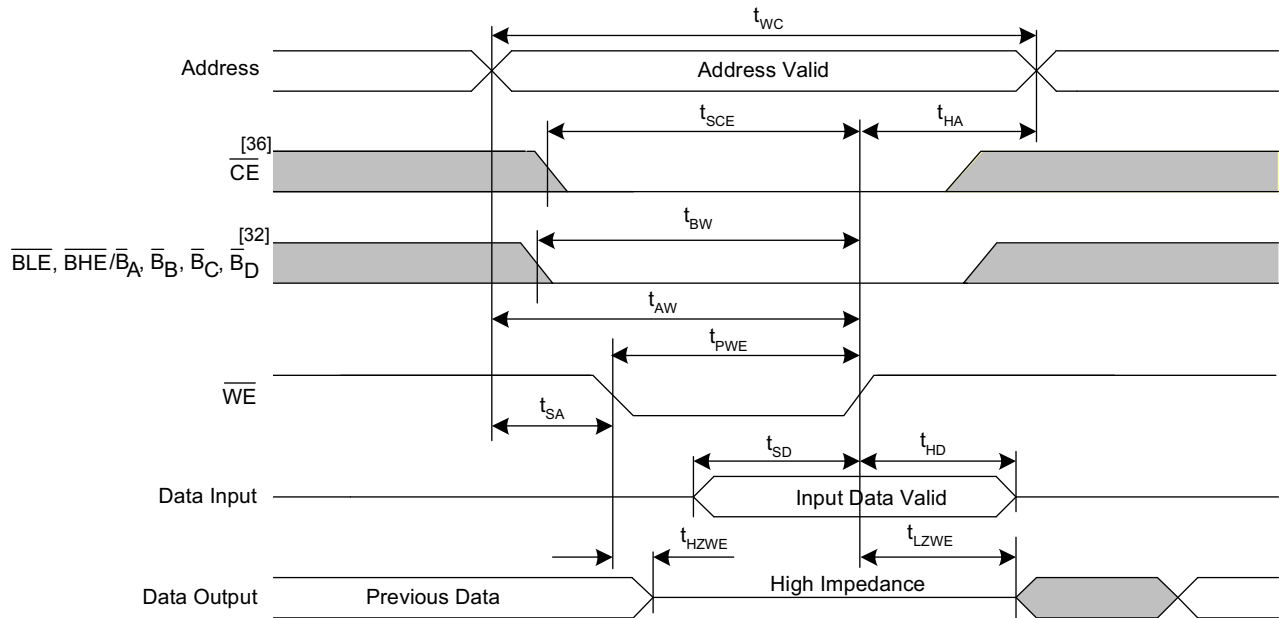
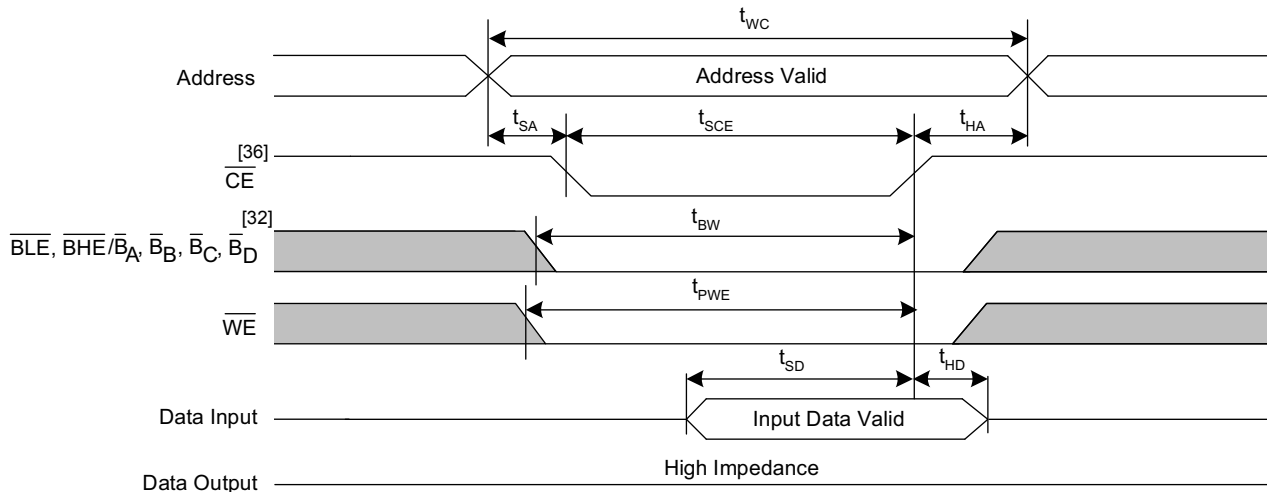
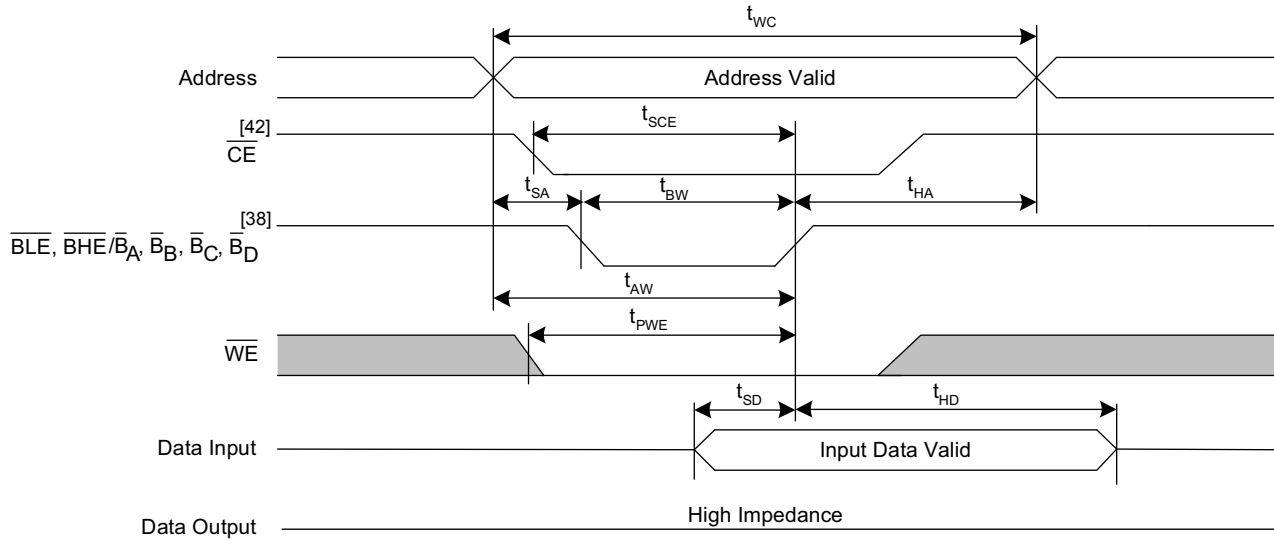


図 13. SRAM 書き込みサイクル 2: \overline{CE} 制御 [33、35、37]



- 注
32. \overline{BLE} と \overline{BHE} は ×16 構成で、 $\overline{B_A}$ 、 $\overline{B_B}$ 、 $\overline{B_C}$ と $\overline{B_D}$ は ×32 構成でのみ使用できます。
 33. \overline{WE} が LOW の場合、 \overline{CE} が LOW になると、出力は高インピーダンス状態で保持されます。
 34. \overline{WE} は SRAM 読み出しサイクル中は HIGH でなければなりません。
 35. \overline{HSB} は読み出しと書き込みサイクル中は HIGH でなければなりません。
 36. TSOP II パッケージはシングル \overline{CE} で提供されます。TSOP I と BGA パッケージはデュアル \overline{CE} オプションで提供されます。このデータシートでは、デュアル \overline{CE} デバイスに対して、 \overline{CE}_1 が LOW で、 \overline{CE}_2 が HIGH の場合、 \overline{CE} は LOW であるように、 \overline{CE} は \overline{CE}_1 と \overline{CE}_2 の内部の論理的結合です。それ以外の場合、 \overline{CE} は HIGH です。中間電圧レベルは全てのチップイネーブル端子で許可されていません（シングルチップイネーブルデバイスには \overline{CE} 、デュアルチップイネーブルデバイスには \overline{CE}_1 と \overline{CE}_2 ）。
 37. \overline{CE} または \overline{WE} は、アドレス移行中は $\geq V_{IH}$ でなければなりません。

図 14. SRAM 書き込みサイクル 3: $\overline{\text{BHE}}$ 、 $\overline{\text{BLE}}$ / $\overline{\text{B}}_A$ 、 $\overline{\text{B}}_B$ 、 $\overline{\text{B}}_C$ 、 $\overline{\text{B}}_D$ 制御 [39、40、41]



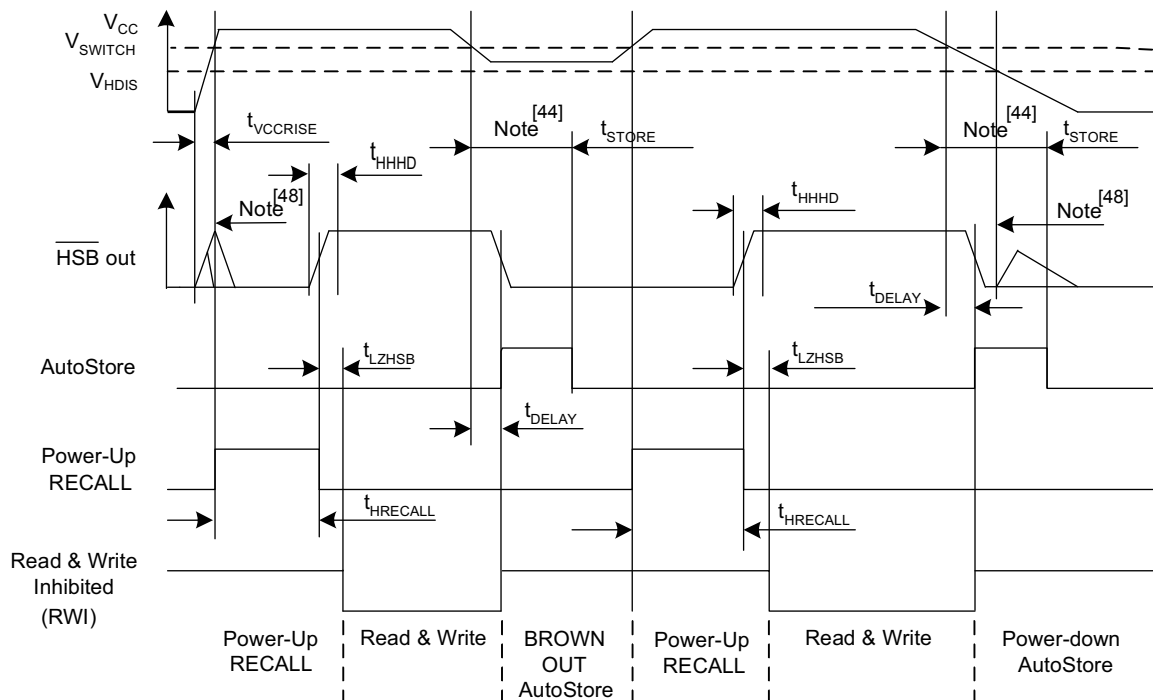
- 注
- 38. $\overline{\text{BLE}}$ と $\overline{\text{BHE}}$ は ×16 構成で、 $\overline{\text{B}}_A$ 、 $\overline{\text{B}}_B$ 、 $\overline{\text{B}}_C$ と $\overline{\text{B}}_D$ は ×32 構成でのみ使用できます。
 - 39. $\overline{\text{WE}}$ が LOW の場合、 $\overline{\text{CE}}$ が LOW になると、出力は高インピーダンス状態で保持されます。
 - 40. $\overline{\text{HSB}}$ は読み出しと書き込みサイクル中はハイ レベルでなければなりません。
 - 41. $\overline{\text{CE}}$ または $\overline{\text{WE}}$ は、アドレス移行中は $\geq V_{IH}$ でなければなりません。
 - 42. TSOP II パッケージはシングル $\overline{\text{CE}}$ で提供されます。TSOP I と BGA パッケージはデュアル $\overline{\text{CE}}$ オプションで提供されます。このデータシートでは、デュアル $\overline{\text{CE}}$ デバイスに対して、 $\overline{\text{CE}}_1$ が LOW で、 $\overline{\text{CE}}_2$ が HIGH の場合、 $\overline{\text{CE}}$ は LOW であるように、 $\overline{\text{CE}}$ は $\overline{\text{CE}}_1$ と $\overline{\text{CE}}_2$ の内部の論理的結合です。それ以外の場合は、 $\overline{\text{CE}}$ は HIGH です。中間電圧レベルは全てのチップ イネーブル端子で許可されていません (シングルチップ イネーブル デバイスには $\overline{\text{CE}}$ 、デュアルチップ イネーブル デバイスには $\overline{\text{CE}}_1$ と $\overline{\text{CE}}_2$)。

AutoStore / パワーアップ RECALL 特性

動作範囲

パラメータ	説明	Min	Max	単位	
$t_{HRECALL}^{[43]}$	パワーアップ RECALL 期間	-	30	ms	
$t_{STORE}^{[44]}$	STORE サイクル期間	-	8	ms	
$t_{DELAY}^{[45, 46]}$	SRAM 書き込みサイクルを完了する時間	-	25	ns	
V_{SWITCH}	低電圧トリガー レベル	CY14B116X	-	2.65	V
		CY14E116X	-	4.40	V
$t_{VCCRISE}^{[46]}$	V_{CC} 立ち上がり時間	150	-	μ s	
$V_{HDIS}^{[46]}$	\overline{HSB} 出力ディスエーブル電圧	-	1.9	V	
$t_{LZHSB}^{[46]}$	\overline{HSB} から出力アクティブまでの時間	-	5	μ s	
$t_{HHHD}^{[46]}$	\overline{HSB} HIGH アクティブ時間	-	500	ns	

図 15. AutoStore またはパワーアップ RECALL^[47]



注

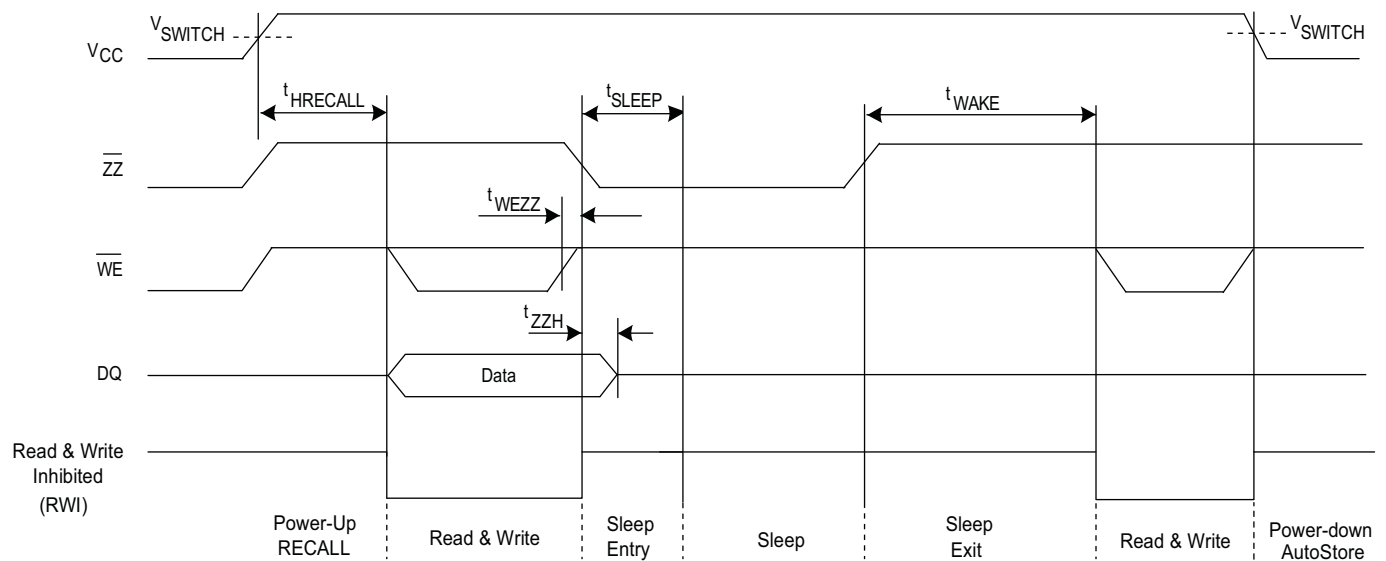
43. $t_{HRECALL}$ は、 V_{CC} が V_{SWITCH} を超えた時から始まります。
44. SRAM の書き込みが、最後の不揮発性サイクル以降に実施されていない場合、AutoStore またはハードウェア STORE は実行されません。
45. ハードウェア STORE と AutoStore の開始時に、SRAM の書き込み処理は、 t_{DELAY} 時間に応じて有効にされ続けています。
46. これらの項目は設計上は保証されますが、テストされていません。
47. 読み込みおよび書き込みサイクルは、STORE、RECALL、 V_{CC} が V_{SWITCH} 未満の場合は無視されます。
48. パワーアップおよびパワーダウン期間中に、 \overline{HSB} ピンが外部抵抗を介してプルアップされている場合、 \overline{HSB} ピンにグリッチが発生します。

スリープモード特性

動作範囲

パラメータ	説明	Min	最大値	単位
t_{WAKE}	スリープモードからの復帰時間 (\overline{ZZ} HIGH からウェイクアップ後の最初のアクセス)	-	30	ms
t_{SLEEP}	スリープモードへの移行時間 (\overline{ZZ} LOW から \overline{CE} がドントケアまで)	-	8	ms
t_{ZZL}	\overline{ZZ} アクティブ LOW 時間	50	-	ns
t_{WEZZ}	最後の書き込みからスリープモード移行までの時間	0	-	μ s
t_{ZZH}	\overline{ZZ} アクティブから DQ Hi-Z までの時間	-	70	ns

図 16. スリープモード [49]



注

49. デバイスは、スリープルーチンを初期化し、 t_{SLEEP} 期間後にスリープモードに移行します。

ソフトウェア制御 STORE および RECALL 特性

動作範囲 [50, 51]

パラメータ	説明	25ns		30ns		45ns		単位
		Min	Max	Min	Max	Min	Max	
t_{RC}	STORE/RECALL 開始のサイクル期間	25	–	30	–	45	–	ns
t_{SA}	アドレス セットアップ時間	0	–	0	–	0	–	ns
t_{CW}	クロック パルス幅	20	–	24	–	30	–	ns
t_{HA}	アドレス ホールド時間	0	–	0	–	0	–	ns
t_{RECALL}	RECALL 期間	–	600	–	600	–	600	μ s
t_{SS} [52, 53]	ソフト シーケンス処理時間	–	500	–	500	–	500	μ s

図 17. \overline{CE} と \overline{OE} 制御によるソフトウェア STORE および RECALL サイクル^[51]

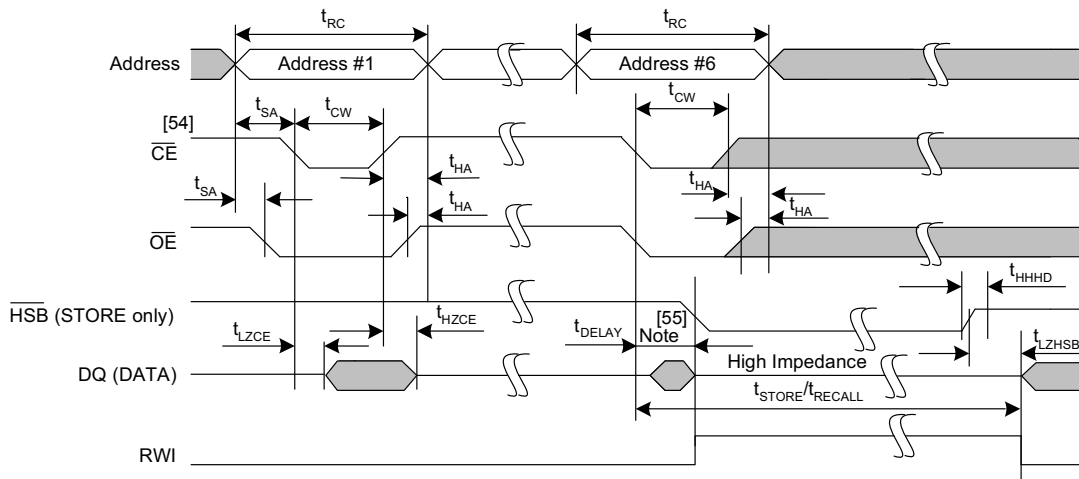
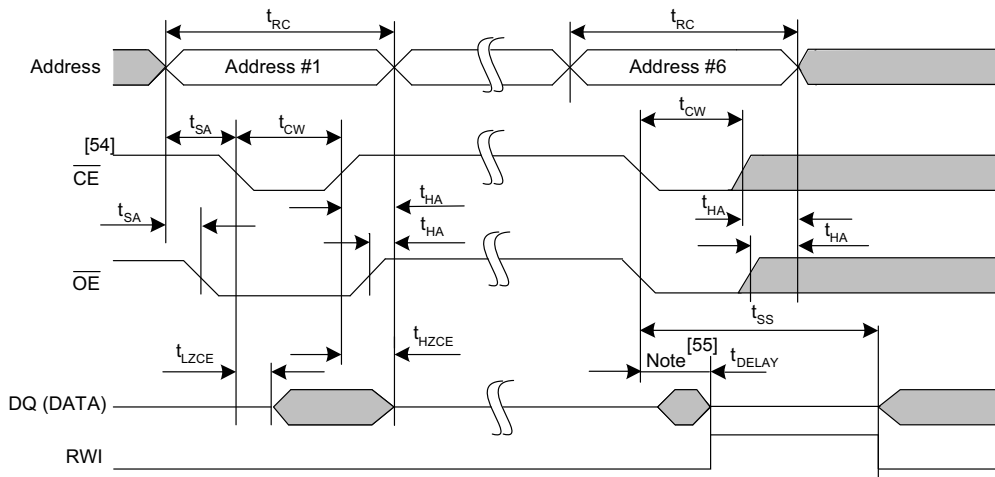


図 18. Autostore イネーブル/ディスエーブル サイクル



注

50. ソフトウェアのシーケンスは、 \overline{CE} または \overline{OE} を制御する読み込み処理を伴いクロックされます。
51. 6 連続アドレスは表 1 のリスト順に読み込まなければなりません。WE は、全 6 連続サイクル中は HIGH でなければなりません。
52. これは、ソフト シーケンス コマンドでの処理に要する時間です。効果的にコマンドを登録するには、Vcc 電圧は high でなければなりません。
53. STORE や RECALL といったコマンドは、その処理が完了するまで I/O をロックアウトします。これが更にこの時間を増加させます。詳しくは個々のコマンドを参照してください。
54. TSOP II パッケージはシングル \overline{CE} で提供されます。TSOP I と BGA パッケージはデュアル \overline{CE} オプションで提供されます。このデータシートでは、デュアル \overline{CE} デバイスに対して、 \overline{CE}_1 が LOW で、 \overline{CE}_2 が HIGH の場合、 \overline{CE} は LOW であるように、 \overline{CE} は \overline{CE}_1 と \overline{CE}_2 の内部の論理的結合です。それ以外の場合は、 \overline{CE} は HIGH です。中間電圧レベルは全てのチップイネーブル端子で許可されていません (シングルチップイネーブルデバイスには \overline{CE} 、デュアルチップイネーブルデバイスには \overline{CE}_1 と \overline{CE}_2)。
55. 出力が t_{DELAY} 時間でディスエーブルとなるので、6 番目に読み出された DQ 出力データは無効となる可能性があります。

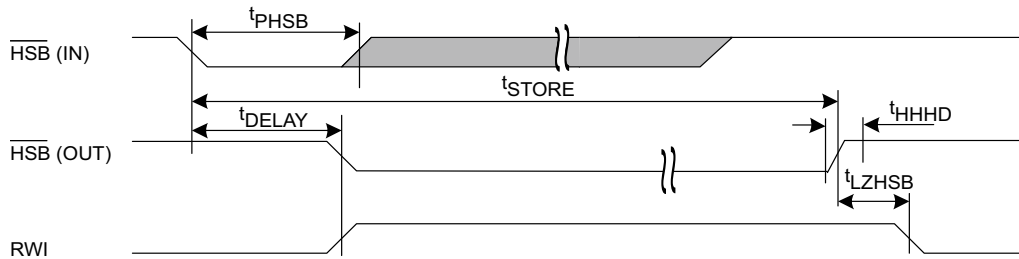
ハードウェア STORE 特性

動作範囲

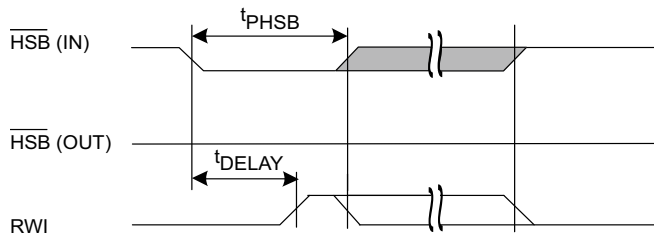
パラメータ	説明	Min	Max	単位
t_{DHSB}	書き込みラッチがセットされていない場合に、 \overline{HSB} から出力がアクティブになるまでの時間	-	25	ns
t_{PHSB}	ハードウェア STORE パルス幅	15	-	ns

図 19. ハードウェア STORE サイクル^[56]

Write Latch set

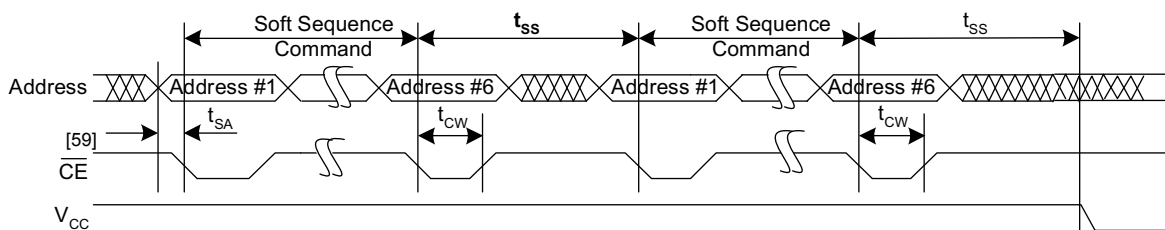


Write Latch not set



\overline{HSB} pin is driven HIGH to V_{CC} only by internal 100 K Ω resistor, \overline{HSB} driver is disabled
SRAM is disabled as long as \overline{HSB} (IN) is driven LOW.

図 20. ソフトシーケンス処理時間^[57, 58]



- 注
- SRAM の書き込みが、最後の不揮発性サイクル以降に実施されていない場合、AutoStore またはハードウェア STORE は実行されません。
 - これは、ソフトシーケンスコマンドでの処理に要する時間です。効果的にコマンドを登録するには、 V_{CC} 電圧は high でなければなりません。
 - STORE や RECALL といったコマンドは、その処理が完了するまで I/O をロックアウトします。これが更にこの時間を増加させます。詳しくは個々のコマンドを参照してください。
 - TSOP II パッケージはシングル \overline{CE} で提供されます。TSOP I と BGA パッケージはデュアル \overline{CE} オプションで提供されます。このデータシートでは、デュアル \overline{CE} デバイスに対して、 \overline{CE}_1 が LOW で、 \overline{CE}_2 が HIGH の場合、 \overline{CE} は LOW であるように、 \overline{CE} は \overline{CE}_1 と \overline{CE}_2 の内部の論理的結合です。それ以外の場合は、 \overline{CE} は HIGH です。全てのチップイネーブル端子での中間電圧レベルは許可されていません (シングルチップイネーブルデバイスには \overline{CE} 、デュアルチップイネーブルデバイスには \overline{CE}_1 と \overline{CE}_2)。

SRAM 真理値表

HSB は SRAM 動作では HIGH のままです。

x8 構成の場合

シングルチップ イネーブル オプション (44 ピン TSOP II パッケージ)

CE	WE	OE	入力と出力	モード	電源
H	X	X	High-Z	選択解除/電源オフ	スタンバイ
L	H	L	データ出力 (DQ ₀ -DQ ₇)	読み出し	アクティブ
L	H	H	High-Z	出力がディスエーブル	アクティブ
L	L	X	データ入力 (DQ ₀ -DQ ₇)	書き込み	アクティブ

x8 構成の場合

デュアルチップ イネーブル (48 ピン TSOP I パッケージ)

CE ₁	CE ₂	WE	OE	入力と出力	モード	電源
H	X	X	X	High-Z	選択解除/電源オフ	スタンバイ
X	L	X	X	High-Z	選択解除/電源オフ	スタンバイ
L	H	H	L	データ出力 (DQ ₀ -DQ ₇)	読み出し	アクティブ
L	H	H	H	High-Z	出力がディスエーブル	アクティブ
L	H	L	X	データ入力 (DQ ₀ -DQ ₇)	書き込み	アクティブ

x16 構成の場合

シングルチップ イネーブル オプション (54 ピン TSOP II パッケージ)

CE	WE	OE	BLE	BHE	入力と出力	モード	電源
H	X	X	X	X	High-Z	選択解除/電源オフ	スタンバイ
L	X	X	H	H	High-Z	出力がディスエーブル	アクティブ
L	H	L	L	L	データ出力 (DQ ₀ -DQ ₁₅)	読み出し	アクティブ
L	H	L	L	H	データ出力 (DQ ₀ -DQ ₇) ; DQ ₈ -DQ ₁₅ は High-Z	読み出し	アクティブ
L	H	L	H	L	データ出力 (DQ ₈ -DQ ₁₅) ; DQ ₀ -DQ ₇ は High-Z	読み出し	アクティブ
L	H	H	X	X	High-Z	出力がディスエーブル	アクティブ
L	L	X	L	L	データ入力 (DQ ₀ -DQ ₁₅)	書き込み	アクティブ
L	L	X	L	H	データ入力 (DQ ₀ -DQ ₇) ; DQ ₈ -DQ ₁₅ は High-Z	書き込み	アクティブ
L	L	X	H	L	データ入力 (DQ ₈ -DQ ₁₅) ; DQ ₀ -DQ ₇ は High-Z	書き込み	アクティブ

×16 構成の場合

デュアルチップイネーブルオプション (48ピン TSOP I パッケージと 165 ボール FBGA パッケージ)

CE ₁	CE ₂	WE	OE	BLE	BHE	入力と出力	モード	電源
H	X	X	X	X	X	High-Z	選択解除/電源オフ	スタンバイ
X	L	X	X	X	X	High-Z	選択解除/電源オフ	スタンバイ
L	H	X	X	H	H	High-Z	出力がディスエーブル	アクティブ
L	H	H	L	L	L	データ出力 (DQ ₀ -DQ ₁₅)	読み出し	アクティブ
L	H	H	L	L	H	データ出力 (DQ ₀ -DQ ₇) ; DQ ₈ -DQ ₁₅ は High-Z	読み出し	アクティブ
L	H	H	L	H	L	データ出力 (DQ ₈ -DQ ₁₅) ; DQ ₀ -DQ ₇ は High-Z	読み出し	アクティブ
L	H	H	H	X	X	High-Z	出力がディスエーブル	アクティブ
L	H	L	X	L	L	データ入力 (DQ ₀ -DQ ₁₅)	書き込み	アクティブ
L	H	L	X	L	H	データ入力 (DQ ₀ -DQ ₇) ; DQ ₈ -DQ ₁₅ は High-Z	書き込み	アクティブ
L	H	L	X	H	L	データ入力 (DQ ₈ -DQ ₁₅) ; DQ ₀ -DQ ₇ は High-Z	書き込み	アクティブ

×32 構成の場合

デュアルチップイネーブルオプション (165 ボール FBGA パッケージ)

CE ₁	CE ₂	WE	OE	B _A	B _B	B _C	B _D	DQ ₀ -DQ ₇	DQ ₈ -DQ ₁₅	DQ ₁₆ -DQ ₂₃	DQ ₂₄ -DQ ₃₁	モード	電源
H	X	X	X	X	X	X	X	High-Z	High-Z	High-Z	High-Z	選択解除/ 電源オフ	スタンバイ
X	L	X	X	X	X	X	X	High-Z	High-Z	High-Z	High-Z	選択解除/ 電源遮断	スタンバイ
L	H	X	X	X	X	X	X	High-Z	High-Z	High-Z	High-Z	選択済み	アクティブ
L	H	H	L	L	L	L	L	データ出力	データ出力	データ出力	データ出力	全ビットの 読み込み	アクティブ
L	H	H	L	L	H	H	H	データ出力	High-Z	High-Z	High-Z	読み出し	アクティブ
L	H	H	L	H	L	H	H	High-Z	データ出力	High-Z	High-Z	読み出し	アクティブ
L	H	H	L	H	H	L	H	High-Z	High-Z	データ出力	High-Z	読み出し	アクティブ
L	H	H	L	H	H	H	L	High-Z	High-Z	High-Z	データ出力	読み出し	アクティブ
L	H	L	X	L	L	L	L	データ入力	データ入力	データ入力	データ入力	全ビットの 書き込み	アクティブ
L	H	L	X	L	H	H	H	データ入力	High-Z	High-Z	High-Z	書き込み	アクティブ
L	H	L	X	H	L	H	H	High-Z	データ入力	High-Z	High-Z	書き込み	アクティブ
L	H	L	X	H	H	L	H	High-Z	High-Z	データ入力	High-Z	書き込み	アクティブ
L	H	L	X	H	H	H	L	High-Z	High-Z	High-Z	データ入力	書き込み	アクティブ
L	H	H	H	X	X	X	X	High-Z	High-Z	High-Z	High-Z	出力がディス エーブル	アクティブ

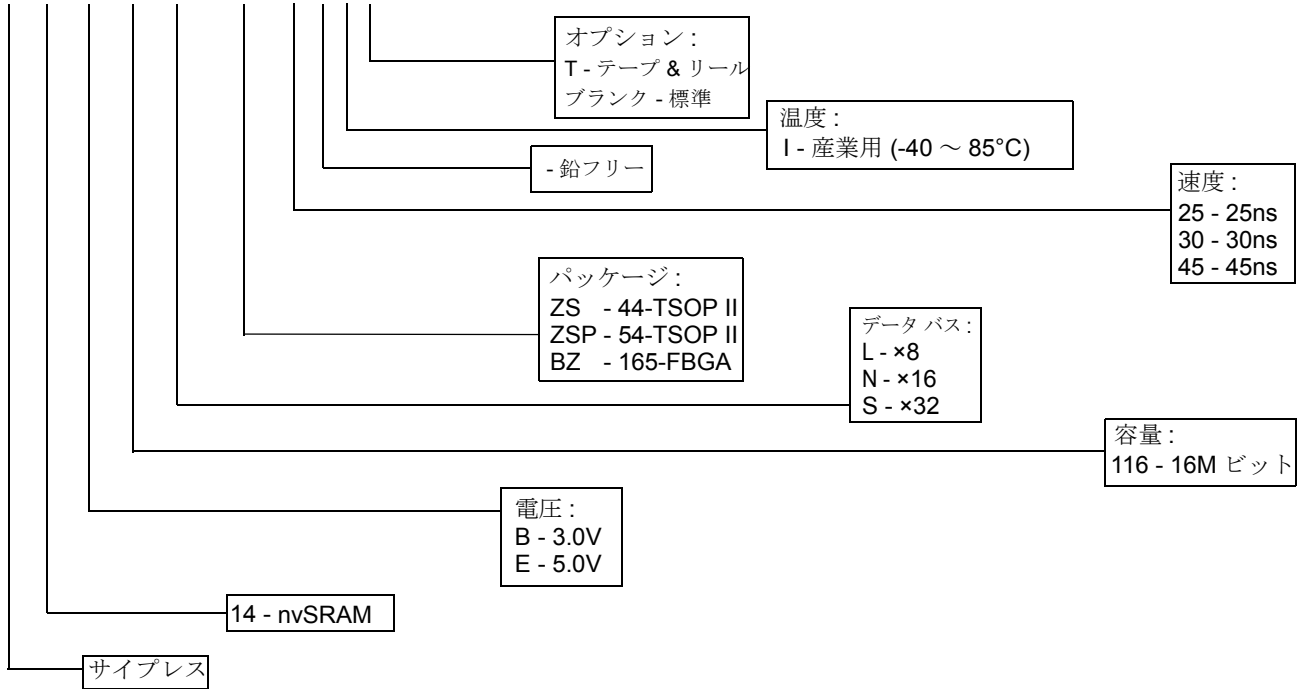
注文情報

速度 (ns)	注文コード	パッケージ 図	パッケージ タイプ	動作 範囲
25	CY14B116L-ZS25XI	51-85087	44 ピン TSOP II	工業用
	CY14B116L-ZS25XIT	51-85087	44 ピン TSOP II	
	CY14E116L-ZS25XI	51-85087	44 ピン TSOP II	
	CY14E116L-ZS25XIT	51-85087	44 ピン TSOP II	
	CY14B116N-ZSP25XI	51-85160	54 ピン TSOP II	
	CY14E116N-ZSP25XI	51-85160	54 ピン TSOP II	
	CY14B116N-BZ25XI	51-85195	165 ボール FBGA	
	CY14B116N-BZ25XIT	51-85195	165 ボール FBGA	
	CY14B116S-BZ25XI	51-85195	165 ボール FBGA	
	CY14B116S-BZ25XIT	51-85195	165 ボール FBGA	
	CY14E116S-BZ25XI	51-85195	165 ボール FBGA	
	CY14E116S-BZ25XIT	51-85195	165 ボール FBGA	
30	CY14B116L-Z30XI	51-85183	48 ピン TSOP I	
	CY14B116L-Z30XIT	51-85183	48 ピン TSOP I	
	CY14E116L-Z30XI	51-85183	48 ピン TSOP I	
	CY14E116L-Z30XIT	51-85183	48 ピン TSOP I	
	CY14B116N-Z30XI	51-85183	48 ピン TSOP I	
	CY14B116N-Z30XIT	51-85183	48 ピン TSOP I	
	CY14E116N-Z30XI	51-85183	48 ピン TSOP I	
	CY14E116N-Z30XIT	51-85183	48 ピン TSOP I	
45	CY14B116L-ZS45XI	51-85087	44 ピン TSOP II	
	CY14B116L-ZS45XIT	51-85087	44 ピン TSOP II	
	CY14E116L-ZS45XI	51-85087	44 ピン TSOP II	
	CY14E116L-ZS45XIT	51-85087	44 ピン TSOP II	
	CY14B116L-Z45XI	51-85183	48 ピン TSOP I	
	CY14B116L-Z45XIT	51-85183	48 ピン TSOP I	
	CY14E116L-Z45XI	51-85183	48 ピン TSOP I	
	CY14E116L-Z45XIT	51-85183	48 ピン TSOP I	
	CY14B116N-Z45XI	51-85183	48 ピン TSOP I	
	CY14B116N-Z45XIT	51-85183	48 ピン TSOP I	
	CY14B116N-ZSP45XI	51-85160	54 ピン TSOP II	
	CY14B116N-ZSP45XIT	51-85160	54 ピン TSOP II	
	CY14E116N-Z45XI	51-85183	48 ピン TSOP I	
	CY14E116N-Z45XIT	51-85183	48 ピン TSOP I	
	CY14B116N-BZ45XI	51-85195	165 ボール FBGA	
	CY14B116N-BZ45XIT	51-85195	165 ボール FBGA	
	CY14B116S-BZ45XI	51-85195	165 ボール FBGA	
	CY14B116S-BZ45XIT	51-85195	165 ボール FBGA	

すべての部品は鉛フリー。これらの部品の在庫状況については、最寄りのサイプレスの販売代理店にお問い合わせください。

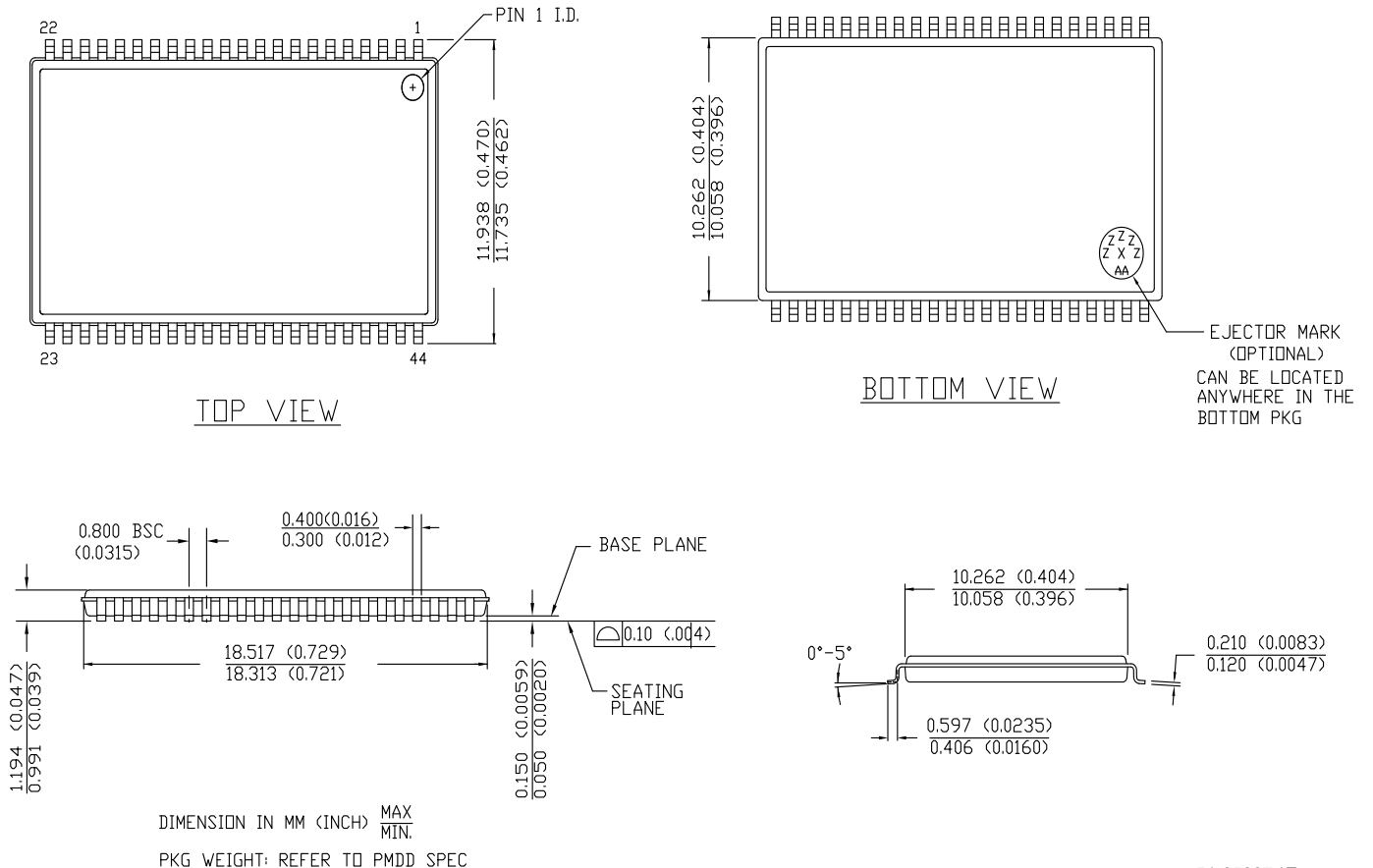
注文コードの定義

CY14 B 116 L - ZS 25 X I T



パッケージ外形図

図 21. 44 ピン TSOP II パッケージの外形 (51-85087)



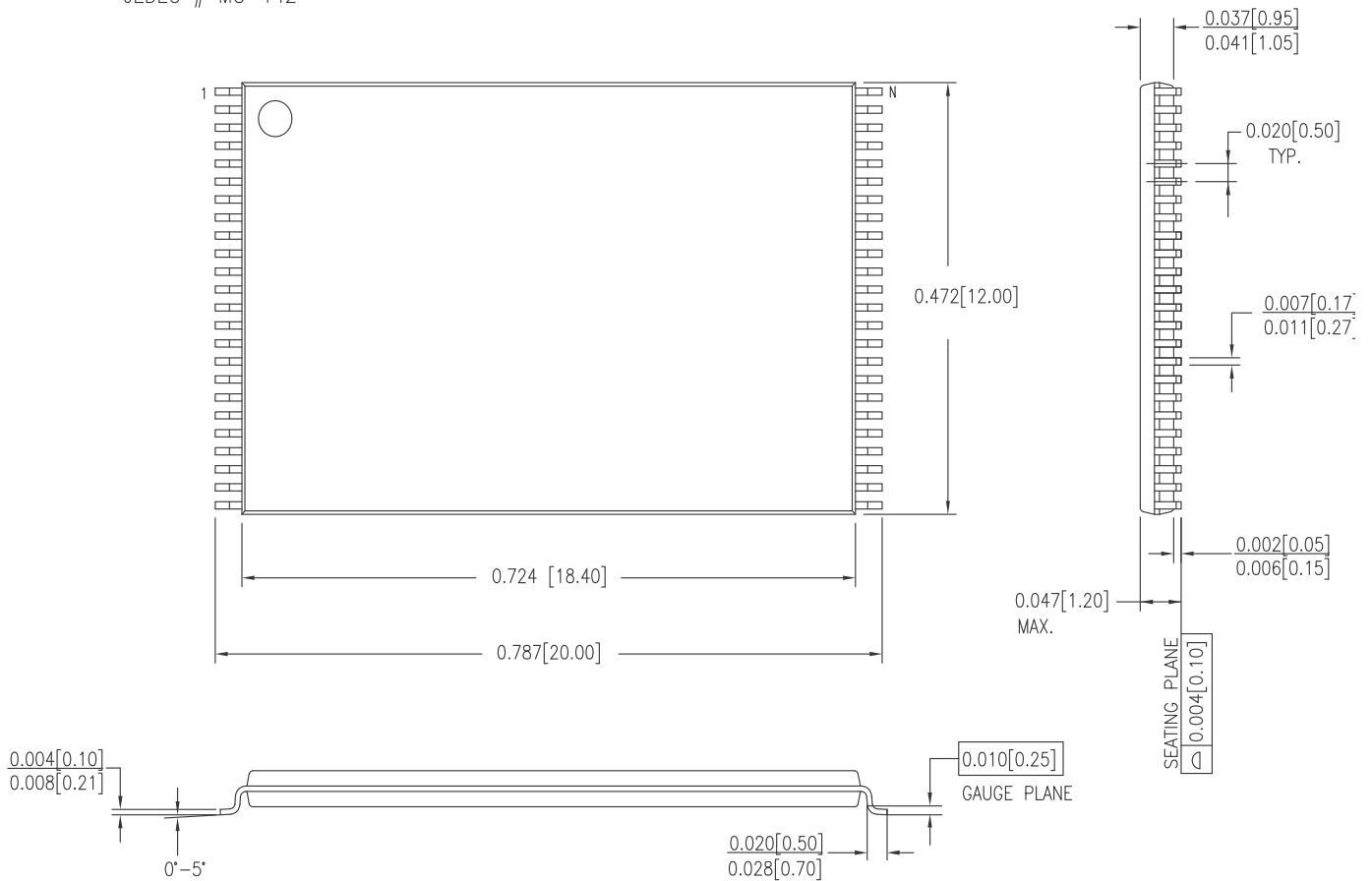
51-85087 *E

パッケージ外形図 (続き)

図 22. 48 ピン TSOP I パッケージの外形 (51-85183)

DIMENSIONS IN INCHES[MM] MIN.
MAX.

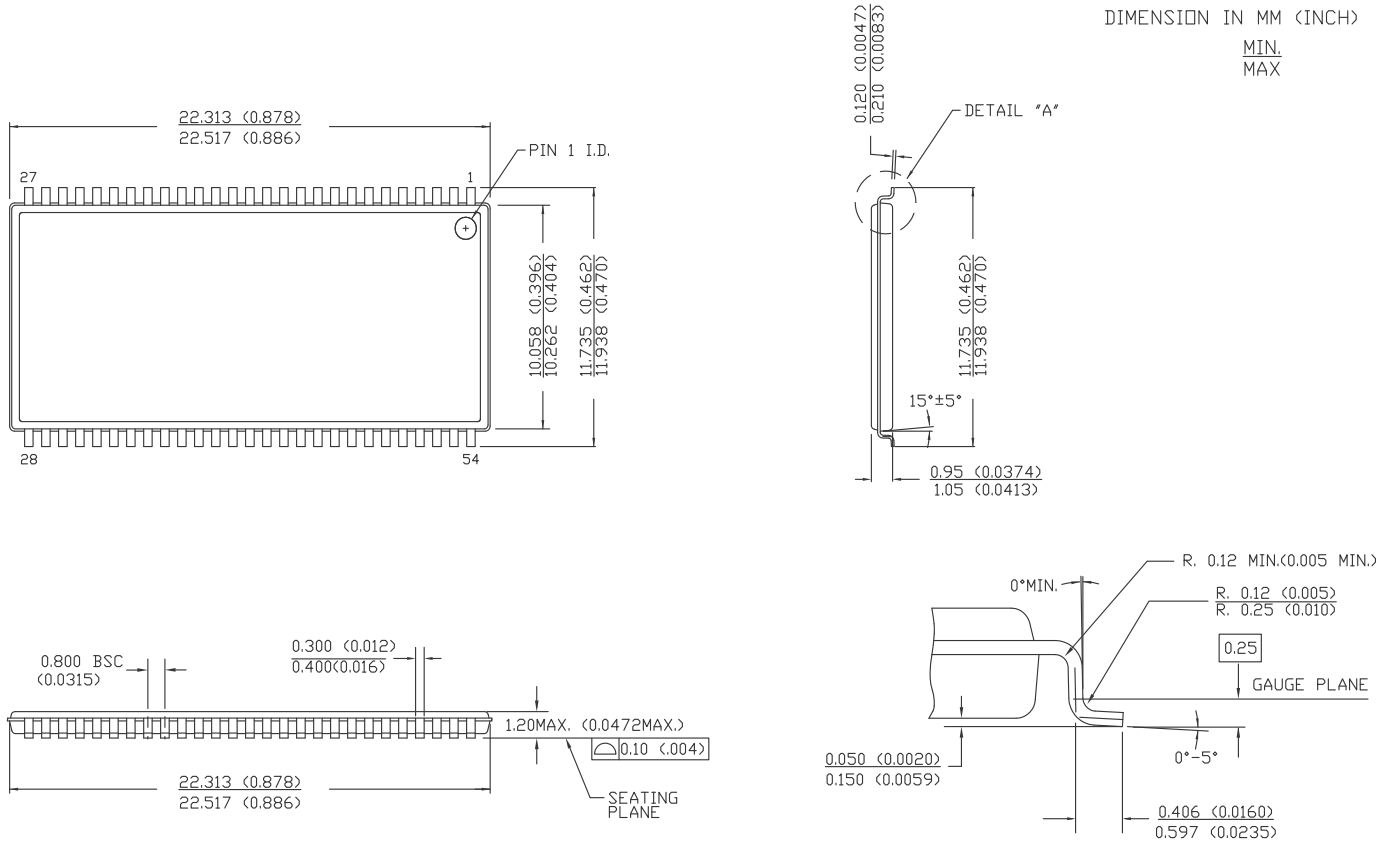
JEDEC # MO-142



51-85183 °C

パッケージ外形図 (続き)

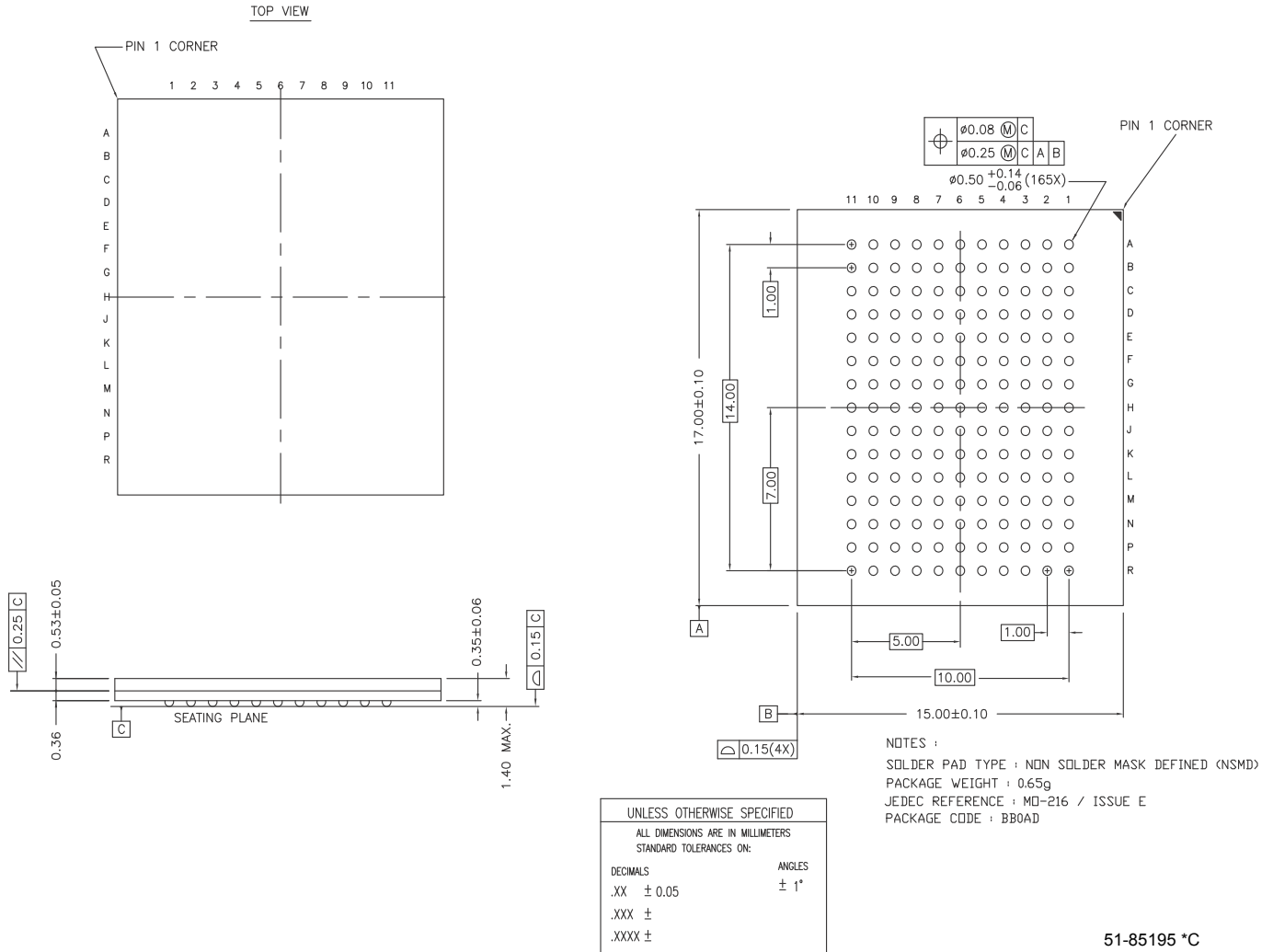
図 23. 54 ピン TSOP II パッケージの外形 (51-85160)



51-85160 *D

パッケージ外形図 (続き)

図 24. 165 ボール FBGA (15mm × 17mm × 1.40mm) パッケージの外形 (51-85195)



略語

略語	説明
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
EIA	Electronic Industries Alliance (米国電子工業会)
FBGA	Fine-Pitch Ball Grid Array (微細ピッチ ボールグリッドアレイ)
I/O	Input/Output (入力/出力)
JESD	JEDEC Standards (JEDEC 準拠)
nvSRAM	nonvolatile Static Random Access Memory (不揮 発性スタティック ランダム アクセス メモリ)
RoHS	Restriction of Hazardous Substances (特定有害物質使用制限指令)
RWI	Read and Write Inhibited (読み出しおよび書き込み禁止)
TSOP II	Thin Small Outline Package (小型薄型パッケージ)

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
Kbit	キロビット
kHz	キロヘルツ
kΩ	キロオーム
μA	マイクロアンペア
mA	ミリアンペア
μF	マイクロファラッド
Mbit	メガビット
MHz	メガヘルツ
μs	マイクロ秒
ms	ミリ秒
ns	ナノ秒
pF	ピコファラッド
V	ボルト
Ω	オーム
W	ワット

エラーッタ

本節は 16M ビット (2048K × 8、1024K × 16、512K × 32) nvSRAM 製品ファミリのエラーッタを説明します。詳細は、エラーッタのトリガ状況、影響の範囲、可能な回避手段、シリコン リビジョンの適用可能性を含みます。

ご質問があれば、地方のサイプレスの販売代理店までご連絡ください。

影響を受ける部品番号

製品番号	デバイスの特性
CY14B116L	3V、16M ビット、2048K × 8、非同期インターフェース nvSRAM
CY14E116L	5V、16M ビット、2048K × 8、非同期インターフェース nvSRAM
CY14B116N	3V、16M ビット、1024K × 16、非同期インターフェース nvSRAM
CY14E116N	5V、16M ビット、1024K × 16、非同期インターフェース nvSRAM
CY14B116S	3V、16M ビット、512K × 32、非同期インターフェース nvSRAM
CY14E116S	5V、16M ビット、512K × 32、非同期インターフェース nvSRAM

16M ビット (2048K × 8、1024K × 16、512K × 32) nvSRAM の認定状況

エンジニアリング サンプル (ES)。

16M ビット (2048K × 8、1024K × 16) nvSRAM のエラーッタのまとめ

下表は、CY14B116x/CY14E116x ファミリへのエラーッタの適用性を定義します。

項目	製品番号	シリコンバージョン	問題の修正
1. 書き込み終了後のアドレス ホールド時間 (t _{HA}) はデータシートに記載されている仕様を満たしていない	全ての部品は「影響を受ける部品番号」の表でリストアップ	Rev 1	次のシリコン チップ バージョンで修正
2. 静電放電電圧 (人体モデル) は、データシートに記載されている ZZ ピン上の静電放電電圧の仕様を満たしていない	CY14B116N CY14E116N CY14B116S CY14E116S	Rev 1	次のシリコン チップ バージョンで修正

1. 書き込み終了後のアドレス ホールド時間 (t_{HA}) はデータシートに記載されている仕様を満たしていない

■ 問題定義

エンジニアリング サンプルは書き込み終了後のアドレス ホールド時間 (t_{HA}) の仕様 ($t_{HA} \geq 0ns$) を満たしていません。現行のシリコンは「 $t_{HA} \geq 2ns$ 」の仕様を満たしています。

■ 影響を受けるパラメータ

書き込み終了後のアドレスホールド (t_{HA})。

■ トリガ条件 (S)

現行の SRAM 書き込みサイクルの終了後、2ns 以内に現行のアドレスを新しいアドレスに変更します。これは以下のいずれかの方法で開始されます。

- a. \overline{WE} 制御の SRAM 書き込み動作の場合、 \overline{WE} 制御を LOW から HIGH までトグルした後、2ns 以内にアドレスを変更します。この方法は全てのバス幅 ($\times 8$ 、 $\times 16$ 、 $\times 32$) に適用できます。
- b. \overline{CE} 制御の SRAM 書き込み動作の場合、 \overline{CE} 制御を LOW から HIGH までトグルした後、2ns 以内にアドレスを変更します。この方法は全てのバス幅 ($\times 8$ 、 $\times 16$ 、 $\times 32$) に適用できます。
- c. バイトイネーブル制御の SRAM 書き込み動作の場合、バイトイネーブル制御 (\overline{BHE} 、 \overline{BLE} / $\overline{B_A}$ 、 $\overline{B_B}$ 、 $\overline{B_C}$ 、 $\overline{B_D}$) を LOW から HIGH までトグルした後、2ns 以内にアドレスを変更します。 \overline{BHE} 、 \overline{BLE} 制御は $\times 16$ インターフェースに適用でき、 $\overline{B_A}$ 、 $\overline{B_B}$ 、 $\overline{B_C}$ 、 $\overline{B_D}$ 制御は $\times 32$ インターフェースに適用できます。

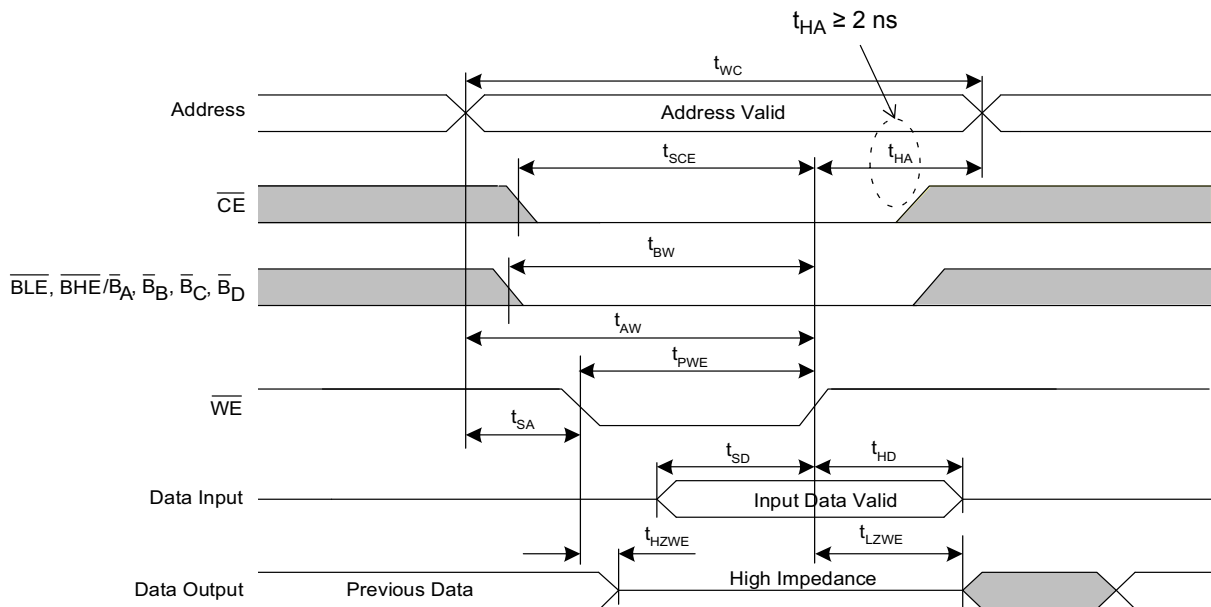
■ 影響範囲

ランダムなメモリの領域で SRAM データが破損される場合があります。

■ 回避方法

エンジニアリング サンプルは、データシートに記載されている仕様 ($t_{HA} \geq 0ns$) ではなく、「 $t_{HA} \geq 2ns$ 」を必要とします。 \overline{WE} / \overline{CE} 制御の書き込みまたはバイトイネーブル (\overline{BHE} 、 \overline{BLE} / $\overline{B_A}$ 、 $\overline{B_B}$ 、 $\overline{B_C}$ 、 $\overline{B_D}$) 制御の書き込みのいずれかによって nvSRAM で SRAM 書き込み動作を実行するメモリ コントローラは、現行の SRAM 書き込み動作の終了後に、制御信号/各制御信号を LOW から HIGH までトグルすることで少なくとも 2ns 間で現行のアドレスを保持する必要があります。図 25 は、 \overline{WE} 制御の SRAM 書き込みサイクルで t_{HA} を測定する例を示します。

図 25. \overline{WE} 制御の SRAM 書き込みサイクルで t_{HA} を測定する例



■ 問題解決状況

この問題は、次のシリコン チップ バージョンで修正されます。

2. 静電放電電圧 (人体モデル) は、データシートに記載されている \overline{ZZ} ピン上の静電放電電圧の仕様を満たしていない

■ 問題定義

エンジニアリング サンプルは、データシートに記載されている \overline{ZZ} ピン上の静電放電電圧 (人体モデル) の仕様 (> 2001 V) を満たしていません。現行のシリコンは、 \overline{ZZ} ピン上で最大 1100V までの耐性があります。

■ 影響を受けるパラメータ

なし。

■ トリガー条件 (S)

静電放電電圧 (人体モデル) は $\geq 1101V$ であれば、 \overline{ZZ} ピン上の ESD テストは不合格になることがあります。

■ 影響範囲

\overline{ZZ} ピン上で 1100V 以上の ESD によって製品は破壊されることがあります。他のピン (\overline{ZZ} ピン以外) はデータシートでの ESD の仕様を満たしています。

■ 回避方法

なし ESD 感受性が 1100V を超えない環境でデバイスを動作させます。

■ 問題解決状況

この問題は、次のシリコン チップ バージョンで修正されます。

改訂履歴

ドキュメント名 : CY14B116L/CY14B116N/CY14B116S/CY14E116L/CY14E116N/CY14E116S、16M ビット (2048K × 8/1024K × 16/512K × 32) nvSRAM ドキュメント番号 : 001-92099				
Rev.	ECN No.	変更者	発行日	変更内容
**	4341350	HZEN	04/11/2014	これは英語版 001-67793 Rev. *E を翻訳した日本語版 Rev. ** です。
*A	4433231	MAYO	07/01/2014	これは英語版 001-67793 Rev. *G を翻訳した日本語版 Rev. *A です。
*B	4661082	MAYO	2/13/2015	Template Updates