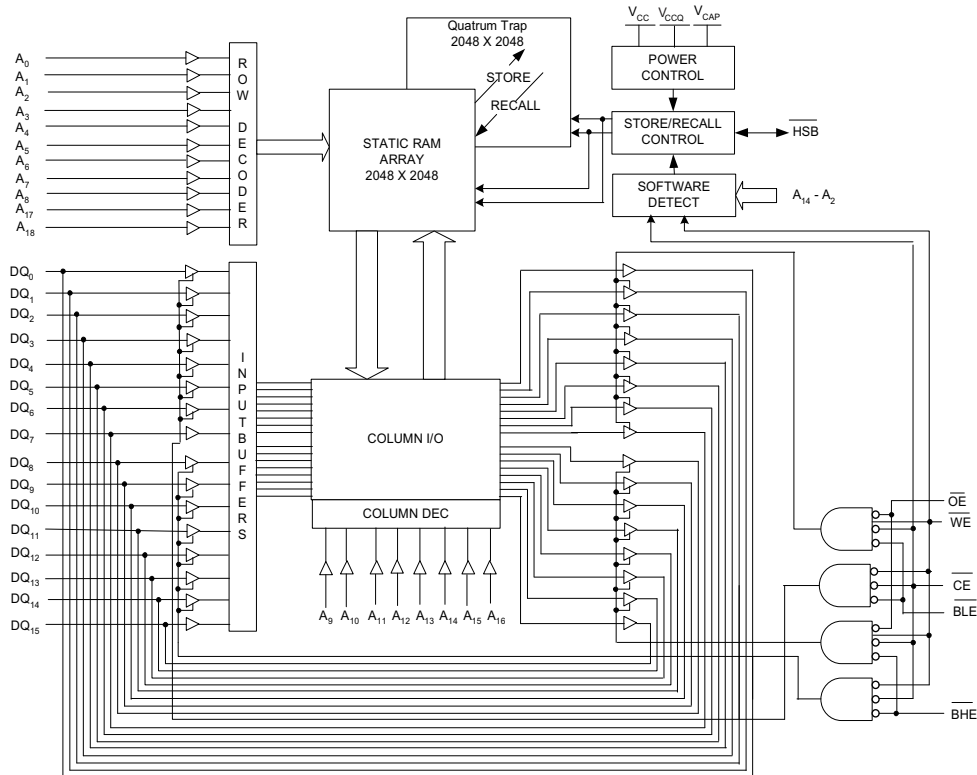


## 特性

- 访问时间为 25 ns 和 45 ns
- 内部采用 512 K × 8 (CY14V104LA) 或 256 K × 16 (CY14V104NA) 的组织方式
- 只需一个小电容器, 即可在断电时实现自动存储
- 可通过软件、器件引脚或断电时自动存储来触发存储至 QuantumTrap 非易失性元件
- 可通过软件或加电触发回读到 SRAM
- 无限次读、写和回读周期
- 一百万次 QuantumTrap 存储周期
- 20 年的数据保留时间
- 内核  $V_{CC} = 3.0\text{ V} \sim 3.6\text{ V}$ ; IO  $V_{CCQ} = 1.65\text{ V} \sim 1.95\text{ V}$
- 工业级温度
- 48 球形焊盘小间距球栅阵列 (FBGA) 封装
- 无铅并满足有害物质限制 (RoHS) 规定

## 逻辑框图<sup>[1、2、3]</sup>



### 注释:

1. 地址  $A_0$ – $A_{18}$  适用于 × 8 配置; 地址  $A_0$ – $A_{17}$  适用于 × 16 配置。
2. 数据  $DQ_0$ – $DQ_7$  适用于 × 8 配置; 数据  $DQ_0$ – $DQ_{15}$  适用于 × 16 配置。
3. BHE 和 BLE 仅适用于 × 16 配置。

## 功能说明

赛普拉斯 CY14V104LA/CY14V104NA 是一种快速静态 RAM, 且每个存储器单元中都包含非易失性元件。该存储器采用 512 K byte (每个字节 8 位) 或 256 K 字 (每个字 16 位) 的组织方式。嵌入式非易失性元件通过采用 QuantumTrap 技术, 打造出了世界上最可靠的非易失性存储器。SRAM 能够实现无限次读写周期, 而独立的非易失性数据则存储在高度可靠的 QuantumTrap 单元中。断电时, 数据会从 SRAM 自动转移到非易失性元件中 (“存储”操作)。加电时, 数据会从非易失性存储器回读到 SRAM (“回读”操作)。也可以在软件控制下执行 “存储” 和 “回读” 操作。

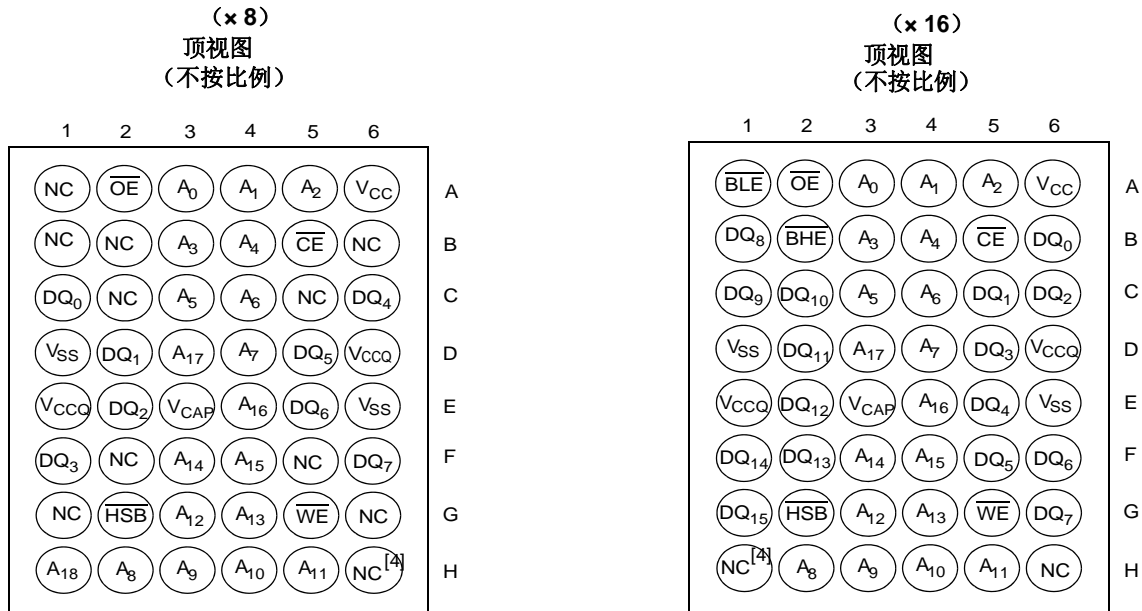
要获取相关文档的完整列表, 请单击[此处](#)。

## 目录

引脚分布 .....	3	自动存储 / 加电回读 .....	14
引脚定义 .....	3	开关波形 .....	14
器件运行 .....	4	软件控制的存储 / 回读周期 .....	15
SRAM 读取 .....	4	开关波形 .....	15
SRAM 写入 .....	4	硬件存储周期 .....	16
自动存储操作 .....	4	开关波形 .....	16
硬件存储操作 .....	4	<b>SRAM 操作的真值表</b> .....	<b>17</b>
硬件回读（加电） .....	4	订购信息 .....	18
软件存储 .....	4	订购代码定义 .....	18
软件回读 .....	5	<b>封装图</b> .....	<b>19</b>
阻止自动存储 .....	6	<b>缩略语</b> .....	<b>20</b>
数据保护 .....	6	<b>文档规范</b> .....	<b>20</b>
<b>最大额定值</b> .....	<b>7</b>	测量单位 .....	20
<b>工作范围</b> .....	<b>7</b>	<b>文档修订记录页</b> .....	<b>21</b>
<b>直流电气特性</b> .....	<b>7</b>	<b>销售、解决方案和法律信息</b> .....	<b>22</b>
<b>数据保留时间和耐久性</b> .....	<b>8</b>	全球销售和 design 支持 .....	22
<b>电容值</b> .....	<b>8</b>	产品 .....	22
<b>热阻</b> .....	<b>8</b>	PSoC <sup>®</sup> 解决方案 .....	22
<b>交流测试负载</b> .....	<b>9</b>	赛普拉斯开发者社区 .....	22
<b>交流测试条件</b> .....	<b>9</b>	技术支持 .....	22
<b>交流开关特性</b> .....	<b>10</b>		
<b>开关波形</b> .....	<b>11</b>		

## 引脚分布

图 1. 引脚图 — 48 球星焊盘 FBGA



## 引脚定义

引脚名称	I/O 类型	说明
A <sub>0</sub> -A <sub>18</sub>	输入	对于 × 8 配置，该地址引脚用于选择 524,288 个 nvSRAM 字节中的某一个。
A <sub>0</sub> -A <sub>17</sub>		对于 × 16 配置，该地址引脚用于选择 262,144 个 nvSRAM 字中的某一个。
DQ <sub>0</sub> -DQ <sub>7</sub>	输入 / 输出	用于 ×8 配置的双向数据 I/O 线。根据操作将该引脚作为输入或输出线路使用。
DQ <sub>0</sub> -DQ <sub>15</sub>		用于 ×16 配置的双向数据 I/O 线。根据操作将该引脚作为输入或输出线路使用。
WE	输入	写使能输入，低电平有效。该引脚为低电平时，I/O 引脚上的数据被写入到指定的地址。
CE	输入	芯片使能输入，低电平有效。当该引脚为低电平时，将选择芯片。处于高电平时，则取消选择芯片。
OE	输入	输出使能，低电平有效。低电平有效 OE 输入在读周期内使能数据输出缓冲器。当 OE 为高电平时，I/O 引脚将进入三态。
BHE	输入	字节高电平使能，低电平有效。控制着 DQ <sub>15</sub> -DQ <sub>8</sub> 。
BLE	输入	字节低电平使能，低电平有效。控制着 DQ <sub>7</sub> -DQ <sub>0</sub> 。
V <sub>SS</sub>	接地	器件的接地。必须连接至系统接地端。
V <sub>CC</sub>	电源	器件内核的电源输入。
V <sub>CCQ</sub>	电源	器件输入和输出的电源输入。
HSB	输入 / 输出	硬件存储繁忙 (HSB)。 输出：低电平时表示 nvSRAM 处于繁忙状态。在每次硬件和软件存储操作完成后，HSB 通过标准输出高电流在一小段时间 (t <sub>HHHD</sub> ) 变为高电平，然后通过内部弱上拉电阻一直保持高电平（外部上拉电阻连接可选）。 输入：通过在外部将该引脚置于低电平，可执行硬件存储。
V <sub>CAP</sub>	电源	自动存储电容器。在断电期间为 nvSRAM 提供电源，以在该过程中将数据从 SRAM 存储到非易失性元件。
NC	无连接	无连接。该引脚未与芯片连接。

### 注释：

4. 8 Mbit 的地址扩展。NC 引脚未连接到芯片。

## 器件运行

CY14V104LA/CY14V104NA nvSRAM 由物理相同单元中的两个功能组件成对组成。它们是一个 SRAM 存储器单元和一个非易失性 QuantumTrap 单元。SRAM 存储器单元可作为标准的快速静态 RAM 工作。SRAM 中的数据被传输到非易失性单元（存储操作），或从非易失性单元传输到 SRAM（回读操作）。使用该独特的架构，所有单元都可以并行执行存储和回读操作。在存储和回读操作期间，SRAM 读写操作被禁止。与 SRAM 相同，CY14V104LA/CY14V104NA 支持无限次读写操作。此外，它还提供了无限次数的从非易失性单元的回读操作以及最多达 100 万次的存储操作。请参考第 17 页上的 [SRAM 操作的真值表](#)，以便获得读写模式的完整说明。

## SRAM 读取

当  $\overline{CE}$  和  $\overline{OE}$  为低电平，且  $\overline{WE}$  和  $\overline{HSB}$  为高电平时，CY14V104LA/CY14V104NA 将执行读周期。引脚  $A_{0-18}$  或  $A_{0-17}$  上指定的地址将确定要访问 524,288 个数据字节中或者 262,144 个字（每个字 16 位）中的哪一个。字节使能（ $\overline{BHE}$ 、 $\overline{BLE}$ ）确定将哪些字节使能为输出（在 16 位字的情况下）。当读取由地址转换触发时，输出在经过  $t_{AA}$ （读取周期 1）时间后有效。如果  $\overline{CE}$  或  $\overline{OE}$  启动了读取操作，输出会在  $t_{ACE}$  或  $t_{DOE}$  中较晚者时有效（读取周期 2）。数据输出在  $t_{AA}$  访问时间内反复响应地址变化而不需要切换任何控制输入引脚。这一一直有效，直到另一个地址变化或直到  $\overline{CE}$  或  $\overline{OE}$  变为高电平，或  $\overline{WE}$  或  $\overline{HSB}$  变为低电平为止。

## SRAM 写入

当  $\overline{CE}$  和  $\overline{WE}$  均为低电平且  $\overline{HSB}$  为高电平时，将执行写循环。地址输入必须稳定才能进入写周期，并且必须保持稳定，直到  $\overline{CE}$  或  $\overline{WE}$  在周期结束时变为高电平为止。如果数据在  $\overline{WE}$  控制的写入结束前或在  $\overline{CE}$  控制的写入结束前的  $t_{SD}$  时长有效，则公用 I/O 引脚  $DQ_{0-15}$  上的数据被写入到存储器中。字节使能输入（ $\overline{BHE}$ 、 $\overline{BLE}$ ）确定在 16 位字的情况下写入哪些字节。推荐在整个写周期内保持  $\overline{OE}$  为高电平，以避免公用 I/O 线路上出现数据总线争用情况。如果  $\overline{OE}$  为低电平，那么在  $\overline{WE}$  变为低电平之后，内部电路将在  $t_{HZWE}$  时间内关闭输出缓冲器。

## 自动存储操作

CY14V104LA/CY14V104NA 通过下面三个方法之一将数据存储在 nvSRAM 内：由  $\overline{HSB}$  激活的硬件存储操作；由地址序列激活的软件存储操作；器件断电时的自动存储。自动存储操作是 QuantumTrap 技术的独有特性，在 CY14V104LA/CY14V104NA 上默认使能该特性。

在正常工作时，器件从  $V_{CC}$  接收电流，进而给与  $V_{CAP}$  引脚连接的电容器充电。芯片使用该存储的电荷执行单个存储操作。如果  $V_{CC}$  引脚的电压下降到  $V_{SWITCH}$  以下，器件会自动将  $V_{CAP}$  引脚与  $V_{CC}$  的连接断开。通过  $V_{CAP}$  电容器所提供的电源触发存储操作。

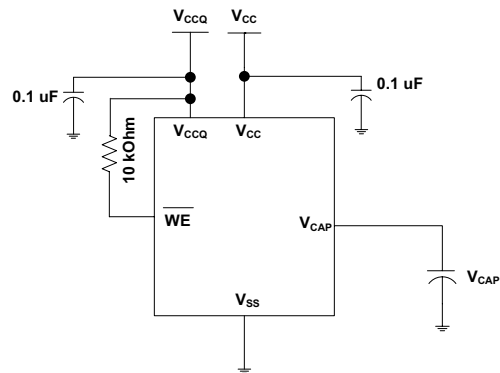
**注意：**如果电容器未与  $V_{CAP}$  引脚连接，则必须使用第 6 页上的 [阻止自动存储](#) 中指定的软件列表禁用自动存储。如果在  $V_{CAP}$  引脚上没有连接电容器时启用了自动存储性能，则器件将在电荷不足的情况下尝试执行自动存储操作以完成存储。这样可破坏 nvSRAM 中存储的数据。

图 2 显示的是自动存储操作的存储电容器（ $V_{CAP}$ ）的合适连接。请参考第 7 页上的 [直流电气特性](#)，以便了解  $V_{CAP}$  的大小。 $V_{CAP}$  引脚上的电压通过芯片上的调压器被输入到  $V_{CC}$ 。上拉应该置于  $\overline{WE}$  上，以在加电期间保持其处于非活动状态。仅当  $\overline{WE}$  信号在加电期间为三态时，该上拉才有效。很多 MPU 在加电时使其控制引脚进入三态。使用上拉时应验证该情况。当 nvSRAM 退出加

电回读时，MPU 必须处于活动状态或者  $\overline{WE}$  保持为非活动状态，直到 MPU 退出复位状态为止。

为了减少不必要的非易失性存储，将忽略自动存储和硬件存储操作，除非在最新的存储或回读周期后至少要执行一次写操作。无论是否发生写操作，都会执行软件触发的存储周期。

图 2. 自动存储模式



## 硬件存储操作

CY14V104LA/CY14V104NA 提供了  $\overline{HSB}$  引脚以控制和确定存储操作。使用  $\overline{HSB}$  引脚请求硬件存储周期。当  $\overline{HSB}$  引脚被设置为低电平时，CY14V104LA/CY14V104NA 将在  $t_{DELAY}$  的时间后按条件启动存储操作。仅在最后一个存储或回读周期后发生了对 SRAM 的写操作时才开始实际的存储周期。 $\overline{HSB}$  引脚还起到开漏驱动器（内部 100 kΩ 弱上拉电阻）的作用，它在存储进行（通过任何手段触发的）时在内部变为低电平以指示繁忙状态。

**注意：**在每次进行硬件和软件存储操作后， $\overline{HSB}$  会在一小段时间（ $t_{HHHD}$ ）通过标准输出高电流变为高电平，然后通过内部 100 kΩ 上拉电阻一直保持高电平。

在  $\overline{HSB}$  通过任何手段变为低电平时进行的 SRAM 写操作要在启动存储操作之前给定的时间（ $t_{DELAY}$ ）内完成。但是，在  $\overline{HSB}$  变为低电平后请求的任何 SRAM 写周期都被禁止，直到  $\overline{HSB}$  变回高电平为止。如果未设置写锁存，则  $\overline{HSB}$  不会被 CY14V104LA/CY14V104NA 置为低电平。但是所有 SRAM 读和写周期都被禁止，直到 MPU 或其他外部源使  $\overline{HSB}$  变回高电平为止。

在任何存储操作期间，无论它如何启动，CY14V104LA/CY14V104NA 都会继续将  $\overline{HSB}$  引脚设置为低电平，仅在存储完成时才会释放。完成存储操作后，CY14V104LA/CY14V104NA 保持禁用状态，直到  $\overline{HSB}$  引脚返回到高电平为止。如果不使用  $\overline{HSB}$ ，请保持它的未连接状态。

## 硬件回读（加电）

加电时或任何低功率状态之后（ $V_{CC} < V_{SWITCH}$ ），内部回读请求将被锁存。如果  $V_{CC}$  再次超过了  $V_{SWITCH}$  的检测电压，将自动启动回读周期并需要经过  $t_{HRECALL}$  的时长来完成。在此期间内， $\overline{HSB}$  驱动器将  $\overline{HSB}$  置为低电平。

## 软件存储

通过软件地址序列将数据从 SRAM 传输到非易失性存储器内。通过以准确的顺序在六个特定地址执行连续的  $\overline{CE}$  控制的读周期，可以启动 CY14V104LA/CY14V104NA 软件存储周期。在存储周期期间，首先擦除上一个非易失性数据，接下来执行非易失性元件程序。启动存储周期后，将禁用后续的输入和输出，直到该周期完成。

由于特定地址的读取序列用于存储启动，所以在该序列中要避免其他读或写访问干预，否则该序列会被终止并且不会发生任何存储或回读操作。

想要启动软件存储周期，必须执行下列读取序列。

1. 读取地址 0x4E38 有效读取
2. 读取地址 0xB1C7 有效读取
3. 读取地址 0x83E0 有效读取
4. 读取地址 0x7C1F 有效读取
5. 读取地址 0x703F 有效读取
6. 读取地址 0x8FC0，启动存储周期

当  $\overline{WE}$  在六个读取序列中始终保持高电平状态时，可以通过  $\overline{CE}$  控制的读取或  $\overline{OE}$  控制的读取给软件序列提供时钟脉冲。在序列中输入第六个地址之后，存储周期将立即开始，芯片被禁用。HSB 被置为低电平。达到  $t_{STORE}$  周期时间后，SRAM 再次被激活以进行读和写操作。

### 软件回读

通过软件地址序列将数据从非易失性存储器内传输到 SRAM。同启动软件存储操作相似，当想要启动软件回读周期时，也会以相同的方式执行一个读序列。若要启动回读循环，必须执行下列  $\overline{CE}$  控制的读操作序列。

1. 读取地址 0x4E38 有效读取
2. 读取地址 0xB1C7 有效读取
3. 读取地址 0x83E0 有效读取
4. 读取地址 0x7C1F 有效读取
5. 读取地址 0x703F 有效读取
6. 读取地址 0x4C63，启动回读周期

在内部，回读是两步程序。首先，SRAM 数据被清除；然后，非易失性信息被传输到 SRAM 单元内。在  $t_{RECALL}$  周期时间后，SRAM 再次处于就绪状态，以进行读和写操作。回读操作并不会更改非易失性元件中的数据。

表 1. 模式选择

$\overline{CE}$	$\overline{WE}$	$\overline{OE}$	$\overline{BHE}$ 、 $\overline{BLE}$ <sup>[5]</sup>	$A_{15}-A_0$ <sup>[6]</sup>	模式	I/O	电源
H	X	X	X	X	未选中	输出高阻态	待机
L	H	L	L	X	读取 SRAM	输出数据	活动
L	L	X	L	X	写入 SRAM	输入数据	活动
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8B45	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 自动存储禁用	输出数据 输出数据 输出数据 输出数据 输出数据 输出数据	激活 <sup>[7]</sup>

**注释：**

5.  $\overline{BHE}$  和  $\overline{BLE}$  仅适用于  $\times 16$  配置。
6. CY14V104LA 上有 19 个地址行（CY14V104NA 上有 18 个地址行），只有 13 个地址行（ $A_{14}-A_2$ ）用于控制软件模式。无需关注余下的地址行。
7. 六个连续的地址必须按顺序列出。 $\overline{WE}$  在六个周期期间必须保持为高电平才能使非易失性循环。



表 1. 模式选择 (续)

$\overline{CE}$	$\overline{WE}$	$\overline{OE}$	$\overline{BHE}$ 、 $\overline{BLE}^{[5]}$	$A_{15}-A_0^{[6]}$	模式	I/O	电源
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4B46	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 自动存储使能	输出数据 输出数据 输出数据 输出数据 输出数据 输出数据	激活 <sup>[8]</sup>
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8FC0	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 非易失性存储	输出数据 输出数据 输出数据 输出数据 输出数据 输出高阻态	活动 $I_{CC2}^{[8]}$
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4C63	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 非易失性回读	输出数据 输出数据 输出数据 输出数据 输出数据 输出高阻态	激活 <sup>[8]</sup>

### 阻止自动存储

通过启动自动存储禁用的序列，可以禁用自动存储功能。同启动软件存储操作相似，想要启动自动存储时，要以同样的方式执行读序列。如要启动自动存储禁用序列，必须执行下列  $\overline{CE}$  控制的读操作序列：

1. 读取地址 0x4E38 有效读取
2. 读取地址 0xB1C7 有效读取
3. 读取地址 0x83E0 有效读取
4. 读取地址 0x7C1F 有效读取
5. 读取地址 0x703F 有效读取
6. 读取地址 0x8B45 自动存储禁用

通过启动自动存储使能序列，可以重新使能自动存储。使用与启动软件回读相似的方式执行读操作序列。如果要启动自动存储使能序列，必须执行下列  $\overline{CE}$  控制的读操作序列：

1. 读取地址 0x4E38 有效读取
2. 读取地址 0xB1C7 有效读取
3. 读取地址 0x83E0 有效读取
4. 读取地址 0x7C1F 有效读取
5. 读取地址 0x703F 有效读取
6. 读取地址 0x4B46 自动存储使能

如果禁用或重新使能自动存储功能，则必须触发手动存储操作（软件或硬件）才能在后续的断电循环中保存自动存储的状态。器件出厂时已使能自动存储功能，且已在所有单元中写入了 0x00。

### 数据保护

CY14V104LA/CY14V104NA 通过禁止外部启动的存储和写操作，在低电压状态下阻止数据的破坏。当  $V_{CC} < V_{SWITCH}$  时，会检测到低电压状态。如果 CY14V104LA/CY14V104NA 在加电时处于写模式（ $\overline{CE}$  和  $\overline{WE}$  均为低电平），在回读或存储后将禁止写操作，直到  $t_{LZHSB}$ （HSB 到输出有效的时间）后 SRAM 被使能为止。当  $V_{CCQ} < V_{IOPIS}$  时，各 I/O 将被禁用（无存储指令）。这样可防止在  $V_{CCQ}$  加电期间内掉电条件下发生意外地写操作。

### 注释：

8. 六个连续的地址必须按顺序列出。 $\overline{WE}$  在六个周期期间必须保持为高电平才能使能非易失性循环。

## 最大额定值

超过最大额定值可能会影响器件的使用寿命。这些用户指导未经过测试。

存放温度 .....	-65 °C 到 +150 °C
最长存储时间	
在 150°C 环境温度下 .....	1000 个小时
在 85°C 环境温度下 .....	20 年
最高结温 .....	150°C
V <sub>CC</sub> 上相对于 V <sub>SS</sub> 的供电电压 .....	-0.5 V 到 4.1 V
V <sub>CCQ</sub> 上相对于 V <sub>SS</sub> 的供电电压 .....	-0.5 V 到 2.45 V
应用于高阻态的输出电压 .....	-0.5 V 到 V <sub>CCQ</sub> + 0.5 V
输入电压 .....	-0.5 V 到 V <sub>CCQ</sub> + 0.5 V

在接地电位的所有引脚上的瞬变电压 (< 20 ns) .....	-2.0 V 到 V <sub>CCQ</sub> + 2.0 V
封装功率散耗能力 (T <sub>A</sub> = 25 °C) .....	1.0 W
表面贴装铅焊温度 (3 秒) .....	+260 °C
直流输出电流	
(每次只输出 1 路电流, 持续时间为 1 秒) .....	15 mA
静电放电电压	
(根据 MIL-STD-883, 方法 3015) .....	> 2001 V
栓锁电流 .....	> 140 mA

## 工作范围

范围	环境温度	V <sub>CC</sub>	V <sub>CCQ</sub>
工业级	-40°C 至 +85°C	3.0 V 至 3.6 V	1.65 V 至 1.95 V

## 直流电气特性

在工作范围内

参数	说明	测试条件	最小值	典型值 <sup>[9]</sup>	最大值	单位
V <sub>CC</sub>	供电电压	-	3.0	3.3	3.6	V
V <sub>CCQ</sub>			1.65	1.8	1.95	V
I <sub>CC1</sub>	V <sub>CC</sub> 平均电流	t <sub>RC</sub> = 25 ns t <sub>RC</sub> = 45 ns	-	-	70	mA
I <sub>CCQ1</sub>	V <sub>CCQ</sub> 平均电流	无输出负载下取得的值 (I <sub>OUT</sub> = 0 mA)	-	-	52	mA
I <sub>CC2</sub>	存储过程中的 V <sub>CC</sub> 平均电流	所有输入无需关注, V <sub>CC</sub> = t <sub>STORE</sub> 持续时间内的最大平均电流	-	-	15	mA
I <sub>CC3</sub>	在 t <sub>RC</sub> = 200 ns, V <sub>CC(Typ)</sub> , 25 °C 条件下的 V <sub>CC</sub> 平均电流	所有输入在 CMOS 电循环。无输出负载下取得的值 (I <sub>OUT</sub> = 0 mA)。	-	35	10	mA
I <sub>CCQ3</sub>	在 t <sub>RC</sub> = 200 ns, V <sub>CCQ(Typ)</sub> , 25 °C 条件下的 V <sub>CCQ</sub> 平均电流		-	5	8	mA
I <sub>CC4</sub>	自动存储周期期间的 V <sub>CAP</sub> 平均电流	无需关注所有输入。t <sub>STORE</sub> 期间的平均电流	-	-	8	mA
I <sub>SB</sub>	V <sub>CC</sub> 待机电流	CE ≥ (V <sub>CCQ</sub> - 0.2 V)。V <sub>IN</sub> ≤ 0.2 V 或 ≥ (V <sub>CC</sub> - 0.2 V)。非易失性周期完成后的待机电流电平。输入为静态。f = 0 MHz。	-	-	8	mA
I <sub>IX</sub> <sup>[10]</sup>	输入漏电流 (HSB 除外)	V <sub>CCQ</sub> = 最大值, V <sub>SS</sub> ≤ V <sub>IN</sub> ≤ V <sub>CCQ</sub>	-1	-	+1	μA
	输入漏电流 (供给 HSB)	V <sub>CCQ</sub> = 最大值, V <sub>SS</sub> ≤ V <sub>IN</sub> ≤ V <sub>CCQ</sub>	-100	-	+1	μA
I <sub>OZ</sub>	断开状态输出漏电流	V <sub>CCQ</sub> = 最大值, V <sub>SS</sub> ≤ V <sub>OUT</sub> ≤ V <sub>CCQ</sub> , CE 或 OE ≥ V <sub>IH</sub> 或 BHE/BLE ≥ V <sub>IH</sub> 或 WE ≤ V <sub>IL</sub>	-1	-	+1	μA
V <sub>CAP</sub> <sup>[11]</sup>	存储电容器	在 V <sub>CAP</sub> 引脚和 V <sub>SS</sub> 之间	61	68	180	μF
V <sub>VCAP</sub> <sup>[9, 12]</sup>	器件在 V <sub>CAP</sub> 引脚上的最大驱动电压	V <sub>CC</sub> = 最大值	-	-	V <sub>CC</sub>	V

### 注释:

- 典型值的温度为 25 °C, V<sub>CC</sub> = V<sub>CC(Typ)</sub> 和 V<sub>CCQ</sub> = V<sub>CCQ(Typ)</sub>。并未经过 100% 测试。
- 如果高电平有效和低电平有效的驱动程序均被禁用, 对于 HSB 引脚, 当 V<sub>OH</sub> 等于 1.07 V 时, I<sub>OUT</sub> = -4 μA。使能这些驱动程序后, 标准 V<sub>OH</sub> 和 V<sub>OL</sub> 均有效。该参数被特性表征化, 并未经过测试。
- V<sub>CAP</sub> 的最小值可以保证能够提供用来完成自动存储操作的电荷。在加电回读周期内, V<sub>CAP</sub> 的最大值可以确保使用最小的电压给 V<sub>CAP</sub> 上的电容器充电。这样, 在紧急断电期间, 可以顺利完成自动存储操作。因此, 建议始终使用在指定最小和最大极限值内的电容器。请参考应用手册 AN43593, 以便了解有关 V<sub>CAP</sub> 选项的更多信息。
- 选择 V<sub>CAP</sub> 电容器时, 可提供 V<sub>CAP</sub> 引脚上的最大电压 (V<sub>VCAP</sub>) 作为指导。在工作温度范围内, V<sub>CAP</sub> 电容器的额定电压应高于 V<sub>VCAP</sub> 电压。

## 直流电气特性 (续)

在工作范围内

参数	说明	测试条件	最小值	典型值 <sup>[9]</sup>	最大值	单位
V <sub>IH</sub>	输入高电压	–	0.7 × V <sub>CCQ</sub>	–	V <sub>CCQ</sub> + 0.3	V
V <sub>IL</sub>	输入低电平电压	–	– 0.3	–	0.3 × V <sub>CCQ</sub>	V
V <sub>OH</sub>	输出高电压	I <sub>OUT</sub> = –1 mA	V <sub>CCQ</sub> – 0.45	–	–	V
V <sub>OL</sub>	输出低电压	I <sub>OUT</sub> = 2 mA	–	–	0.45	V

## 数据保留时间和耐久性

在工作范围内

参数	说明	最小值	单位
DATA <sub>R</sub>	数据保留时间	20	年
NV <sub>C</sub>	非易失性存储操作	1,000	K

## 电容值

参数 <sup>[13]</sup>	说明	测试条件	最大值	单位
C <sub>IN</sub>	输入电容 (BLE、BHE 和 HSB 除外)	T <sub>A</sub> = 25 °C, f = 1 MHz, V <sub>CC</sub> = V <sub>CC</sub> (Typ), V <sub>CCQ</sub> = V <sub>CCQ</sub> (Typ)	7	pF
	输入电容 (供给 BLE、BHE 和 HSB)		8	pF
C <sub>OUT</sub>	输出电容 (HSB 除外)		7	pF
	输出电容 (供给 HSB)		8	pF

## 热阻

下表列出了各种热电阻参数。

参数 <sup>[13]</sup>	说明	测试条件	48 球形焊盘 FBGA	单位
Θ <sub>JA</sub>	热阻 (结温到室温)	根据 EIA/JESD51 的要求, 测试条件遵循了测试热阻的标准测试方法和过程。	46.09	°C/W
Θ <sub>JC</sub>	热电阻 (结温至壳温)		7.84	°C/W

### 注释:

13. 这些参数仅通过设计保证, 并未经过测试。



### 交流测试负载

图 3. 交流测试负载



### 交流测试条件

输入脉冲电平 ..... 0 V 到 1.8 V  
 输入上升和下降时间 (10% – 90%) .....  $\leq 1.8$  ns  
 输入和输出的时序参考电平 ..... 0.9 V

## 交流开关特性

在工作范围内

参数 <sup>[14]</sup>		说明	25 ns		45 ns		单位
赛普拉斯参数	备用参数		最小值	最大值	最小值	最大值	
<b>SRAM 读周期</b>							
t <sub>ACE</sub>	t <sub>ACS</sub>	芯片使能访问时间	–	25	–	45	ns
t <sub>RC</sub> <sup>[15]</sup>	t <sub>RC</sub>	读周期的时间	25	–	45	–	ns
t <sub>AA</sub> <sup>[16]</sup>	t <sub>AA</sub>	地址访问时间	–	25	–	45	ns
t <sub>DOE</sub>	t <sub>OE</sub>	输出使能到数据有效的时间	–	12	–	20	ns
t <sub>OHA</sub> <sup>[16]</sup>	t <sub>OH</sub>	地址更改后输出保持的时间	3	–	3	–	ns
t <sub>LZCE</sub> <sup>[17, 18]</sup>	t <sub>LZ</sub>	芯片使能到输出有效的时间	3	–	3	–	ns
t <sub>HZCE</sub> <sup>[17, 18]</sup>	t <sub>HZ</sub>	芯片禁用到输出无效的时间	–	10	–	15	ns
t <sub>LZOE</sub> <sup>[17, 18]</sup>	t <sub>OLZ</sub>	输出使能到输出有效的时间	0	–	0	–	ns
t <sub>HZOE</sub> <sup>[17, 18]</sup>	t <sub>OHZ</sub>	输出禁用到输出无效的时间	–	10	–	15	ns
t <sub>PU</sub> <sup>[17]</sup>	t <sub>PA</sub>	芯片使能到电源有效的时间	0	–	0	–	ns
t <sub>PD</sub> <sup>[17]</sup>	t <sub>PS</sub>	芯片禁用到电源待机的时间	–	25	–	45	ns
t <sub>DBE</sub>	–	字节使能到数据有效的时间	–	12	–	20	ns
t <sub>LZBE</sub> <sup>[17]</sup>	–	字节使能到输出有效的时间	0	–	0	–	ns
t <sub>HZBE</sub> <sup>[17]</sup>	–	字节禁用到输出无效的时间	–	10	–	15	ns
<b>SRAM 写周期</b>							
t <sub>WC</sub>	t <sub>WC</sub>	写周期时间	25	–	45	–	ns
t <sub>PWE</sub>	t <sub>WP</sub>	写入脉冲宽度	20	–	30	–	ns
t <sub>SCE</sub>	t <sub>CW</sub>	芯片使能到写周期结束的时间	20	–	30	–	ns
t <sub>SD</sub>	t <sub>DW</sub>	数据建立到写周期结束的时间	10	–	15	–	ns
t <sub>HD</sub>	t <sub>DH</sub>	写周期结束后数据保持的时间	0	–	0	–	ns
t <sub>AW</sub>	t <sub>AW</sub>	地址建立到写周期结束的时间	20	–	30	–	ns
t <sub>SA</sub>	t <sub>AS</sub>	地址建立到写周期开始的时间	0	–	0	–	ns
t <sub>HA</sub>	t <sub>WR</sub>	写周期结束后地址保持的时间	0	–	0	–	ns
t <sub>HZWE</sub> <sup>[17, 18, 19]</sup>	t <sub>WZ</sub>	写周期使能到输出禁用的时间	–	10	–	15	ns
t <sub>LZWE</sub> <sup>[17, 18]</sup>	t <sub>OW</sub>	写周期结束后输出有效的时间	3	–	3	–	ns
t <sub>BW</sub>	–	字节使能到写周期结束的时间	20	–	30	–	ns

### 注释:

- 测试条件采用等于或小于 1.8 ns 的信号跃迁时间, V<sub>CCQ</sub>/2 的时序参考电平, 0 至 V<sub>CCQ(tp)</sub> 的输入脉冲电平, 以及第 9 页上的图 3 中所示的指定 I<sub>OL</sub>/I<sub>OH</sub> 的输出负载和负载电容。
- WE 必须在 SRAM 读周期内保持为高电平状态。
- 当 CE、OE 和 BHE/BLE 均处于低电平状态时, 器件将继续被选中。
- 这些参数仅通过设计保证, 并未经过测试。
- 测量条件是在稳定状态下输出电压的 ±200 mV 范围内。
- 如果 CE 变为低电平时 WE 也处于低电平状态, 则输出会保持高阻抗状态。
- HSB 必须在读和写周期内保持为高电平状态。

开关波形

图 4. SRAM 读周期 #1 (地址控制) [21、22、23]

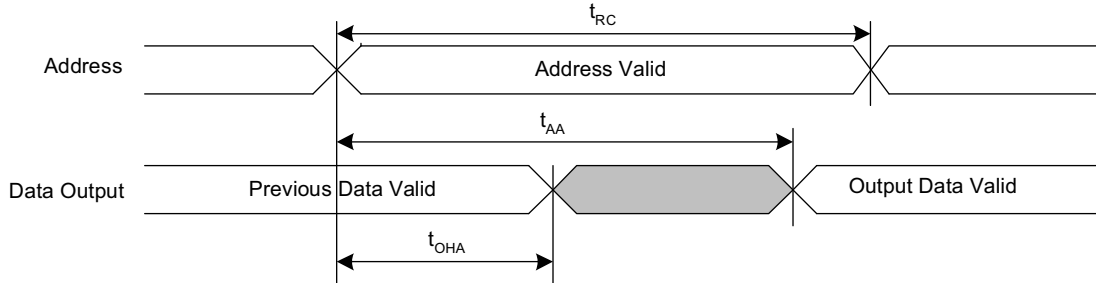
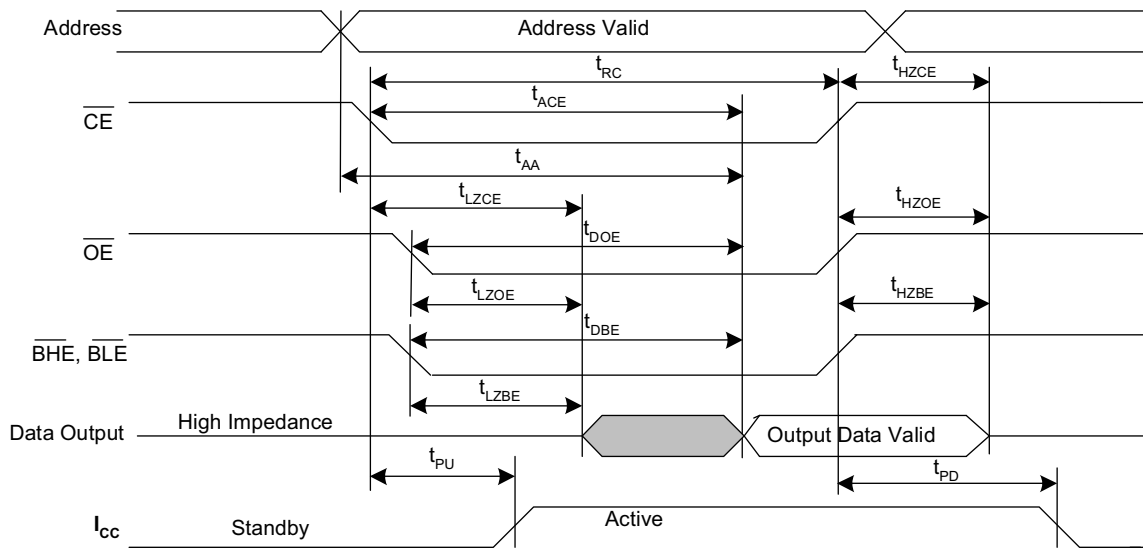


图 5. SRAM 读周期 #2 ( $\overline{CE}$  和  $\overline{OE}$  控制) [21、23、24]



注释:

21.  $\overline{WE}$  必须在 SRAM 读周期内保持为高电平状态。
22. 当  $\overline{CE}$ 、 $\overline{OE}$  和 BHE/ BLE 均处于低电平状态时，器件将继续被选中。
23. HSB 必须在读和写周期内保持为高电平状态。
24. 典型值的温度为 25 °C、 $V_{CC} = V_{CC(Typ)}$  和  $V_{CCQ} = V_{CCQ(Typ)}$ 。并未经过 100% 测试。

开关波形 (续)

图 6. SRAM 写周期 #1 ( $\overline{WE}$  控制) [25、26、27、28]

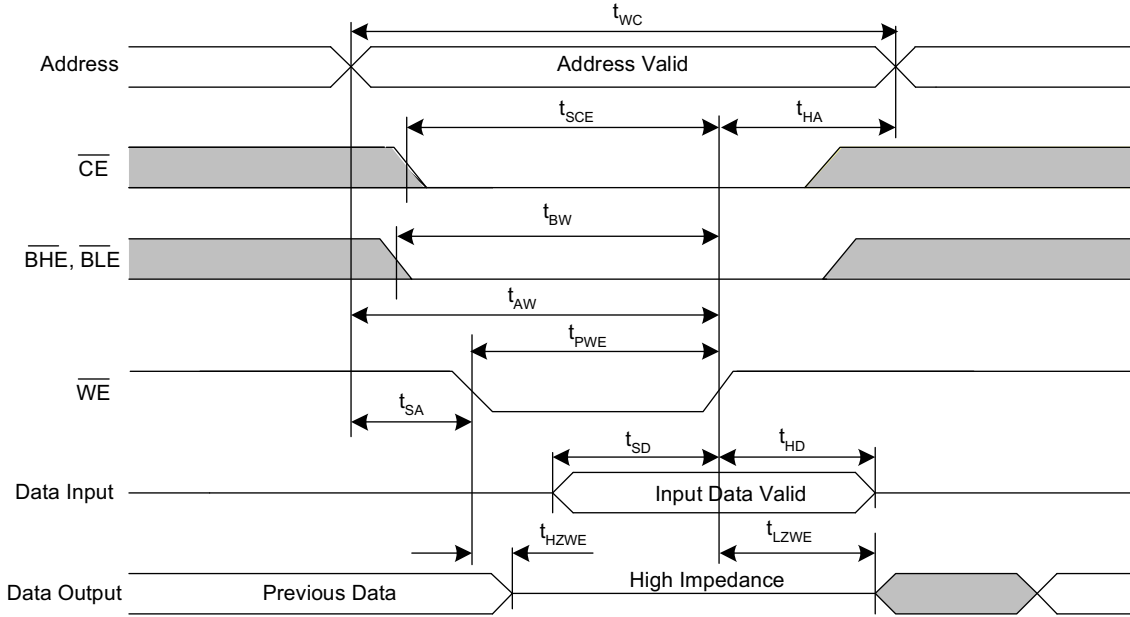
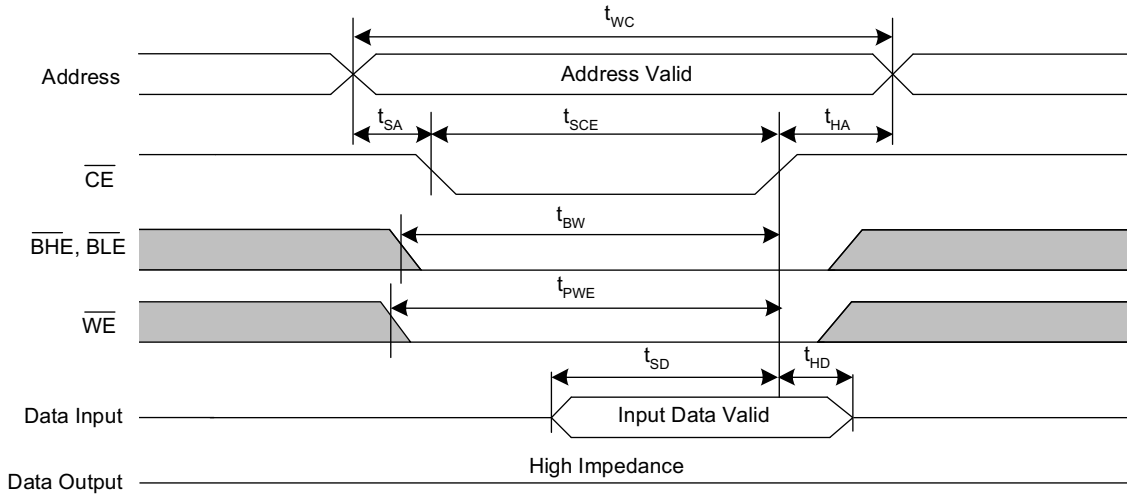


图 7. SRAM 写周期 #2 ( $\overline{CE}$  控制) [25、26、27、28]

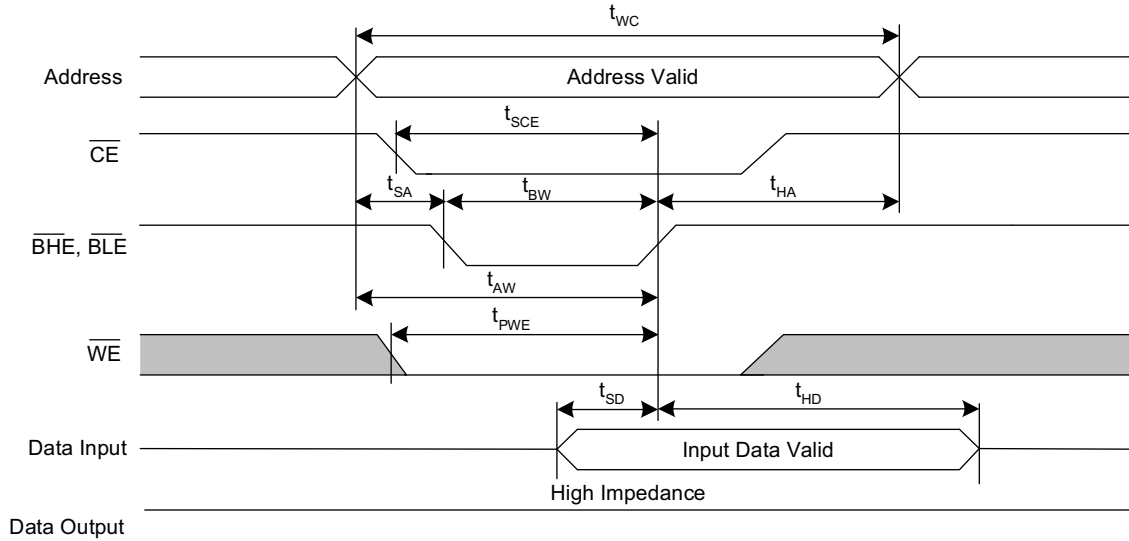


注释:

- 25.  $\overline{HSB}$  必须在读和写周期内保持高电平状态。
- 26.  $\overline{BHE}$  和  $\overline{BLE}$  仅适用于 x16 配置。
- 27. 如果  $\overline{CE}$  变为低电平时  $\overline{WE}$  处于低电平状态，输出会保持在高阻抗状态。
- 28. 地址转换期间， $\overline{CE}$  或  $\overline{WE}$  必须  $\geq V_{IH}$ 。

开关波形 (续)

图 8. SRAM 写周期 #3 ( $\overline{\text{BHE}}$  和  $\overline{\text{BLE}}$  控制) [29、30、31、32]



注释:

- 29.  $\overline{\text{HSB}}$  必须在读和写周期内保持为高电平状态。
- 30.  $\overline{\text{BHE}}$  和  $\overline{\text{BLE}}$  仅适用于  $\times 16$  配置。
- 31. 如果  $\overline{\text{CE}}$  变为低电平时  $\overline{\text{WE}}$  也处于低电平状态, 则输出会保持高阻抗状态。
- 32. 地址转换期间,  $\overline{\text{CE}}$  或  $\overline{\text{WE}}$  必须  $\geq V_{IH}$ 。

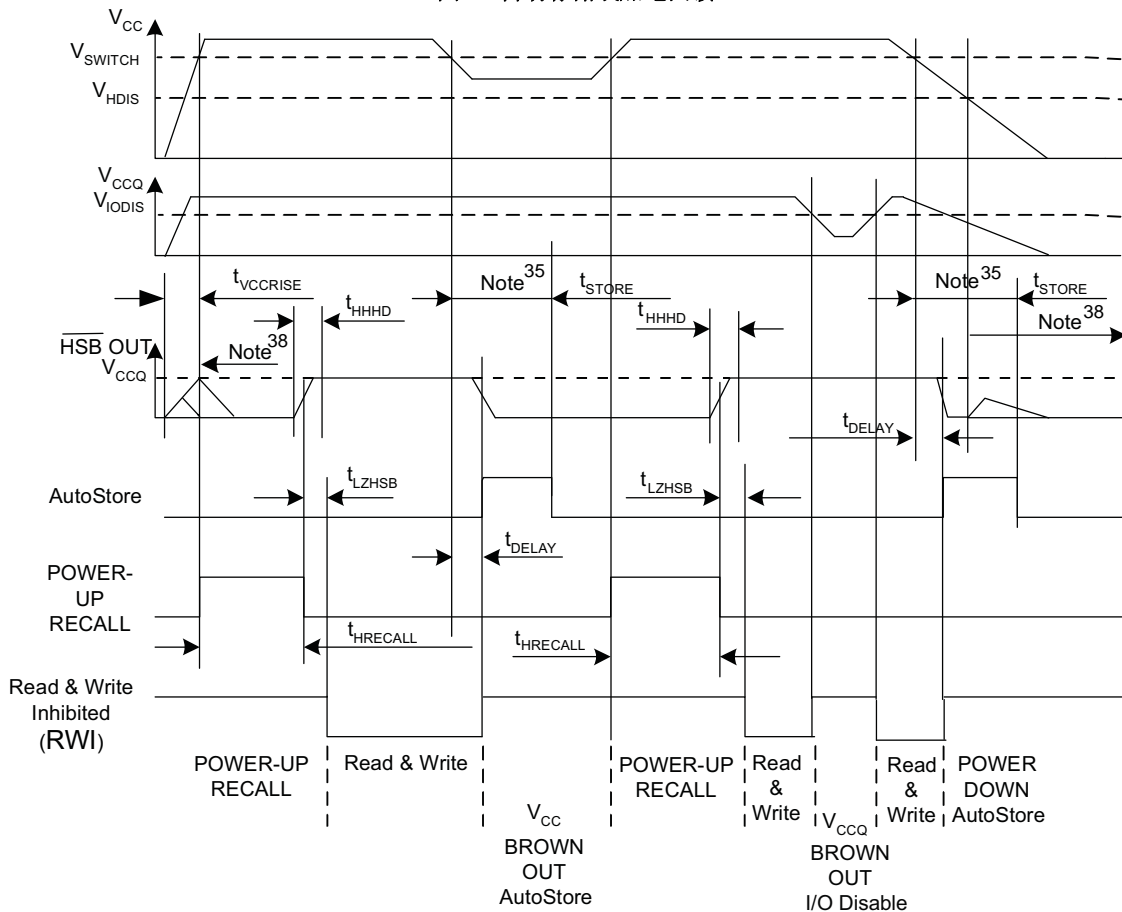
## 自动存储 / 加电回读

在工作范围内

参数	说明	CY14V104LA/CY14V104NA		单位
		最小值	最大值	
$t_{HRECALL}^{[33]}$	加电回读时间	-	20	ms
$t_{STORE}^{[34]}$	存储周期时间	-	8	ms
$t_{DELAY}^{[35]}$	完成 SRAM 写入周期所允许的时间	-	25	ns
$V_{SWITCH}$	$V_{CC}$ 的低电压触发电平	-	2.90	V
$V_{IODIS}^{[36]}$	$V_{CCQ}$ 的 I/O 禁用电压	-	1.50	V
$t_{VCCRRISE}^{[39]}$	$V_{CC}$ 上升时间	150	-	$\mu$ s
$V_{HDIS}^{[39]}$	$V_{CC}$ 的 HSB 输出禁用电压	-	1.9	V
$t_{LZHSB}^{[39]}$	HSB 到输出有效的时间	-	5	$\mu$ s
$t_{HHHD}^{[39]}$	HSB 高电平有效时间	-	500	ns

## 开关波形

图 9. 自动存储或加电回读<sup>[37]</sup>



### 注释:

33. 当  $V_{CC}$  超过  $V_{SWITCH}$  时, 将开始计算  $t_{HRECALL}$ 。
34. 如果最后一次非易失性循环完成后尚未对 SRAM 进行写操作, 则不会发生自动存储或硬件存储操作。
35. 在启动硬件存储和自动存储时, SRAM 写操作会在  $t_{DELAY}$  时间内持续使能。
36. 当电压低于  $V_{IODIS}$  时, HSB 不会被定义。
37. 如果  $V_{CC}$  小于  $V_{SWITCH}$ , 那么将在存储、回读过程中忽略读写周期。
38. 在加电和断电期间, 在通过外部电阻上拉 HSB 引脚时, HSB 将发生短时脉冲。
39. 这些参数仅通过设计保证, 并未经过测试。



## 软件控制的存储 / 回读周期

在工作范围内

参数 [40、41]	说明	25 ns		45 ns		单位
		最小值	最大值	最小值	最大值	
$t_{RC}$	存储 / 回读初始化周期的时间	25	–	45	–	ns
$t_{SA}$	地址建立时间	0	–	0	–	ns
$t_{CW}$	时钟脉冲宽度	20	–	30	–	ns
$t_{HA}$	地址保持时间	0	–	0	–	ns
$t_{RECALL}$	回读持续时间	–	200	–	200	$\mu$ s

## 开关波形

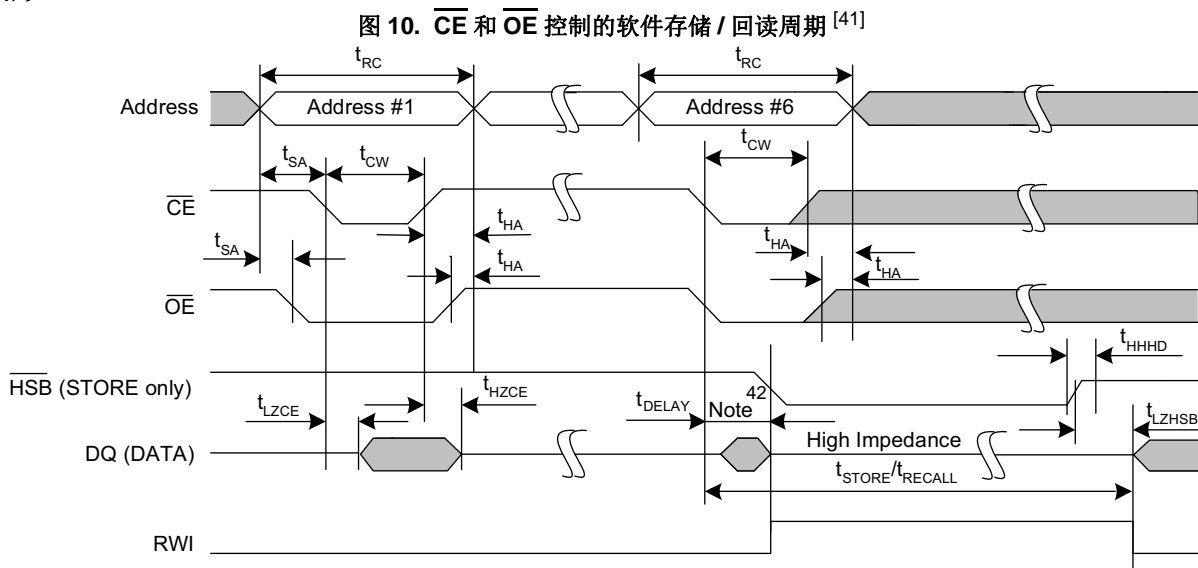
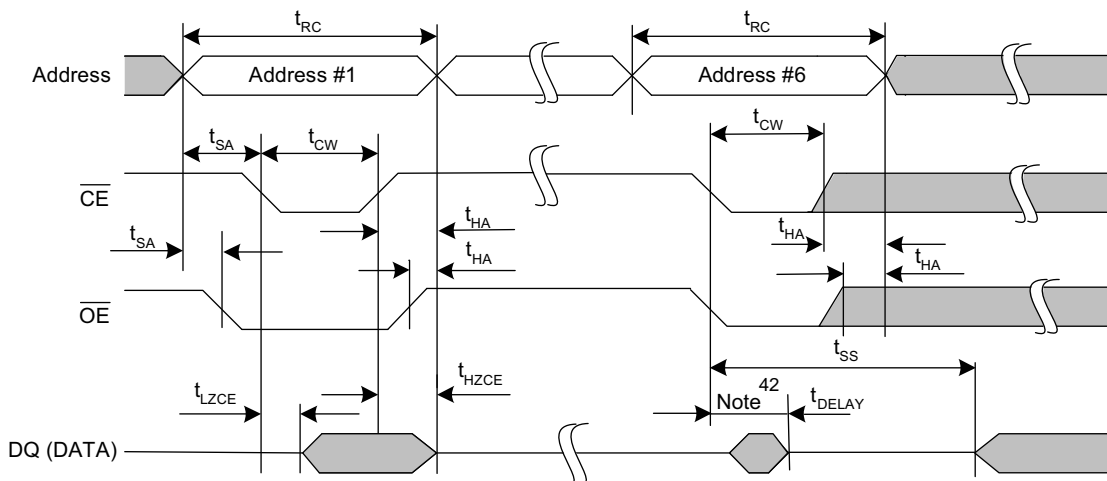


图 11. 自动存储启用 / 禁用循环



### 注释:

40. 由  $\overline{CE}$  控制的或  $\overline{OE}$  控制的读操作作为软件序列提供时钟脉冲。

41. 必须按第 5 页上的表 1 列出的顺序读取六个连续地址。在六个连续周期内， $\overline{WE}$  必须保持为高电平状态。

42. 由于在  $t_{DELAY}$  时间内禁用输出，第六次读取的 DQ 输出数据可能无效。

## 硬件存储周期

在工作范围内

参数	说明	CY14V104LA/CY14V104NA		单位
		最小值	最大值	
$t_{DHSB}$	未设置写入锁存时 $\overline{HSB}$ 到输出有效的时间	-	25	ns
$t_{PHSB}$	硬件存储脉冲宽度	15	-	ns
$t_{SS}$ [43、44]	软序列处理时间	-	100	$\mu$ s

## 开关波形

图 12. 硬件存储周期 [45]

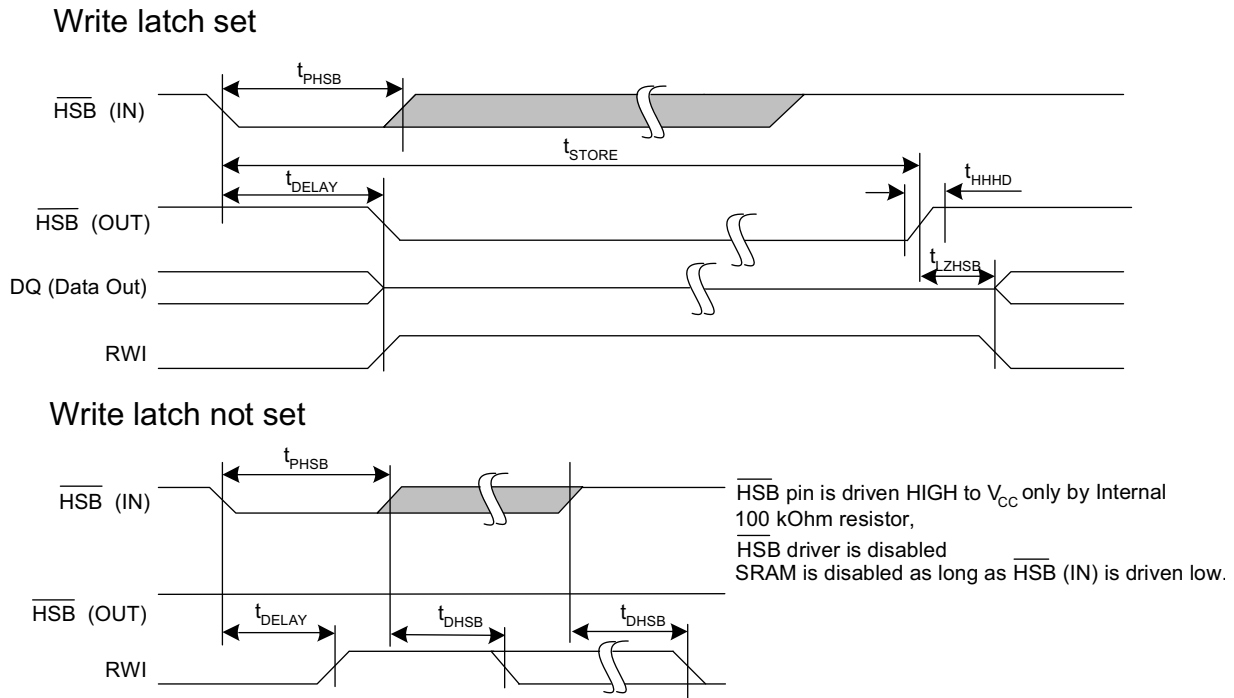
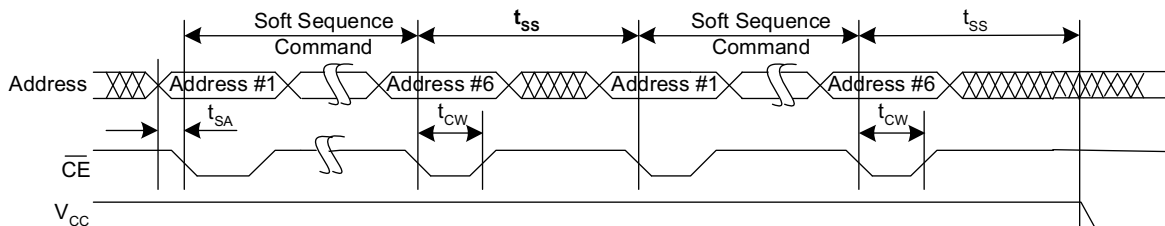


图 13. 软序列处理时间 [43、44]



**注释:**

- 43. 这是执行软序列指令所耗费的时间。Vcc 电压必须保持为高电平以保证有效地寄存指令。
- 44. 存储和回读等指令会锁定 I/O，直到操作完成为止，这样会更加延长该时间。请参见特定的指令。
- 45. 如果最后一次非易失性循环完成后尚未对 SRAM 进行写操作，则将不会发生自动存储或硬件存储操作。

## SRAM 操作的真值表

SRAM 操作过程中，必须将  $\overline{\text{HSB}}$  保持为高电平。

表 2.  $\times 8$  配置的真值表

CE	WE	OE	输入 / 输出 <sup>[46]</sup>	模式	电源
H	X	X	高阻态	取消选择 / 断电	待机
L	H	L	数据输出 (DQ <sub>0</sub> -DQ <sub>7</sub> )	读取	活动
L	H	H	高阻态	输出处于禁用状态	活动
L	L	X	数据输入 (DQ <sub>0</sub> -DQ <sub>7</sub> )	写入	活动

表 3.  $\times 16$  配置的真值表

CE	WE	OE	BHE <sup>[47]</sup>	BLE <sup>[47]</sup>	输入 / 输出 <sup>[46]</sup>	模式	电源
H	X	X	X	X	高阻态	取消选择 / 断电	待机
L	X	X	H	H	高阻态	输出处于禁用状态	活动
L	H	L	L	L	数据输出 (DQ <sub>0</sub> -DQ <sub>15</sub> )	读取	活动
L	H	L	H	L	数据输出 (DQ <sub>0</sub> -DQ <sub>7</sub> ) ; DQ <sub>8</sub> -DQ <sub>15</sub> (处于高阻态)	读取	活动
L	H	L	L	H	数据输出 (DQ <sub>8</sub> -DQ <sub>15</sub> ) ; DQ <sub>0</sub> -DQ <sub>7</sub> (处于高阻态)	读取	活动
L	H	H	L	L	高阻态	输出处于禁用状态	活动
L	H	H	H	L	高阻态	输出处于禁用状态	活动模式
L	H	H	L	H	高阻态	输出处于禁用状态	活动模式
L	L	X	L	L	数据输入 (DQ <sub>0</sub> -DQ <sub>15</sub> )	写入	活动模式
L	L	X	H	L	数据输入 (DQ <sub>0</sub> -DQ <sub>7</sub> ) ; DQ <sub>8</sub> -DQ <sub>15</sub> (处于高阻态)	写入	活动模式
L	L	X	L	H	数据输入 (DQ <sub>8</sub> -DQ <sub>15</sub> ) ; DQ <sub>0</sub> -DQ <sub>7</sub> (处于高阻态)	写入	活动模式

**注释:**

46. 数据 DQ<sub>0</sub>-DQ<sub>7</sub> 适用于  $\times 8$  配置; 数据 DQ<sub>0</sub>-DQ<sub>15</sub> 适用于  $\times 16$  配置。

47. BHE 和 BLE 仅适用于  $\times 16$  配置。

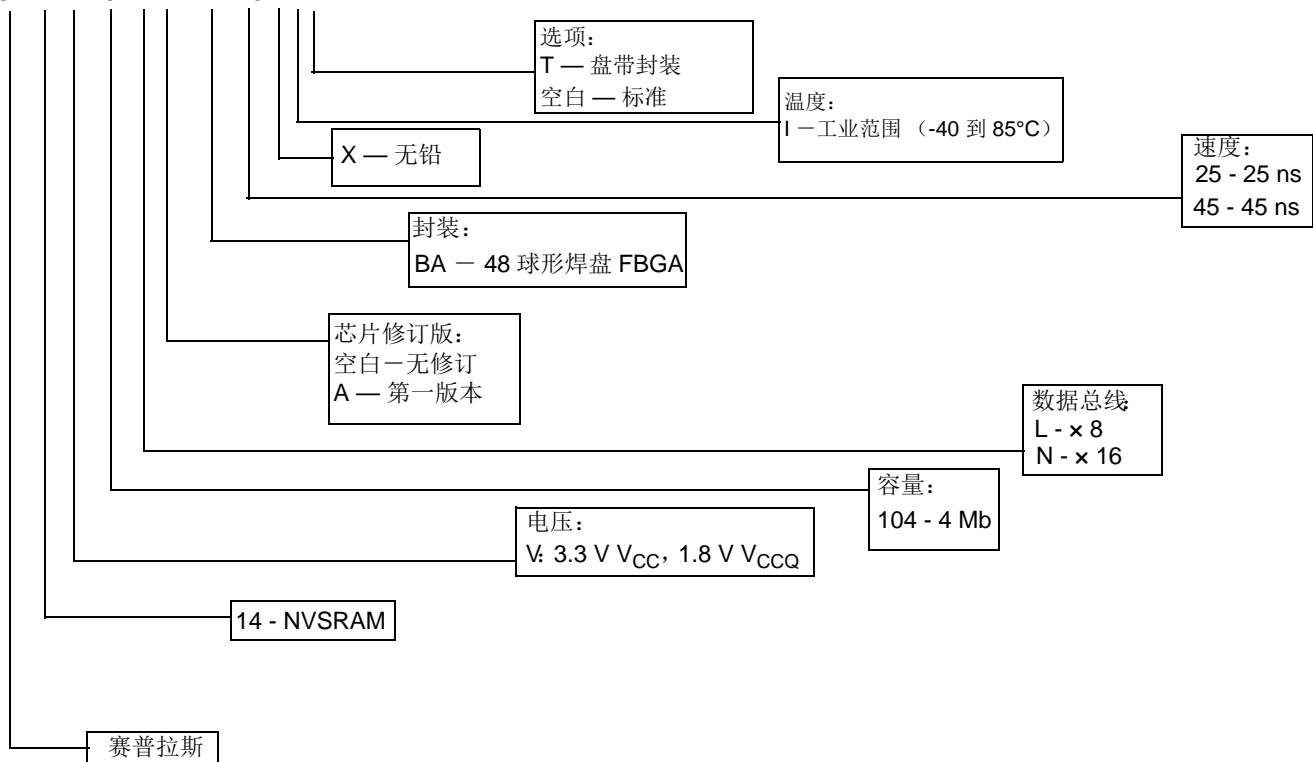
**订购信息**

速率 (ns)	订购代码	封装图	封装类型	工作范围
25	CY14V104LA-BA25XIT	51-85128	48 球形焊盘 FBGA	工业级
	CY14V104LA-BA25XI			
	CY14V104NA-BA25XIT			
	CY14V104NA-BA25XI			
45	CY14V104LA-BA45XIT			
	CY14V104LA-BA45XI			
	CY14V104NA-BA45XIT			
	CY14V104NA-BA45XI			

想要了解这些芯片的供应情况，请联系赛普拉斯本地销售代表。

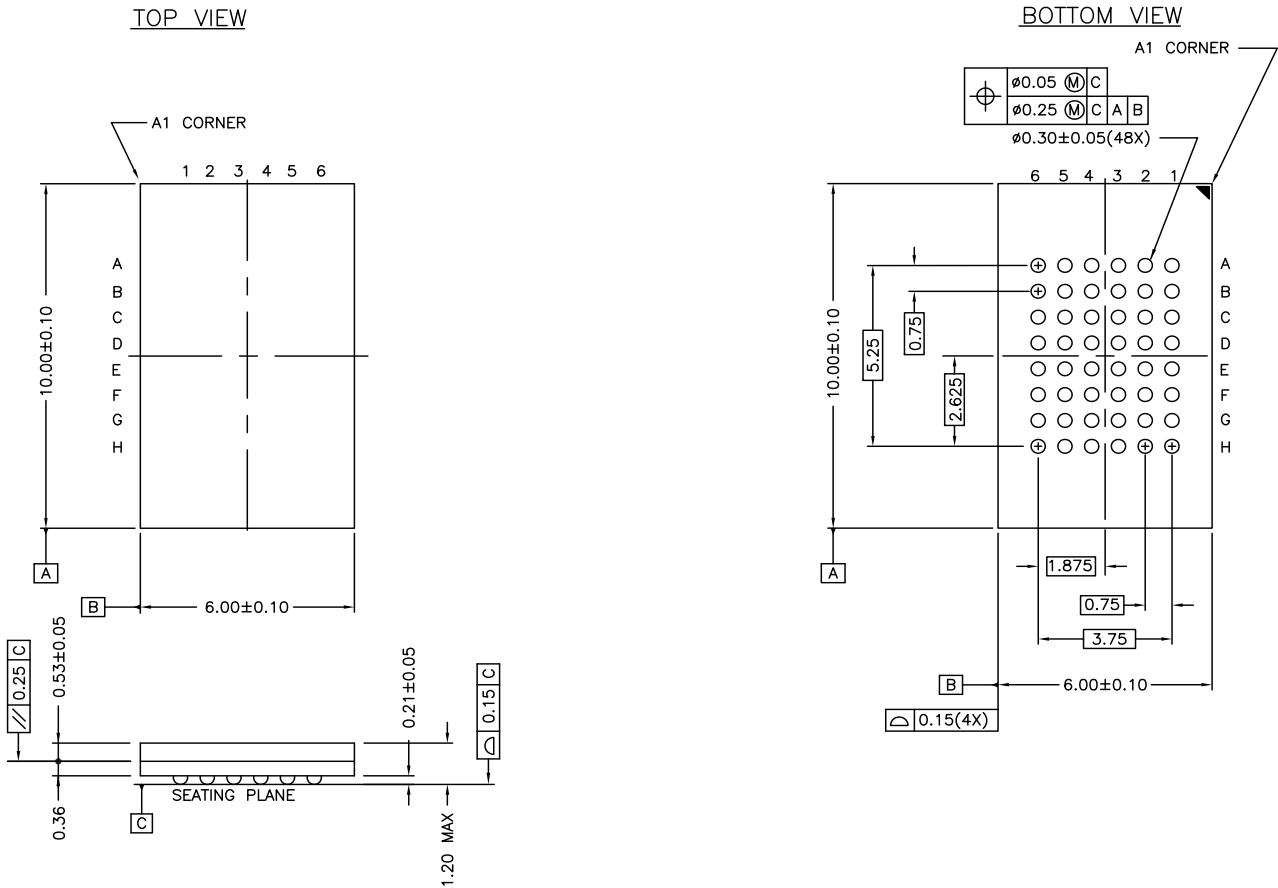
**订购代码定义**

**CY 14 V 104 L A - BA 25 X I T**



封装图

图 14. 48 球形焊盘 FBGA (6 × 10 × 1.2 mm) BA48B, 51-85128



51-85128 \*G

### 缩略语

缩略语	说明
BHE	字节高电平使能
$\overline{\text{BLE}}$	字节低电平使能
$\overline{\text{CE}}$	芯片使能
CMOS	互补金属氧化物半导体
EIA	电子工业联盟
FBGA	小间距球栅阵列
$\overline{\text{HSB}}$	硬件存储繁忙
I/O	输入 / 输出
nvSRAM	非易失性静态随机存取存储器
OE	输出使能
RoHS	有害物质限制
SRAM	静态随机存取存储器
WE	写使能

### 文档规范

#### 测量单位

符号	测量单位
°C	摄氏度
k $\Omega$	千欧
MHz	兆赫兹
$\mu\text{A}$	微安
mA	毫安
$\mu\text{F}$	微法
$\mu\text{s}$	微秒
ms	毫秒
ns	纳秒
$\Omega$	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特



## 文档修订记录页

文档标题: <b>CY14V104LA/CY14V104NA, 4 Mbit (512 K x 8 / 256 K x 16) nvSRAM</b>				
文档编号: <b>001-95816</b>				
版本	ECN 编号	变更者	提交日期	变更说明
**	4691555	LYAO	04/23/2015	本文档版本号为 Rev**, 译自英文版 001-53954 Rev*H。