

**256 Kbit (32 K × 8) nvSRAM
(非易失性静态随机存取存储器)**

特性

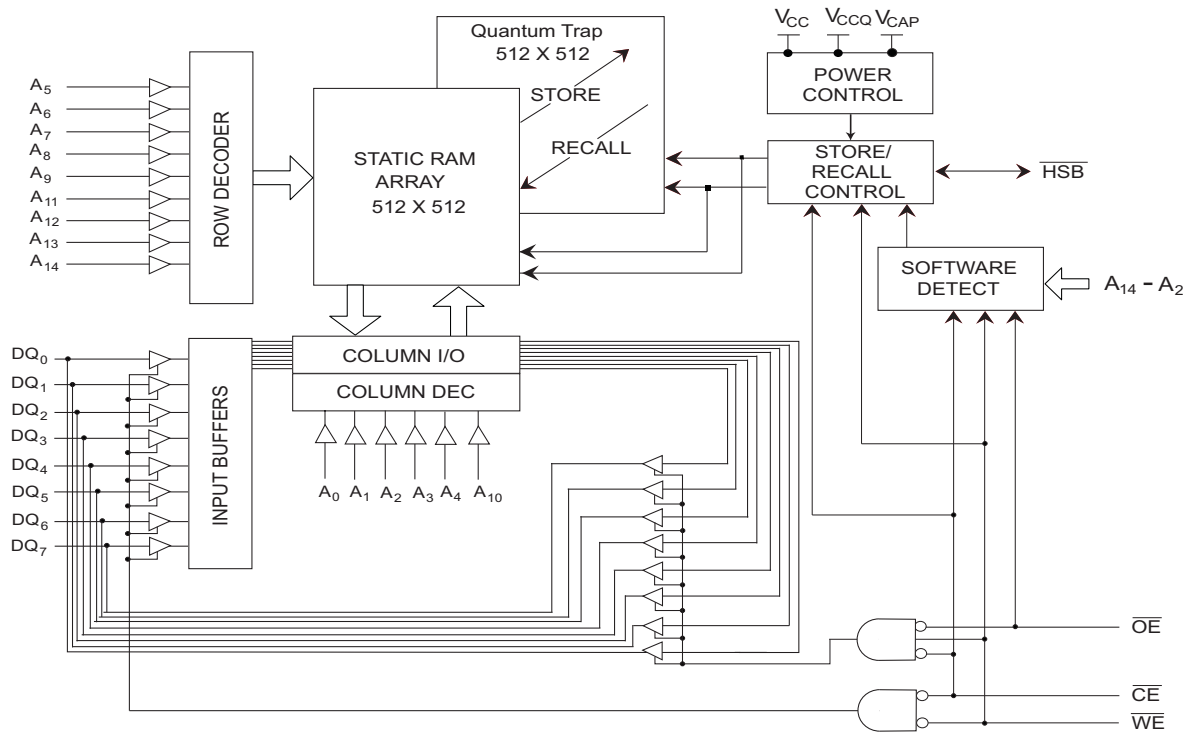
- 存取时间为 35 ns
- 内部采用 32 K x 8 的组织方式
- 只需一个小电容，即可在断电时实现自动存储
- 可通过软件、器件引脚或断电时自动存储来触发存储至 QuantumTrap 非易失性元件内
- 可通过软件或加电触发回读至 SRAM
- 无限次读、写和回读周期
- 一百万次的 QuantumTrap 存储周期
- 20 年的数据保留时间
- 内核 V_{CC} = 3.0 V 至 3.6 V； I/O V_{CCQ} = 1.65 V 至 1.95 V
- 工业级温度
- 48 球型焊盘小间距球栅阵列 (FBGA) 封装
- 无铅并满足有害物质限制 (RoHS) 规定

功能说明

赛普拉斯 CY14V256LA 是一种快速静态 RAM，且每个存储器单元中都包含非易失性元件。该存储器采用“32 K 字节，每字节 8 位”的组织方式。嵌入式非易失性元件通过采用 QuantumTrap 技术，打造出了世界上最可靠的非易失性存储器。SRAM 能够实现无限次读写周期，而独立的非易失性数据则存储在高度可靠的 QuantumTrap 单元中。断电时，数据会从 SRAM 自动转移到非易失性元件中（“存储”操作）。加电时，数据会从非易失性存储器存储到 SRAM（“回读”操作）。也可以在软件控制下执行“存储”和“回读”操作。

要获取相关文档的完整列表，请单击[此处](#)。

逻辑框图

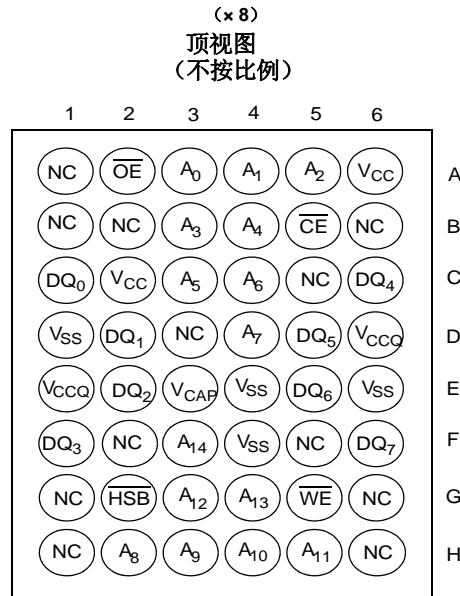


目录

引脚分布	3	自动存储 / 加电回读	13
引脚定义	3	切换波形	14
器件运行	4	软件控制的存储 / 回读周期	15
SRAM 读取	4	切换波形	15
SRAM 写入	4	硬件存储周期	16
自动存储操作	4	切换波形	16
硬件存储操作	4	SRAM 操作的真值表	17
硬件回读 (加电)	4	订购信息	18
软件存储	4	订购代码定义	18
软件回读	5	封装图	19
阻止自动存储	6	缩略语	20
数据保护	6	文档规范	20
最大额定值	7	测量单位	20
工作范围	7	文档修订记录页	21
直流电气特性	7	销售、解决方案和法律信息	22
数据保留时间与耐久性	8	全球销售和 design 支持	22
电容值	8	产品	22
热阻	8	PSoC 解决方案	22
交流测试负载	9		
交流测试条件	9		
交流切换特性	10		
SRAM 读周期	10		
SRAM 写周期	10		
切换波形	11		

引脚分布

图 1. 48 球型焊盘的 FBGA (6 × 10 × 1.2 mm) 引脚分布



引脚定义

引脚名称	I/O 类型	说明
A ₀ -A ₁₄	输入	地址输入。用于选择 32,768 字节 nvSRAM 中的一个字节
DQ ₀ -DQ ₇	输入 / 输出	双向数据 I/O 线。根据操作将该引脚作为输入或输出使用。
\overline{WE}	输入	低电平有效的写使能输入。当使能芯片，并 \overline{WE} 为低电平时，I/O 引脚上的数据被写入到指定的地址位置内。
\overline{CE}	输入	芯片使能输入，低电平有效。当该引脚为低电平时，将选择芯片。处于高电平时，则取消选择芯片。
\overline{OE}	输入	低电平有效的输出使能。低电平有效输入 \overline{OE} 在读周期内使能数据输出缓冲器。在取消激活高电平的 \overline{OE} 时，I/O 引脚会进入三态。
V_{SS}	接地	器件的接地引脚。必须连接至系统地。
V_{CC}	电源	器件内核的电源输入。
V_{CCQ}	电源	器件输入和输出的电源输入。
\overline{HSB}	输入 / 输出	硬件存储繁忙 (HSB)。该输出为低电平时，它表示硬件存储正在执行过程中。如果在芯片外部将其置于低电平，那么它会开始执行一个非易失性存储操作。每次执行完硬件和软件存储后，将使用标准的大输出电流在一小段时间 (t_{HHHD}) 内将 \overline{HSB} 驱动为高电平，然后使用一个内部弱上拉电阻保持该引脚的高电平状态 (选择性地使用外部上拉电阻连接)。
V_{CAP}	电源	自动存储电容。在断电期间内给 nvSRAM 供电是为了在该过程中将数据从 SRAM 存储到非易失性元件内。
NC	无连接	无连接。该引脚未与芯片内部连接。

器件运行

CY14V256LAnvSRAM 由两个相同物理单元中的成对功能组件组成。它们是一个 SRAM 存储器单元和一个非易失性 QuantumTrap 单元。SRAM 存储器单元可作为标准的快速静态 RAM 工作。SRAM 中的数据被传输到非易失性单元（存储操作），或从非易失性单元传输到 SRAM（回读操作）。使用该独特的架构，所有单元都可以并行执行存储和回读操作。在存储和回读操作期间，SRAM 读写操作被禁止。与典型的 SRAM 相同，CY14V256LA 支持无限次读写操作。此外，它还提供无限次从非易失性单元的回读操作以及最多 100 万次存储操作。请参考第 17 页上的 SRAM 操作的真值表了解读写模式的完整说明。

SRAM 读取

当 \overline{CE} 和 \overline{OE} 为低电平，且 \overline{WE} 和 \overline{HSB} 为高电平时，CY14V256LA 将执行读周期。引脚 A_{0-14} 上指定的地址将确定要访问 32,768 个数据字节中的哪一个。当读取由地址转换触发时，输出在经过 t_{AA} （读取周期 1）时间后有效。如果 \overline{CE} 或 \overline{OE} 启动了读取操作，输出在 t_{ACE} 或 t_{DOE} 中较晚者时有效（读取周期 2）。数据输出在 t_{AA} 访问时间内反复响应地址变化而不需要切换任何控制输入引脚。这一直有效，直到另一个地址变化或直到 \overline{CE} 或 \overline{OE} 变为高电平，或 \overline{WE} 或 \overline{HSB} 变为低电平为止。

SRAM 写入

当 \overline{CE} 和 \overline{WE} 均为低电平且 \overline{HSB} 为高电平时，将执行写循环。地址输入稳定下来后，才能进入写周期，并且该输入必须保持稳定状态，直到 \overline{CE} 或 \overline{WE} 在周期结束时变为高电平为止。如果数据在 \overline{WE} 控制的写入结束前或在 \overline{CE} 控制的写入结束前的 t_{SD} 时有效，则公用 I/O 引脚 DQ_{0-7} 上的数据被写入到存储器中。在整个写周期期间内保持 \overline{OE} 为高电平以避免共用 I/O 线路上出现数据总线争用。如果 \overline{OE} 为低电平，则内部电路将在 \overline{WE} 变为低电平之后的 t_{HZWE} 时关闭输出缓冲器。

自动存储操作

CY14V256LA 通过下面三个方法之一将数据存储到 nvSRAM 内：由 \overline{HSB} 激活的硬件存储操作；由地址序列激活的软件存储操作；器件断电时自动存储。自动存储操作是 QuantumTrap 技术的独有特性，在 CY14V256LA 上默认使能该特性。

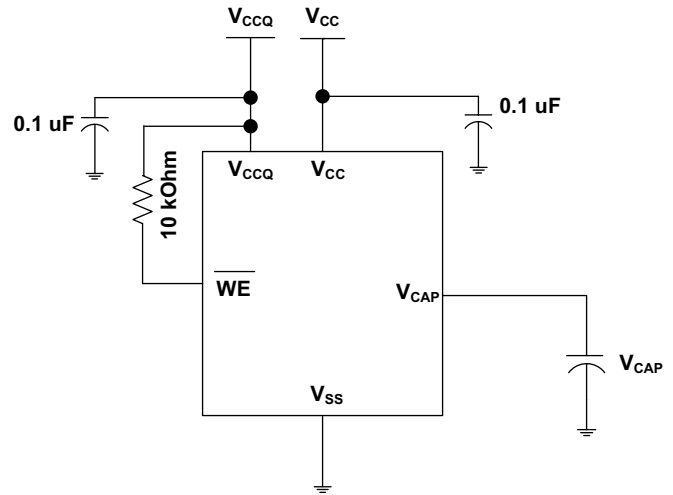
在正常工作时，器件从 V_{CC} 接收电流，进而给与 V_{CAP} 引脚连接的电容充电。芯片使用该存储的电荷执行单个存储操作。如果 V_{CC} 引脚的电压降到 V_{SWITCH} 以下，器件将自动断开 V_{CAP} 引脚与 V_{CC} 的连接。通过 V_{CAP} 电容所提供的电源触发存储操作。

注意：如果电容未与 V_{CAP} 引脚连接，则必须使用第 6 页上的阻止自动存储中指定的软件列表禁用自动存储。如果在 V_{CAP} 引脚上不存在电容器的情况下启用自动存储，则器件将在没有足够的电荷时尝试执行自动存储操作以完成存储。这会破坏 nvSRAM 中存储的数据。

图 2 显示的是自动存储操作的正确存储电容 (V_{CAP}) 连接。请参考第 7 页上的直流电气特性，了解 V_{CAP} 的大小。 V_{CAP} 引脚上的电压通过芯片上的调压器输入到 V_{CC} 。将一个上拉设置于 \overline{WE} 上以在加电过程中保持其处于非活动状态。仅当 \overline{WE} 信号在加电期间内为三态时，该上拉才有效。很多 MPU 在加电时使其控制引脚进入三态。使用上拉时必须验证该情况。当 nvSRAM 退出加电回读时，MPU 必须处于活动状态或者 \overline{WE} 保持为非活动状态，直到 MPU 退出复位状态为止。

为了降低不必要的非易失性存储，将忽略自动存储和硬件存储操作，除非在最新的存储或回读周期后至少发生了一次写操作。无论是否发生写操作，都会执行软件触发的存储周期。系统会监控 \overline{HSB} 信号以检测自动存储周期是否正在进行中。

图 2. 自动存储模式



硬件存储操作

CY14V256LA 提供了 \overline{HSB} 引脚以控制和确定存储操作。使用 \overline{HSB} 引脚请求硬件存储周期。当 \overline{HSB} 引脚被设置为低电平时，CY14V256LA 将在 t_{DELAY} 的时间后有条件地启动存储操作。仅在最后一个存储或回读周期后发生了对 SRAM 的写操作时才开始实际的存储周期。 \overline{HSB} 引脚还起到开漏驱动器（内部 100 kW 弱上拉电阻）的作用，它在进行（通过任何手段触发的）存储时在内部变为低电平以指示繁忙状态。

注意：在每次进行硬件和软件存储操作后， \overline{HSB} 会在一小段时间 (t_{HHHD}) 通过标准输出高电流变为高电平，然后通过内部 100 kW 上拉电阻一直保持高电平。

在 \overline{HSB} 通过任何手段变为低电平时进行的 SRAM 写操作要在启动存储操作之前给定的时间 (t_{DELAY}) 内完成。但是，在 \overline{HSB} 变为低电平后请求的任何 SRAM 写周期都被禁止，直到 \overline{HSB} 变回高电平。如果未设置写锁存，则 \overline{HSB} 不会被 CY14V256LA 置为低电平。但是所有 SRAM 读和写周期都被禁止，直到 MPU 或其他外部源使 \overline{HSB} 变回高电平。

在任何存储操作期间内，无论它如何启动，CY14V256LA 都会继续将 \overline{HSB} 引脚设置为低电平，仅在存储完成时才会释放。存储操作完成后，如果 \overline{HSB} 引脚变回高电平，nvSRAM 存储器访问在 t_{LZHSB} 时间内将被禁止。如果不使用 \overline{HSB} ，请保持它的未连接状态。

硬件回读（加电）

上电时或任何低功率状态之后 ($V_{CC} < V_{SWITCH}$)，内部回读请求将被锁存。如果 V_{CC} 再次超过了 V_{SWITCH} 的检测电压，将自动启动回读周期并需要经过 $t_{HRECALL}$ 的时间来完成。在此期间内， \overline{HSB} 驱动器将 \overline{HSB} 置为低电平。

软件存储

通过软件地址序列将数据从 SRAM 传输到非易失性存储器内。通过以准确的顺序在六个特定地址执行连续的 \overline{CE} 或 \overline{OE} 控制的读周期，可以启动 CY14V256LA 软件存储周期。在存储周期期间内，首先擦除上一个非易失性数据，接下来执行非易失性元件程序。启动存储周期后，将禁用后续的输入和输出，直到该周期完成。

由于特定地址的读取序列用于存储启动，所以在该序列中要避免其他读或写访问干预，否则该序列将被中止，并且不会发生任何存储或回读操作。

若要启动软件存储周期，必须执行下列读取序列：

1. 读取地址 0x0E38，有效读取
2. 读取地址 0x31C7，有效读取
3. 读取地址 0x03E0，有效读取
4. 读取地址 0x3C1F，有效读取
5. 读取地址 0x303F，有效读取
6. 读取地址 0x0FC0，启动存储周期

当 \overline{WE} 在六个读取序列中始终保持高电平状态时，可以通过 \overline{CE} 控制的读取或 \overline{OE} 控制的读取锁定该软件序列。在序列中输入第六个地址之后，存储周期将立即开始，且芯片被禁用。 \overline{HSB} 被置为低电平。达到 t_{STORE} 周期时间后，SRAM 再次被激活以进行读和写操作。

软件回读

通过软件地址序列将数据从非易失性存储器传输到 SRAM。软件回读周期以与软件存储启动类似的方式通过读操作序列启动。若要启动回读周期，必须执行下列 \overline{CE} 或 \overline{OE} 控制的读操作序列：

1. 读取地址 0x0E38，有效读取
2. 读取地址 0x31C7，有效读取
3. 读取地址 0x03E0，有效读取
4. 读取地址 0x3C1F，有效读取
5. 读取地址 0x303F，有效读取
6. 读取地址 0x0C63，启动回读周期

在内部，回读程序包括两个步骤。首先，清除 SRAM 数据。然后，将非易失性信息传输到 SRAM 单元。在 t_{RECALL} 周期时间后，SRAM 再次处于就绪状态，以进行读和写操作。回读操作不会更改非易失性元件中的数据。

表 1. 模式选择

\overline{CE}	\overline{WE}	\overline{OE}	A ₁₄ -A ₀ ^[1]	模式	I/O	电源
H	X	X	X	未选中	输出高阻态	待机
L	H	L	X	读取 SRAM	输出数据	活动
L	L	X	X	写入 SRAM	输入数据	活动
L	H	L	0x0E38 0x31C7 0x03E0 0x3C1F 0x303F 0x0B45	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 自动存储禁用	输出数据 输出数据 输出数据 输出数据 输出数据 输出数据	活动 ^[2]

注释

1. CY14V256LA 上有 15 个地址行，只有 13 个地址行 (A₁₄ - A₂) 用于控制软件模式。无需关注余下的地址行。
2. 六个连续的地址必须按顺序列出。 \overline{WE} 在六个周期的期间内必须为高电平才能使能非易失性循环。

表 1. 模式选择 (续)

\overline{CE}	\overline{WE}	\overline{OE}	A ₁₄ -A ₀ ^[1]	模式	I/O	电源
L	H	L	0x0E38 0x31C7 0x03E0 0x3C1F 0x303F 0x0B46	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 自动存储使能	输出数据 输出数据 输出数据 输出数据 输出数据 输出数据	活动 ^[1]
L	H	L	0x0E38 0x31C7 0x03E0 0x3C1F 0x303F 0x0FC0	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 非易失性存储	输出数据 输出数据 输出数据 输出数据 输出数据 输出高阻态	活动 I _{CC2} ^[1]
L	H	L	0x0E38 0x31C7 0x03E0 0x3C1F 0x303F 0x0C63	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 非易失性回读	输出数据 输出数据 输出数据 输出数据 输出数据 输出高阻态	活动 ^[1]

阻止自动存储

通过启动自动存储禁用的序列，可以禁用自动存储功能。与软件存储启动类似的方式执行读操作序列。如要启动自动存储禁用序列，必须执行下面 \overline{CE} 控制的读操作序列：

1. 读取地址 0x0E38，有效读取
2. 读取地址 0x31C7，有效读取
3. 读取地址 0x03E0，有效读取
4. 读取地址 0x3C1F，有效读取
5. 读取地址 0x303F，有效读取
6. 读取地址 0x0B45，自动存储禁用

通过启动自动存储使能序列，可以重新使能自动存储。与软件回读启动类似的方式执行读操作序列。如果要启动自动存储使能序列，必须执行下列 \overline{CE} 控制的读操作序列：

1. 读取地址 0x0E38，有效读取
2. 读取地址 0x31C7，有效读取
3. 读取地址 0x03E0，有效读取
4. 读取地址 0x3C1F，有效读取
5. 读取地址 0x303F，有效读取
6. 读取地址 0x0B46，自动存储使能

如果禁用或重新使能自动存储功能，则必须触发手动存储操作（软件或硬件）才能在后续的断电循环中保存自动存储。器件出厂时已使能自动存储功能，且已在所有单元中写入了 0x00。

数据保护

CY14V256LA 通过禁止外部启动的存储和写操作，可以避免在低电压状态下破坏数据。当 V_{CC} 低于 V_{SWITCH} 时，会检测到低电压状态。如果 CY14V256LA 在加电时处于写模式（ \overline{CE} 和 \overline{WE} 均为低电平），在回读或存储后将禁止写操作，直到 t_{LZHSB}（HSB 到输出有效的时间）后使能 SRAM 为止。当 V_{CCQ} < V_{IODIS} 时，各 I/O 将被禁用（无存储指令）。这样可防止在 V_{CCQ} 加电期间内掉电条件下发生意外地写操作。

注释

1. 六个连续的地址必须按顺序列出。 \overline{WE} 在六个周期的期间内必须为高电平才能使能非易失性循环。

最大额定值

超过最大额定值可能会缩短器件的使用寿命。这些用户指导未经过测试。

存储温度	-65 °C 到 +150 °C
最长的累积存储时间:	
在 150°C 环境温度下	1000 小时
在 85°C 环境温度下	20 年
最高结温	150°C
V _{CC} 上相对于 V _{SS} 的供电电压	-0.5 V 到 4.1 V
V _{CCQ} 上相对于 V _{SS} 的供电电压	-0.5 V 到 +2.45 V
应用于高阻态的输出电压	-0.5 V 到 V _{CCQ} + 0.5 V
输入电压	-0.5 V 到 V _{CCQ} + 0.5 V

在接地电位的所有引脚上的瞬变电压 (< 20 ns)	-2.0 V 到 V _{CCQ} + 2.0 V
封装功率散耗 (T _A = 25 °C)	1.0 W
表面贴装铅焊温度 (3 秒)	+260 °C
直流输出电流 (每次只输出 1 路电流, 持续时间 1 秒)	15 mA
静电放电电压 (根据 MIL-STD-883, 方法 3015)	> 2001 V
栓锁电流	> 140 mA

工作范围

范围	环境温度	V _{CC}	V _{CCQ}
工业级	-40°C 至 +85°C	3.0 V 至 3.6 V	1.65 V 至 1.95 V

直流电气特性

在工作范围内

参数	说明	测试条件	最小值	典型值 ^[2]	最大值	单位
V _{CC}	供电电压		3.0	3.3	3.6	V
V _{CCQ}			1.65	1.8	1.95	V
I _{CC1}	V _{CC} 平均电流	t _{RC} = 35 ns	-	-	60	mA
I _{CCQ1}	V _{CCQ} 平均电流	无输出负载下取得的值 (I _{OUT} = 0 mA)	-	-	20	mA
I _{CC2}	存储过程中的 V _{CC} 平均电流	无需关注多有的输入, V _{CC} = 最大值, t _{STORE} 持续时间内的平均电流	-	-	10	mA
I _{CC3}	在 t _{RC} = 200 ns、V _{CC(typ)} 、 25 °C 条件下的 V _{CC} 平均电流	所有输入在 CMOS 电平循环。 无输出负载下取得的值 (I _{OUT} = 0 mA)	-	35	-	mA
I _{CCQ3}	在 t _{RC} = 200 ns、V _{CCQ(typ)} 、 25 °C 时的 V _{CCQ} 平均电流		-	5	-	mA
I _{CC4}	自动存储周期期间的 V _{CAP} 平均电流	无需关注所有的输入。 t _{STORE} 期间的平均电流	-	-	8	mA
I _{SB}	V _{CC} 待机电流	$\overline{CE} \geq (V_{CCQ} - 0.2 V)$ 。 $V_{IN} \leq 0.2 V$ 或 $\geq (V_{CCQ} - 0.2 V)$ 。 非易失性周期完成后的待机电流强度。 输入为静态。f = 0 MHz	-	-	8	mA
I _{IX} ^[3]	输入漏电流 (HSB 除外)	V _{CCQ} = 最大值, V _{SS} ≤ V _{IN} ≤ V _{CCQ}	-1	-	+1	μA
	输入漏电流 (用于 HSB)	V _{CCQ} = 最大值, V _{SS} ≤ V _{IN} ≤ V _{CCQ}	-100	-	+1	μA

注释

- 典型值在 25 °C, V_{CC} = V_{CC(typ)} 和 V_{CCQ} = V_{CCQ(typ)}。并未经过 100% 测试。
- 如果高电平有效和低电平有效的驱动程序均被禁用, 对于 HSB 引脚, 当 V_{OH} 等于 1.7 V 时, I_{OUT} = -4 μA。使能这些驱动程序后, 标准 V_{OH} 和 V_{OL} 均有效。该参数被特性表征化, 但未经过测试。

直流电气特性（续）

在工作范围内

参数	说明	测试条件	最小值	典型值 ^[2]	最大值	单位
I_{OZ}	断开状态输出漏电流	$V_{CCQ} = \text{Max}, V_{SS} \leq V_{OUT} \leq V_{CCQ},$ \overline{CE} 或 $\overline{OE} \geq V_{IH}$ 或 $\overline{WE} \leq V_{IL}$	-	-	+1	μA
V_{IH}	输入高电压	-	$0.7 \times V_{CCQ}$	-	$V_{CCQ} + 0.3$	V
V_{IL}	输入低电平电压	-	-0.3	-	$0.3 \times V_{CCQ}$	V
V_{OH}	输出高电压	$I_{OUT} = -1 \text{ mA}$	$V_{CCQ} - 0.45$	-	-	V
V_{OL}	输出低电压	$I_{OUT} = 2 \text{ mA}$	-	-	0.45	V
$V_{CAP}^{[2]}$	存储电容	介于 V_{CAP} 引脚和 V_{SS} 之间， 额定电容为 5 V	61	-	180	μF
$V_{VCAP}^{[3, 4]}$	器件在 V_{CAP} 引脚上的 最大驱动电压	$V_{CC} = \text{最大值}$	-	-	V_{CC}	V

数据保留时间与耐久性

参数	说明	最小值	单位
$DATA_R$	数据保留时间	20	年
NV_C	非易失性存储操作	1,000	K

电容值

参数 ^[4]	说明	测试条件	最大值	单位
C_{IN}	输入电容（HSB 除外）	$T_A = 25^\circ\text{C}, f = 1 \text{ MHz}, V_{CC} = V_{CC(\text{typ})}, V_{CCQ} = V_{CCQ(\text{typ})}$	7	pF
	输入电容（用于 HSB）		8	pF
C_{OUT}	输出电容（HSB 除外）		7	pF
	输出电容（用于 HSB）		8	pF

热阻

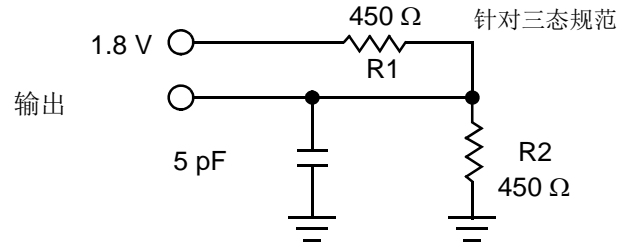
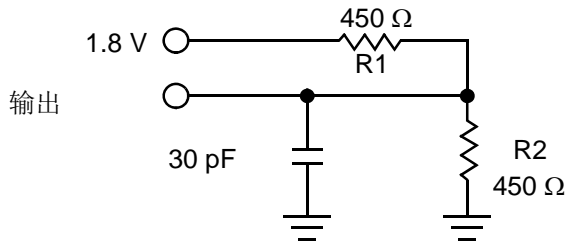
参数 ^[4]	说明	测试条件	48 球型焊盘 FBGA	单位
Θ_{JA}	热阻（结温）	根据 EIA/JESD51 的要求，测试条件遵循测试热电阻的标准测试方法和流程。	48.19	$^\circ\text{C}/\text{W}$
Θ_{JC}	热电阻（结至外壳）		6.5	$^\circ\text{C}/\text{W}$

注释

- V_{CAP} 的最小值可保证能够提供用来完成自动存储操作的电荷。 V_{CAP} 的最大值可保证 V_{CAP} 的电容在加电回读周期期间内充电至最小电压，以便紧急断电循环可以顺利完成自动存储操作。因此，建议始终使用在指定最小和最大极限值内的电容。请参考应用手册 AN43593，了解更多有关 V_{CAP} 选项的详细信息。
- 当选择 V_{CAP} 电容时，可得到 V_{CAP} 引脚上的最大电压（ V_{VCAP} ）作为指导。在工作温度范围内， V_{CAP} 电容的额定电压应高于 V_{VCAP} 电压。
- 这些参数由设计保证，但未进行过测试。

交流测试负载

图 3. 交流测试负载



交流测试条件

输入脉冲电平 0 V 至 1.8 V
 输入上升和下降时间 (10% 至 90%) ≤ 1.8 ns
 输入和输出时序参考电平 0.9V

交流切换特性

在工作范围内

参数 ^[5]		说明	35 ns		单位
赛普拉斯参数	备用参数		最小值	最大值	
SRAM 读周期					
t _{ACE}	t _{ACS}	芯片使能访问时间	–	35	ns
t _{RC} ^[6]	t _{RC}	读周期的时间	35	–	ns
t _{AA} ^[7]	t _{AA}	地址访问时间	–	35	ns
t _{DOE}	t _{OE}	输出使能到数据有效的时间	–	15	ns
t _{OHA} ^[7]	t _{OH}	地址更改后的输出保持时间	3	–	ns
t _{LZCE} ^[8、9]	t _{LZ}	芯片使能到输出有效的时间	3	–	ns
t _{HZCE} ^[8、9]	t _{HZ}	芯片禁用到输出无效的时间	–	13	ns
t _{LZOE} ^[8、9]	t _{OLZ}	从输出被使能到输出有效的时间	0	–	ns
t _{HZOE} ^[8、9]	t _{OHZ}	从输出被禁用到输出无效的时间	–	13	ns
t _{PU} ^[8]	t _{PA}	芯片被使能到电源有效的时间	0	–	ns
t _{PD} ^[8]	t _{PS}	芯片被禁用到电源待机的时间	–	35	ns
SRAM 写周期					
t _{WC}	t _{WC}	写周期时间	35	–	ns
t _{PWE}	t _{WP}	写入脉冲宽度	25	–	ns
t _{SCE}	t _{CW}	芯片使能到写周期结束的时间	25	–	ns
t _{SD}	t _{DW}	数据建立到写周期结束的时间	12	–	ns
t _{HD}	t _{DH}	写周期结束后的数据保持时间	0	–	ns
t _{AW}	t _{AW}	地址建立到写周期结束的时间	25	–	ns
t _{SA}	t _{AS}	地址建立到写周期开始的时间	0	–	ns
t _{HA}	t _{WR}	写周期结束后的地址保持时间	0	–	ns
t _{HZWE} ^[8、9、10]	t _{WZ}	写周期使能到输出禁用的时间	–	13	ns
t _{LZWE} ^[8、9]	t _{OW}	写周期结束到输出有效的时间	3	–	ns

注释

- 测试条件采用等于或短于 1.8 ns 的信号跳变时间，V_{CCQ/2} 的时序参考电平，0 至 V_{CCQ(typ)} 的输入脉冲电平以及第 9 页上的图 3 中所示的指定 I_{OL}/I_{OH} 的输出负载和负载电容。
- WE 必须在 SRAM 读周期内保持高电平状态。
- 当 CE 和 OE 均为低电平时，器件会继续被选中。
- 这些参数由设计保证，但未进行过测试。
- 稳定状态下所测量的输出电压为 ±200 mV。
- 如果 CE 变为低电平时 WE 处于低电平状态，输出会保持在高阻抗状态。

切换波形

图 4. 第一个 SRAM 读周期 (地址控制) [11、12、13]

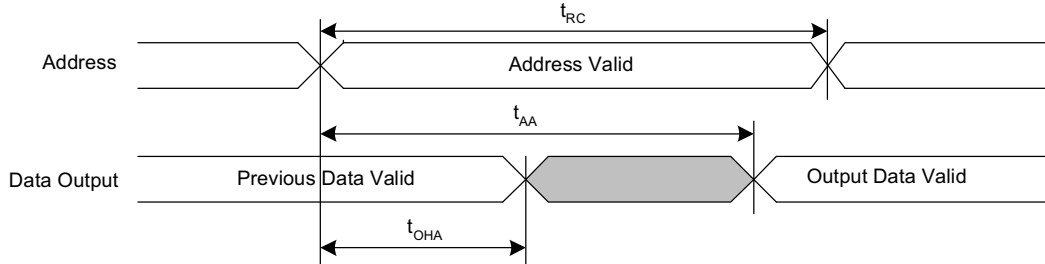
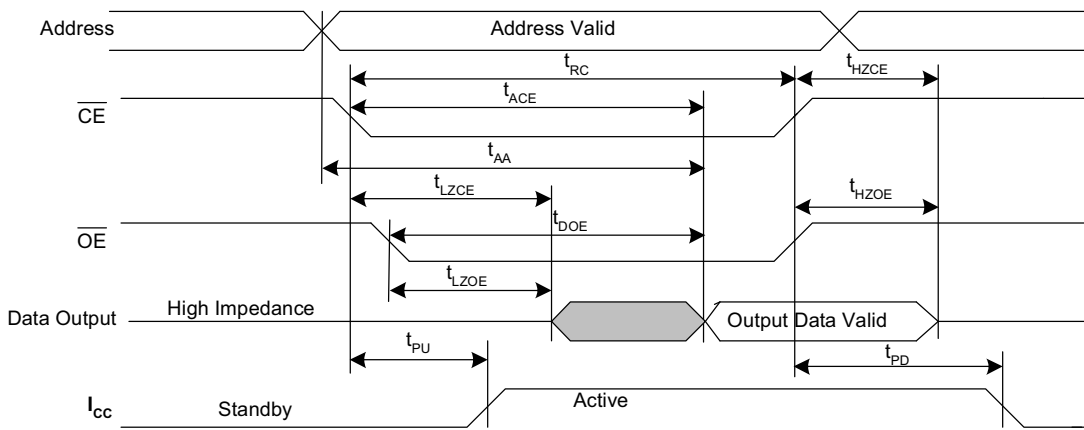


图 5. 第二个 SRAM 读取周期 (CE 和 OE 控制) [11、13]



注释

- 11. \overline{WE} 必须在 SRAM 读周期内保持高电平状态。
- 12. 当 \overline{CE} 和 \overline{OE} 均为低电平有效时，一直选中器件。
- 13. 在读和写周期内， \overline{HSB} 必须保持为高电平状态。

切换波形 (续)

图 6. 第一个 SRAM 写周期 (\overline{WE} 控制) [14、15、16]

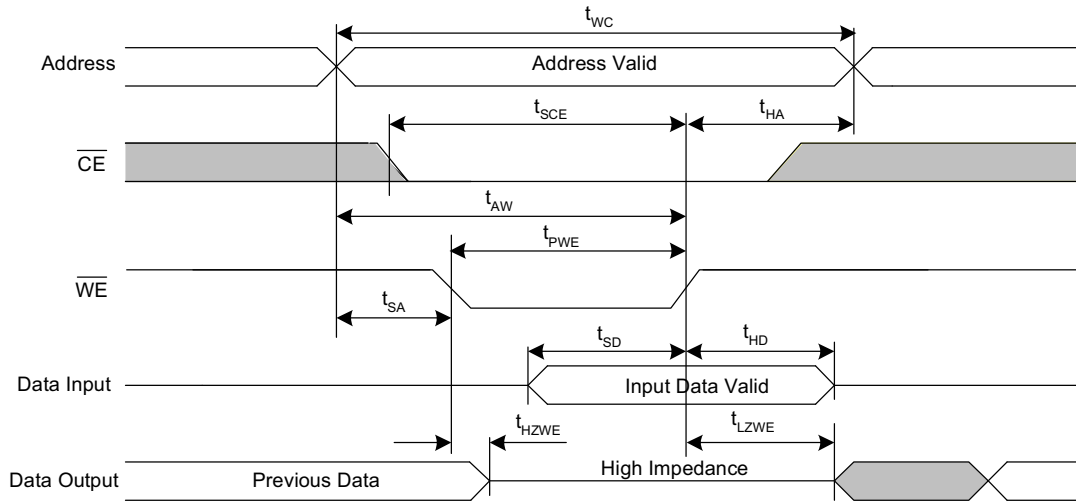
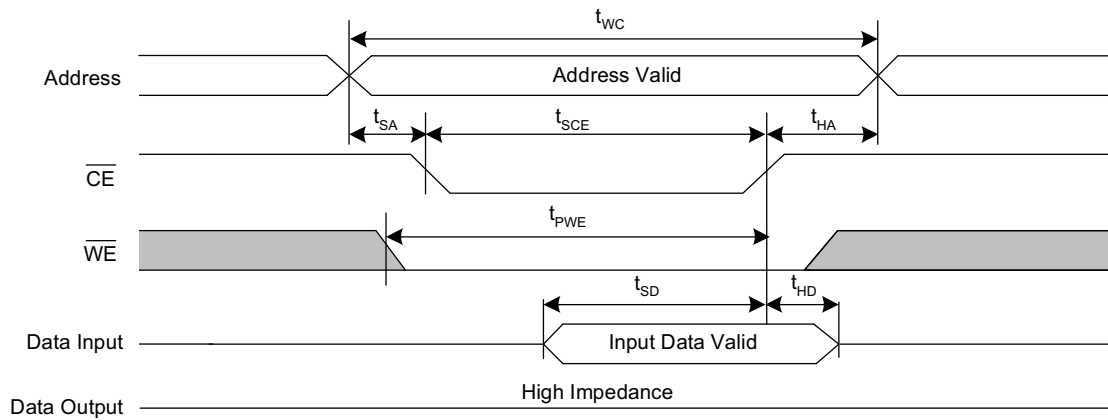


图 7. 第二个 SRAM 写周期 (\overline{CE} 控制) [14、15、16]



注释

- 14. 在读和写周期内, \overline{HSB} 必须保持为高电平状态。
- 15. 如果 \overline{CE} 变为低电平时 \overline{WE} 处于低电平状态, 输出会保持在高阻抗状态。
- 16. 地址转换期间, \overline{CE} 或 \overline{WE} 必须大于 V_{IH} 。

自动存储 / 加电回读

在工作范围内

参数	说明	CY14V256LA		单位
		最小值	最大值	
$t_{HRECALL}^{[17]}$	加电回读期间	–	20	ms
$t_{STORE}^{[18]}$	存储周期时间	–	8	ms
$t_{DELAY}^{[19]}$	完成 SRAM 写入周期所允许的时长	–	25	ns
V_{SWITCH}	V_{CC} 的低电压触发电平	–	2.90	V
$V_{IODIS}^{[20]}$	禁用 I/O 时的 V_{CCQ} 电压	–	1.50	V
$t_{VCCRRISE}^{[21]}$	V_{CC} 上升时间	150	–	μ s
$V_{HDIS}^{[21]}$	禁用 \overline{HSB} 输出时的 V_{CC} 电压	–	1.9	V
$t_{LZHSB}^{[21]}$	\overline{HSB} 到输出有效的时间	–	5	μ s
$t_{HHHD}^{[21]}$	\overline{HSB} 高电平有效时间	–	500	ns

注释

17. 当 V_{CC} 大于 V_{SWITCH} 时，将开始计算 $t_{HRECALL}$ 。

18. 如果最后一次非易失性循环完成后尚未对 SRAM 进行写操作，将不会发生自动存储或硬件存储操作。

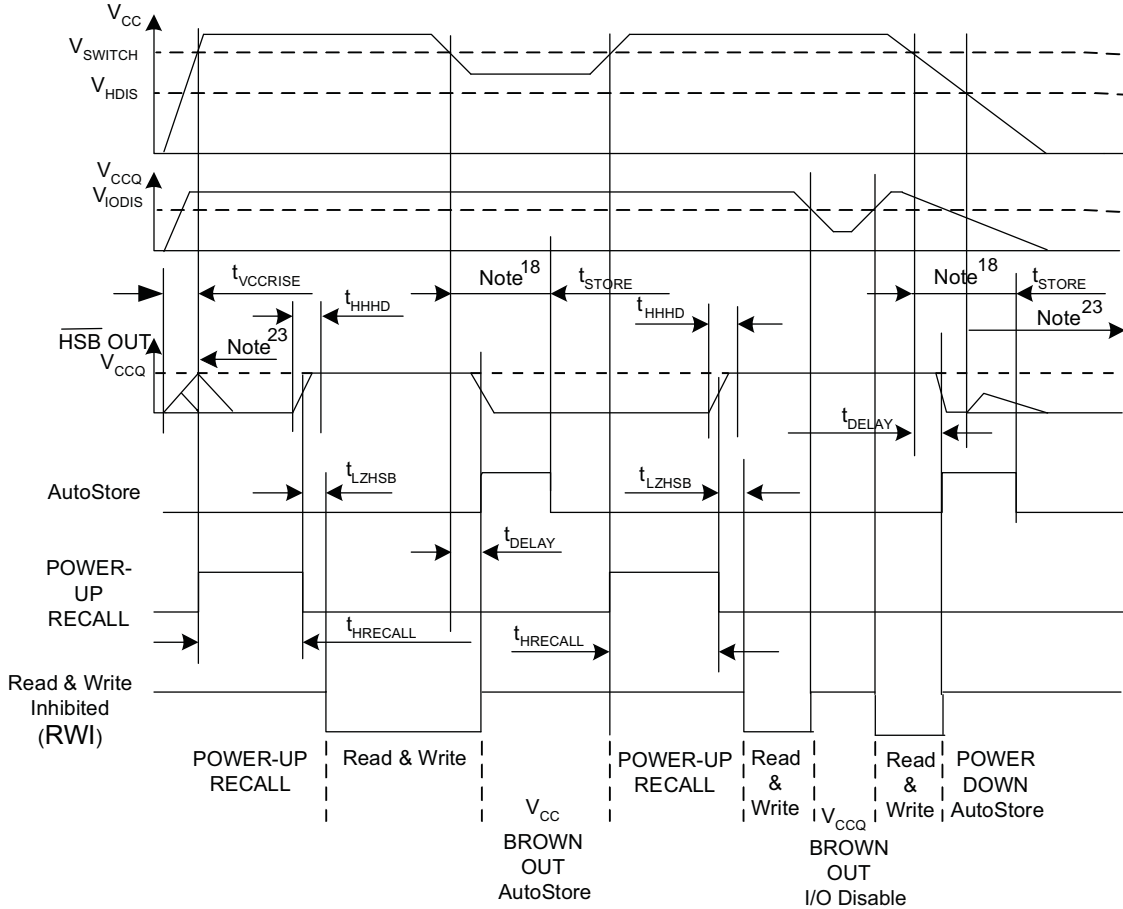
19. 在启动硬件存储和自动存储时，会在 t_{DELAY} 时间内持续使能 SRAM 写操作。

20. 当电压低于 V_{IODIS} 时， \overline{HSB} 没有被定义。

21. 这些参数由设计保证，但未进行过测试。

切换波形

图 8. 自动存储或加电回读 [22]



注释

- 22. 在 V_{CC} 小于 V_{SWITCH} 的情况下，将在存储、回读过程中忽略读写周期。
- 23. 在通电和断电期间，如果通过外部电阻上拉 HSB 引脚电压，那么 HSB 会产生瞬时脉冲。

软件控制的存储 / 回读周期

在工作范围内

参数 [24、25]	说明	35 ns		单位
		最小值	最大值	
t_{RC}	存储 / 回读初始化周期的时间	35	-	ns
t_{SA}	地址建立时间	0	-	ns
t_{CW}	时钟脉冲宽度	20	-	ns
t_{HA}	地址保持时间	0	-	ns
t_{RECALL}	回读持续时间	-	200	μ s

切换波形

图 9. \overline{CE} 和 \overline{OE} 控制软件存储 / 回读周期 [25]

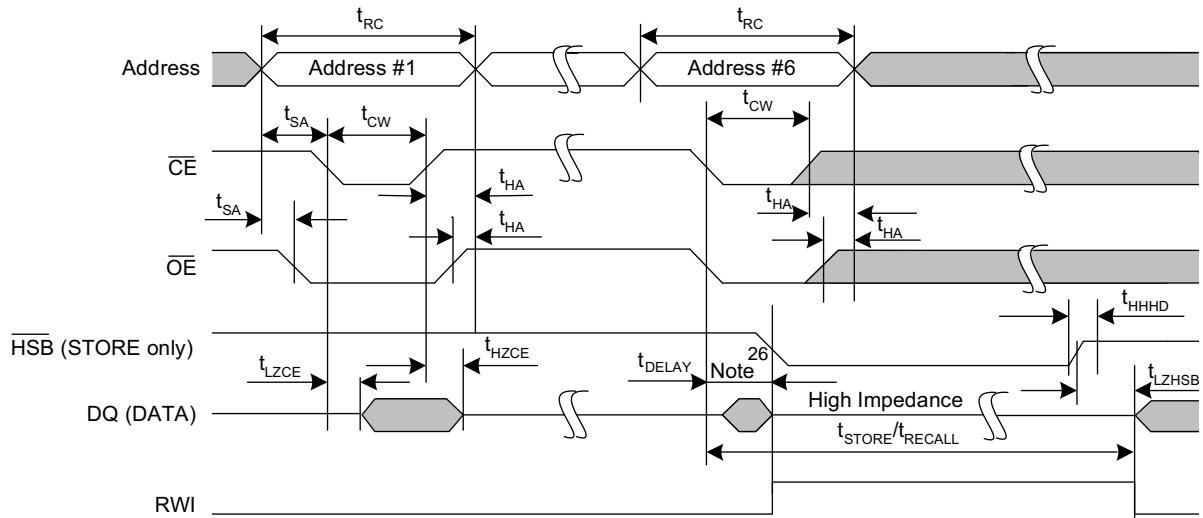
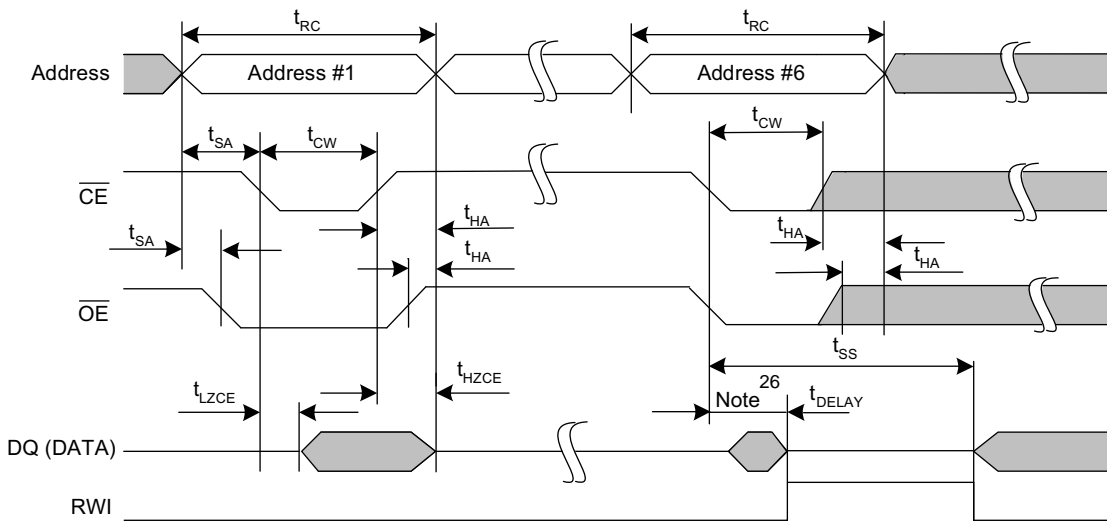


图 10. 自动存储使能 / 禁用周期 [25]



注释

- 24. 软件序列由 \overline{CE} 控制的或 \overline{OE} 控制的读操作计时。
- 25. 必须按第 5 页上的表 1 列出的顺序读取六个连续地址。在六个连续周期内， \overline{WE} 必须保持为高电平状态。
- 26. 由于输出在 t_{DELAY} 时间被禁用，因此，第六次读取的 DQ 输出数据可能无效。

硬件存储周期

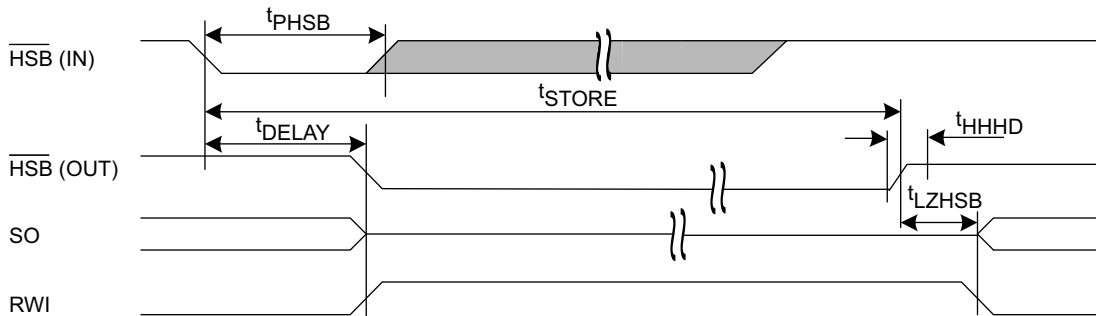
在工作范围内

参数	说明	CY14V256LA		单位
		最小值	最大值	
t_{DHSB}	未设置写入锁存时 HSB 到输出有效的时间	-	25	ns
t_{PHSB}	硬件存储脉冲宽度	15	-	ns
t_{SS} [27、28]	软序列处理时间	-	100	μ s

切换波形

图 11. 硬件存储周期 [29]

Write Latch set



Write Latch not set

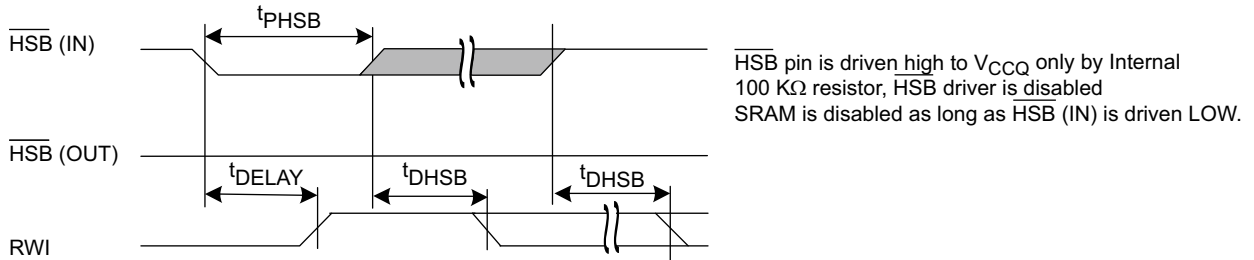
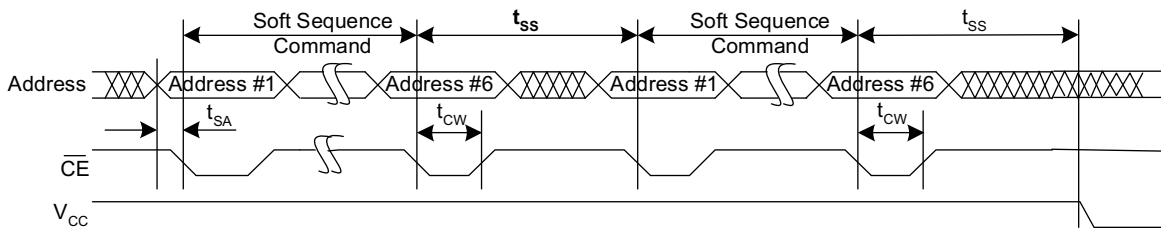


图 12. 软序列处理时间 [27、28]



注释

- 27. 这是执行软序列指令所耗费的时间。V_{CC} 和 V_{CCQ} 电压必须保留高电平以保证有效地寄存指令。
- 28. 存储和回读等指令会锁定 I/O，直到操作完成为止，这样可以延长该时间。请参见特定的指令。
- 29. 如果最后一次非易失性循环完成后尚未对 SRAM 进行写操作，将不会发生自动存储或硬件存储操作。

SRAM 操作的真值表

SRAM 操作过程中，必须保持 \overline{HSB} 为高电平。

表 2. 真值表

CE	\overline{WE}	\overline{OE}	输入 / 输出	模式	电源
H	X	X	高阻态	取消选择 / 断电	待机
L	H	L	数据输出 (DQ ₀ -DQ ₇)	读取	活动
L	H	H	高阻态	输出处于禁用状态	活动
L	L	X	数据输入 (DQ ₀ -DQ ₇)	写入	活动

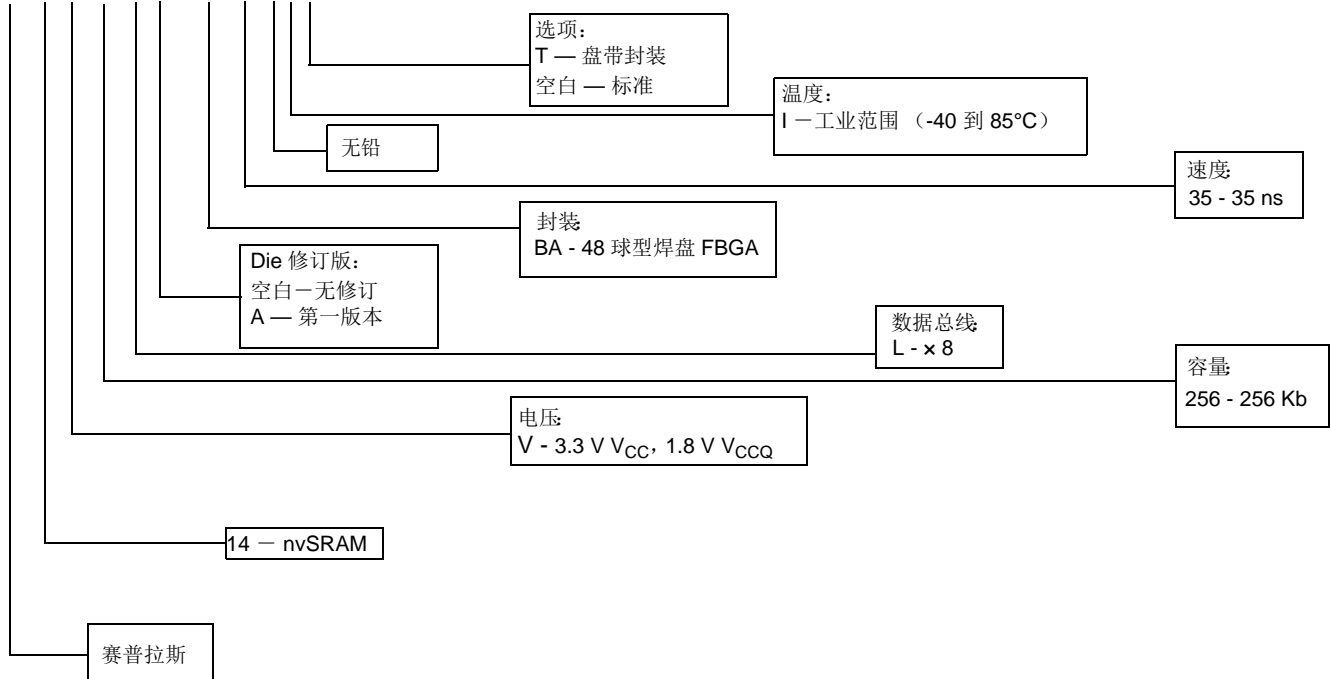
订购信息

速度 (ns)	订购代码	封装图	封装类型	工作范围
35	CY14V256LA-BA35XIT	51-85128	48 球型焊盘 FBGA	工业级
	CY14V256LA-BA35XI			

这些器件都是无铅的。要了解这些芯片的供应情况，请联系赛普拉斯本地销售代表。

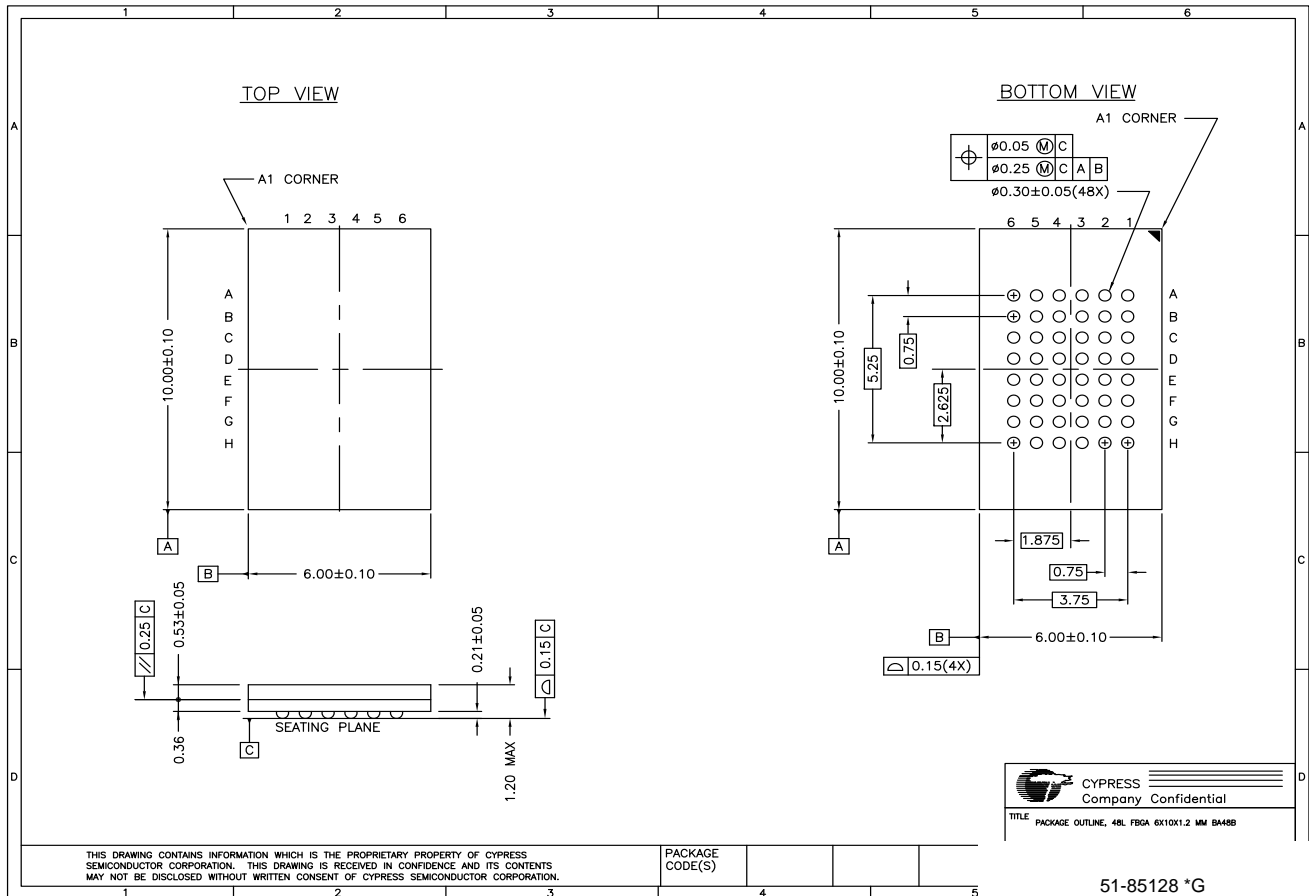
订购代码定义

CY 14 V 256 L A - BA 35 X I T



封装图

图 13. 48 球型焊盘 FBGA (6 x 10 x 1.2 mm) BA48B 封装外形, 51-85128



缩略语

缩略语	说明
CE	芯片使能
CMOS	互补金属氧化物半导体
EIA	电子工业联盟
FBGA	小间距球栅阵列
HSB	硬件存储繁忙
I/O	输入 / 输出
nvSRAM	非易失性静态随机存取存储器
\overline{OE}	输出使能
SRAM	静态随机访问存储器
RoHS	有害物质限制
RWI	禁止读和写
\overline{WE}	写入使能

文档规范

测量单位

符号	测量单位
°C	摄氏度
kW	千欧姆
MHz	兆赫兹
μA	微安
μF	微法
μs	微秒
mA	毫安
mm	毫米
ms	毫秒
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题: CY14V256LA, 256 Kbit (32 K x 8) nvSRAM (非易失性静态随机存取存储器)				
文档编号: 001-95823				
版本	ECN 编号	变更者	提交日期	变更说明
**	4691547	SNYQ	04/07/2015	本档版本号为 Rev**, 译自英文版 001-76295 Rev*C。