

2M ビット EXCELON™ LP 強誘電体 RAM (F-RAM)

シリアル (SPI), 256K × 8, 40MHz, 産業用

特長

- 256K × 8 に論理構成された 2M ビット強誘電体 RAM (F-RAM)
 - 1000 兆回 (10^{15}) の読み出し / 書き込みサイクルの無限の耐久性
 - 151 年のデータ保持 (**データ保持期間とアクセス可能回数を参照**)
 - Infineon 遅延なし書き込み技術
 - 先端の高信頼性強誘電体プロセス
- 高速 SPI
 - 最大 50 MHz の周波数
 - SPI モード 0 (0, 0) および モード 3 (1, 1) をサポート
- 洗練された書き込み保護スキーム
 - 書き込み保護 (\overline{WP}) ピンを使用したハードウェアによる保護
 - 書き込みディセーブル命令 (WRDI) を使用したソフトウェアによる保護
 - アレイの 1/4, 1/2, または全体を対象としたソフトウェアブロック保護
- デバイス ID とシリアル番号
 - デバイス ID はメーカー ID と製品 ID を含む
 - 固有 ID
 - シリアル番号
- 専用 256 バイト特殊セクタ F-RAM
 - 専用特殊セクタの書き込みと読み出し
 - 保存コンテンツは最大 3 回の標準はんだリフローサイクルに耐え得る
- 低消費電力
 - 40MHz での 2.4 mA (Typ) のアクティブ電流
 - 2.3 μ A (Typ) のスタンバイ電流
 - 0.70 μ A (Typ) のディープパワーダウン モード電流
 - 0.1 μ A (Typ) のハイバネート モード電流
- 低電圧動作
 - CY15V102QN: $V_{DD} = 1.71 \text{ V} \sim 1.89 \text{ V}$
 - CY15B102QN: $V_{DD} = 1.8 \text{ V} \sim 3.6 \text{ V}$
- 産業用動作温度範囲: $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$
- パッケージ
 - 8 ピン小型集積回路 (SOIC) パッケージ
 - 8 ピン薄型デュアルフラットノーリード (DFN) パッケージ
 - 8 ピンプラスチックデュアルインライン (PDIP) パッケージ
- RoHS 準拠

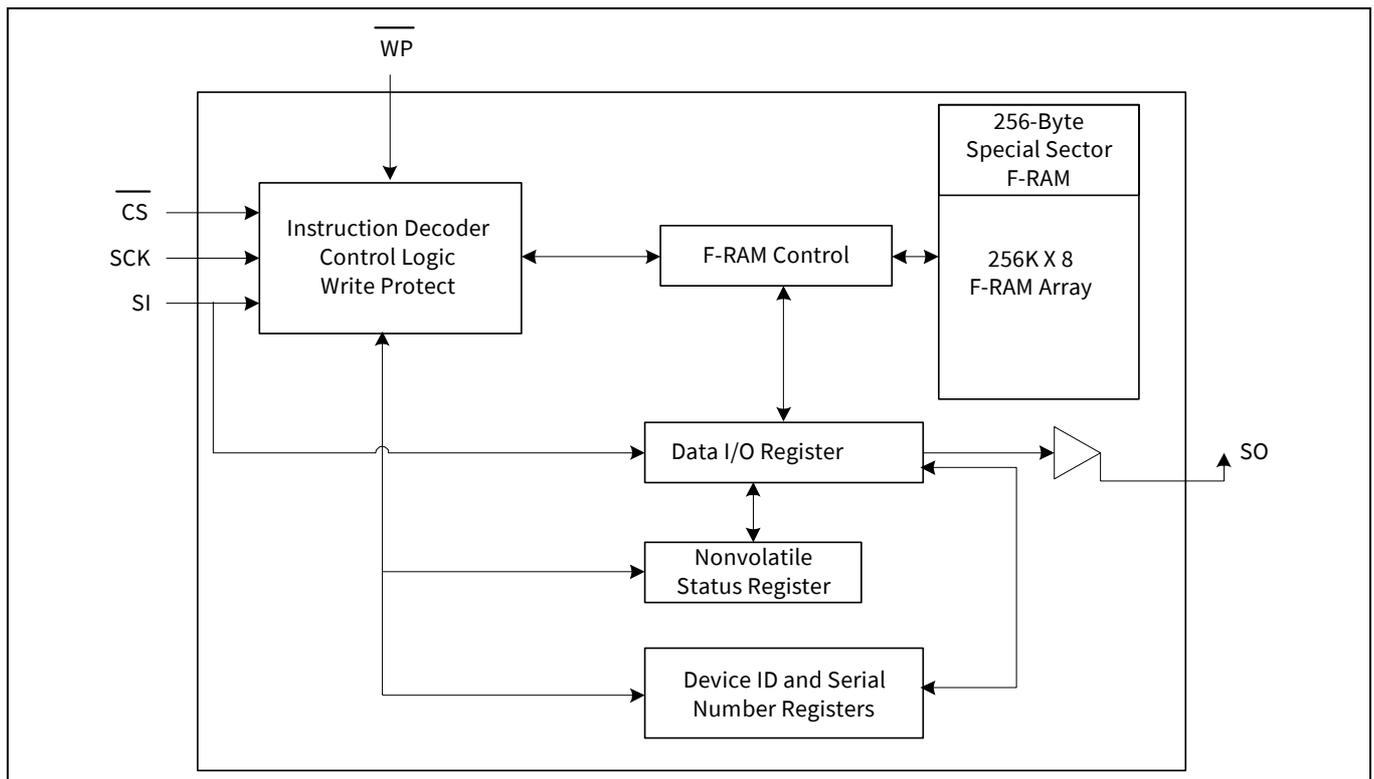
機能説明

EXCELON™ LP CY15X102QN は高度な強誘電体プロセスを適用した低消費電力の 2M ビット不揮発性メモリです。強誘電体ランダムアクセスメモリまたは F-RAM は不揮発性であり、RAM と同様に読み出しと書き込みを実行します。シリアルフラッシュ、EEPROM、およびその他の不揮発性メモリによって引き起こされる複雑さ、オーバーヘッド、およびシステムレベルの信頼性の問題を排除しながら、151 年間の信頼性の高いデータ保持を提供します。

シリアルフラッシュや EEPROM と異なり、CY15X102QN はバス速度で書き込み動作を実行します。書き込み遅延は発生しません。データは各バイトがデバイスに正常に転送された直後にメモリアレイに書き込まれます。次のバスサイクルはデータポーリングを必要とせず開始できます。また、本製品は他の不揮発性メモリと比べ多くの書き換え回数を提供しています。これらの能力により、CY15X102QN は頻繁で急速書き込みを必要とする不揮発性メモリの用途に理想的なものになります。用途例は、書き込み回数を重視するデータ収集から、シリアルフラッシュや EEPROM を使った長い書き込み時間に起因してデータを損失する可能性がある厳しい産業用制御まで及びます。

CY15X102QN はハードウェア置き換えができるため、シリアル EEPROM やフラッシュを使用するユーザーに大幅な利点を提供します。CY15X102QN は、F-RAM 技術の高速な書き込み機能を強化する高速 SPI バスを使用します。本デバイスには読み出し専用のデバイス ID と固有 ID 機能が組み込まれており、ホストがメーカー、メモリ容量、レビジョン、および固有 ID を判断できます。本製品はまた、基板またはシステムを特定するために使用できる書き込み可能な 8 バイトシリアル番号レジスタを備えています。

論理ブロック図



目次

目次

特長	1
機能説明.....	2
論理ブロック図.....	2
目次	3
1 端子配置	4
2 端子機能	5
3 機能概要	6
3.1 メモリ アーキテクチャ	6
3.2 SPI バス	6
3.3 SPI 概要	6
3.4 SPI プロトコルで使用される用語	6
3.4.1 SPI マスター	6
3.4.2 SPI スレーブ	7
3.4.3 チップセレクト (CS).....	7
3.4.4 シリアルクロック (SCK)	7
3.4.5 データ転送 (SI/SO).....	7
3.4.6 最上位ビット (MSb).....	8
3.4.7 シリアル オペコード	8
3.4.8 無効なオペコード	8
3.4.9 ステータスレジスタ	8
3.5 SPI モード	8
3.6 電源投入時から最初のアクセスまで	9
4 機能説明	10
4.1 コマンドの構成	10
4.1.1 書き込みイネーブル制御コマンド	11
4.1.2 レジスタ アクセスのコマンド	13
4.1.3 メモリの動作	13
4.1.4 メモリ書き込み動作コマンド	14
4.1.5 メモリ読み出し動作コマンド	14
4.1.6 特殊セクタ メモリ アクセス コマンド	15
4.1.7 ID およびシリアル番号コマンド	16
4.1.8 低消費電力モード コマンド	18
5 最大定格	21
6 動作範囲	22
7 DC 電気的特性	23
8 データ保持期間とアクセス可能回数	25
9 静電容量	26
10 熱抵抗.....	27
11 AC テスト条件.....	28
12 AC スイッチング特性.....	29
13 パワー サイクル タイミング	31
14 注文情報	32
14.1 注文コードの定義	32
15 パッケージ図.....	33
16 略語	36
17 本書の表記法.....	37
17.1 測定単位	37
改訂履歴.....	38

1 端子配置

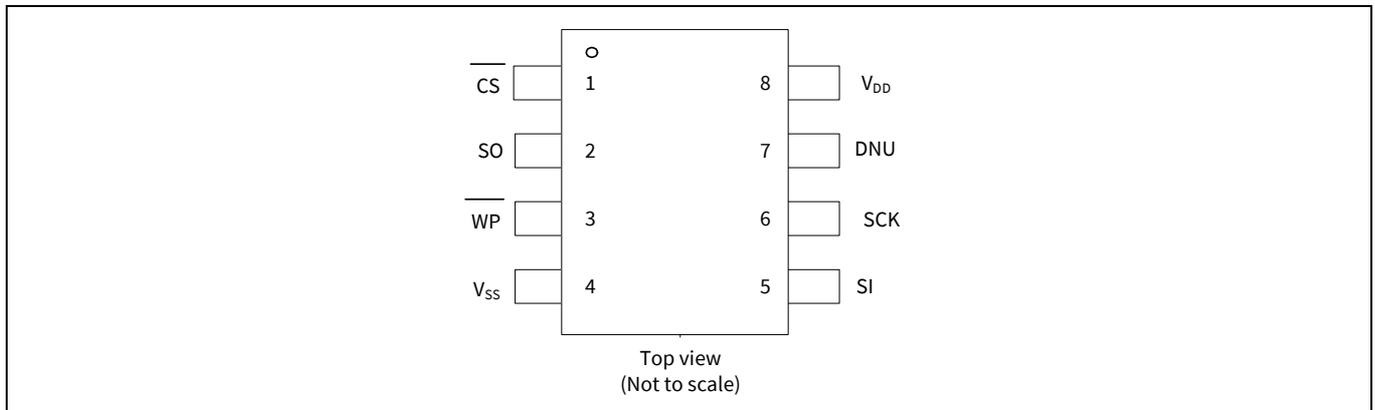


Figure 1 8ピンSOIC/PDIP端子配置

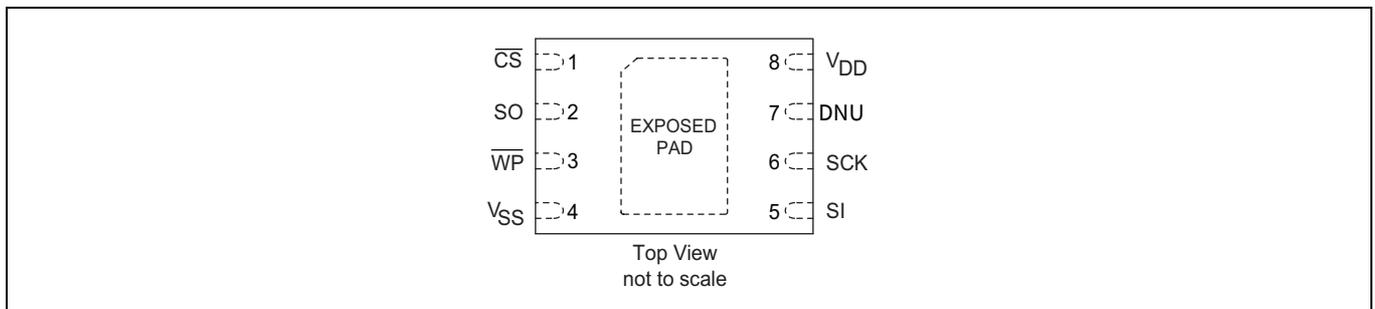


Figure 2 8ピンDFN端子配置

2 端子機能

Table 1 端子機能

端子名	入出力	説明
CS	入力	チップセレクト。 このアクティブ LOW 入力でデバイスを起動させます。HIGH になった場合、デバイスは低消費電力のスタンバイモードに移行し、他の入力を無視し、出力をトライステートにします。LOW になった場合、デバイスが SCK 信号を内部でアクティブにします。CS の立ち下りエッジは、すべてのオペコードの発行前に発生させてください。
SCK	入力	シリアルクロック。 入出力はシリアルクロックに同期されます。入力はシリアルクロックの立ち上りエッジでラッチされ、出力は立ち下りエッジで駆動されます。クロック周波数は 0MHz ~ 50MHz の範囲内であり、同期特性のためいつでも割り込まれる可能性があります。
SI ^[1]	入力	シリアル入力。 このピンからデバイスにデータを入力します。入力は SCK の立ち上りエッジでサンプリングされ、それ以外では無視されます。電源 (I _{DD}) 仕様を満たすために、常に有効な論理レベルに駆動する必要があります。
SO ^[1]	出力	シリアル出力。 データ出力ピンです。読み出し中に駆動され、そのとき以外ではトライステートのままになります。データ遷移はシリアルクロック SCK の立ち下りエッジで駆動されます。
WP	入力	書き込み保護。 このアクティブ LOW ピンは WPEN が「1」にセットされる際ステータスレジスタへの書き込み動作は無効となります。その他の書き込み保護機能はステータスレジスタによって制御されるため、このことは重要です。書き込み保護の詳細は Table 3 と Table 6 を参照してください。このピンは内部で弱プルアップ抵抗に接続され、開放 (基板上で未接続) 状態の場合この抵抗によって HIGH に維持されます。このピンを使用しない場合、V _{DD} に接続することも可能です。
DNU	使用禁止	使用禁止。 このピンは開放 (基板上で未接続) または V _{DD} に接続します。
V _{SS}	電源	デバイス用のグラウンド。システムのグラウンドに接続する必要があります。
V _{DD}	電源	デバイス電源入力
EXPOSED PAD	未接続	8 ピン DFN パッケージの EXPOSED PAD はダイに接続されていません。EXPOSED PAD は PCB にはんだ付けしないでください。

注:

1. SI を SO と接続し 1 本のデータインターフェースとして利用されることがあります。

3 機能概要

CY15X102QN はシリアル F-RAM メモリです。メモリ アレイは 262,144 × 8 ビットに論理構成され、業界標準 SPI バスを介してアクセスされます。F-RAM の機能動作は、シリアルフラッシュおよびシリアル EEPROM と同様です。CY15X102QN とシリアル フラッシュや同じピン配置の EEPROM とで違う点は、F-RAM の優れた書き込み性能、高アクセス可能回数、低消費電力です。

3.1 メモリ アーキテクチャ

CY15X102QN のアクセスには、8 データ ビットごとの 256K 箇所の位置をアドレス指定します。これら 8 個のデータ ビットは順次シフトイン/シフトアウトされます。アドレスは、チップセレクト (バス上で複数デバイスを許可する) とオペコード、3 バイトのアドレスを含む SPI プロトコルを使ってアクセスされます。アドレス範囲の上位 5 ビットは「ドントケア」値です。18 ビットのアドレスで、一意的に各バイトアドレスを指定します。

CY15X102QN のほとんどの機能は、SPI インターフェースにより制御されるか、または基板に搭載された回路によって処理されます。メモリ動作のためのアクセス時間は基本的にシリアル プロトコルに必要な時間以外は 0 です。すなわちメモリは SPI バスの速度で読み書きされます。シリアルフラッシュや EEPROM と異なり、書き込み処理がバス速度で行われるので、デバイスの書き込み準備を知るためにポーリングする必要はありません。新しいバストランザクションがデバイスに送り込まれるまでに書き込み動作は完了します。これはインターフェースの節で詳しく説明されます。

3.2 SPI バス

CY15X102QN は SPI スレーブ デバイスであり、最大 50MHz の速度で動作します。この高速シリアル バスにより、SPI マスターとの間で高性能のシリアル通信が可能です。多くの一般的なマイクロコントローラは、直接インターフェースが可能なハードウェア SPI ポートを持ちます。この機能を持たないマイクロコントローラで、通常のポート ピンを使用して SPI ポートをエミュレートすることは容易です。CY15X102QN は SPI モード 0 および 3 で動作します。

3.3 SPI 概要

SPI は、チップセレクト (\overline{CS})、シリアル入力 (SI)、シリアル出力 (SO) およびシリアルクロック (SCK) ピンからなる 4 ピンインターフェースです。

SPI は、メモリアクセスにクロックとデータピンを使用し、データバス上の複数デバイスをサポートする同期シリアルインターフェースです。SPI バス上のデバイスは、 \overline{CS} ピンを使用してアクティブにされます。

チップセレクト、クロック、およびデータの相互関係は SPI モードによります。このデバイスは、SPI モード 0 および 3 をサポートしています。これらの両モードで、 \overline{CS} がアクティブになった後の最初の立ち上りエッジから始まる SCK の立ち上りエッジで、データが FRAM にクロック入力されます。

SPI プロトコルはオペコードによって制御されます。これらのオペコードは、バスマスターからスレーブデバイスへのコマンドを指定します。 \overline{CS} がアクティブ化された後、バスマスターから転送される最初のバイトがオペコードです。オペコードに続いて、任意のアドレスとデータが転送されます。動作完了後、新しいオペコードが発行される前に、 \overline{CS} が非アクティブ化される必要があります。

3.4 SPI プロトコルで使用される用語

SPI プロトコルで一般的に使用される用語は以下のとおりです。

3.4.1 SPI マスター

SPI マスター デバイスは SPI バス上の動作を制御します。SPI バスは、複数のスレーブ デバイスを制御する 1 つのマスターを持っている場合があります。すべてのスレーブが同じ SPI バス ラインを共有し、マスターは \overline{CS} ピンを使用してスレーブ デバイスのいずれかを選択できます。すべてのオペレーションは、マスターがスレーブの \overline{CS} ピンを LOW にプルダウンすることによってスレーブ デバイスをアクティブにして開始する必要があります。また、マスターは SCK を生成し、SI と SO ライン上のすべてのデータ送信はこのクロックと同期されます。

機能概要

3.4.2 SPI スレーブ

SPI スレーブデバイスは、チップ セレクト ラインを介してマスターによってアクティブにされます。スレーブデバイスは、SPI マスターからの入力として SCK を取得し、すべての通信はこのクロックに同期されます。SPI スレーブはそれ自体として SPI バス上で通信を開始することはなく、マスターからの命令にのみ従って動作します。

CY15X102QN は SPI スレーブとして動作し、他の SPI スレーブデバイスと SPI バスを共有する場合があります。

3.4.3 チップセレクト ($\overline{\text{CS}}$)

すべてのスレーブ デバイスを選択するためには、マスターは対応する $\overline{\text{CS}}$ ピンをプルダウンする必要があります。 $\overline{\text{CS}}$ ピンが LOW の間だけ、命令をスレーブデバイスに発行することができます。デバイスが選択されていない場合、SI ピン経由のデータは無視され、シリアル出力ピン (SO) は高インピーダンス状態が保持されます。

注: 新しい命令は $\overline{\text{CS}}$ の立ち下りエッジで開始する必要があります。したがって、アクティブなチップセレクト サイクルごとに 1 個のオペコードのみが発行されます。

3.4.4 シリアルクロック (SCK)

シリアル クロックは SPI マスターによって生成され、 $\overline{\text{CS}}$ が LOW になった後、通信はこのクロックと同期されます。

CY15X102QN はデータ通信のために SPI モード 0 と 3 をサポートします。これらの両モードにおいて、入力は SCK の立ち上りエッジでスレーブデバイスによってラッチされ、出力は立ち下りエッジで発行されます。そのため、SCK の最初の立ち上りエッジが、SPI 命令の最上位ビット (MSb) が SI ピンに到着したことを意味します。さらにすべてのデータの入力と出力は SCK と同期されます。

3.4.5 データ転送 (SI/SO)

SPI データバスは、シリアルデータ通信に SI と SO の 2 線で構成されます。SI はマスターアウト スレーブイン (MOSI)、SO はマスターイン スレーブアウト (MISO) とも呼ばれます。マスターは SI ピンを介してスレーブに命令を発行し、スレーブは SO ピンを介して応答します。複数のスレーブデバイスは、前述のように SI と SO ラインを共有する場合があります。

CY15X102QN には **Figure 3** に示すようにマスターと接続することができる SI と SO 用の 2 つの独立したピンがあります。専用 SPI バスを持たないマイクロコントローラでは、汎用ポートが使用されることもあります。コントローラのハードウェアリソースを削減するために、2 つのデータピン (SI, SO) を相互に接続し、 $\overline{\text{WP}}$ ピンをタイオフ (HIGH) できます。**Figure 4** に、3 個のピンだけを使用するコンフィギュレーションを示します。

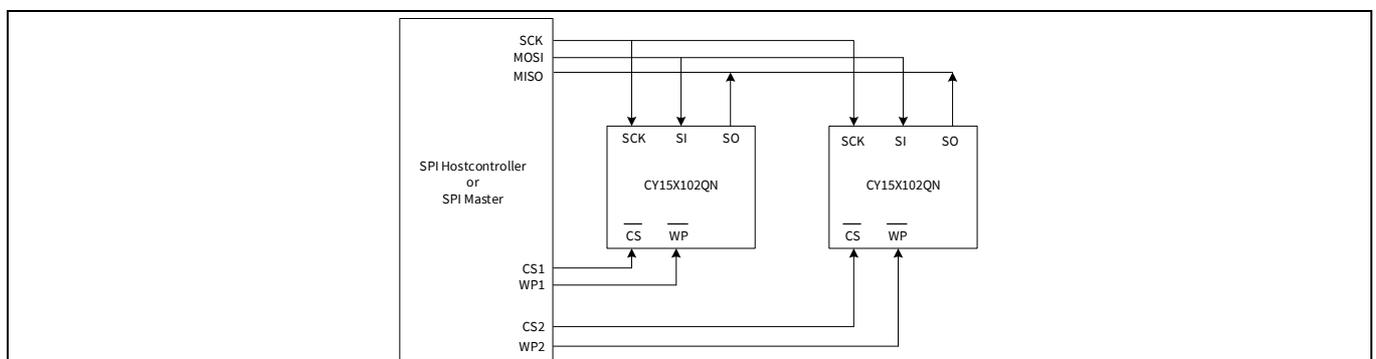


Figure 3 SPI ポートを使用するシステム コンフィギュレーション

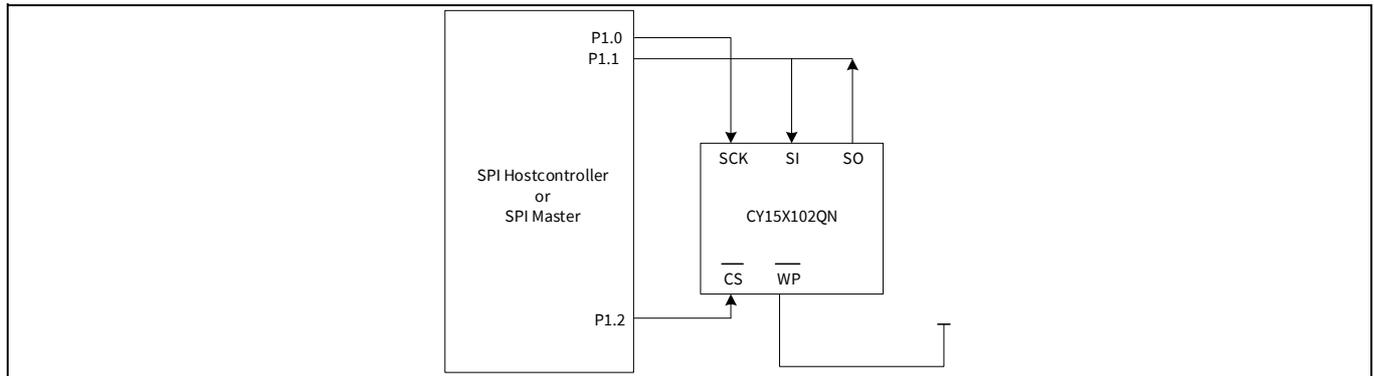


Figure 4 SPIポートを使用しないシステム構成

3.4.6 最上位ビット (MSb)

SPI プロトコルでは、送信される最初のビットが MSb である必要があります。これはアドレスとデータ転送共に該当します。

2M ビット シリアル F-RAM は、すべての読み出しまたは書き込み動作に対応して 3 バイトのアドレスを必要とします。アドレスは 18 ビットであるため、入力された最初の 6 ビットはデバイスによって無視されます。これらの 6 ビットは「ドントケア」ですが、より高密度メモリへの円滑な移行を可能にするために、これらを 0 に設定することを推奨します。

3.4.7 シリアル オペコード

\overline{CS} が LOW になる状態でスレーブデバイスが選択された後、最初に受信されたバイトは、意図されているオペレーションのオペコードとして扱われます。CY15X102QN は、メモリアクセスに標準オペコードを使用します。

3.4.8 無効なオペコード

無効なオペコードが受信されるとそのオペコードは無視され、デバイスは次の \overline{CS} の立ち下りエッジまで SI ピン上にある追加のシリアル データを無視し、SO ピンはトライステートのままとなります。

3.4.9 ステータス レジスタ

CY15X102QN には 8 ビットのステータスレジスタがあります。ステータスレジスタ内のビットはデバイス動作を設定するために使用されます。これらのビットは [Table 4](#) で説明されます。

3.5 SPI モード

CY15X102QN は、SPI ペリフェラルが次の 2 つのモードのいずれかで動作しているマイクロコントローラによって駆動できます。

- SPI モード 0 (CPOL = 0, CPHA = 0)
- SPI モード 3 (CPOL = 1, CPHA = 1)

これらの両モードで、 \overline{CS} がアクティブ化された後の最初の立ち上りエッジから始まる SCK の立ち上りエッジで入力データがラッチされます。クロックが HIGH 状態から起動される場合 (モード 3) では、入力データはクロック トグル後の最初の立ち上りエッジでラッチされます。出力データは SCK の立ち下りエッジで利用可能となります。2 つの SPI モードは [Figure 5](#) と [Figure 6](#) に示されます。バスマスターがデータを転送していない時のクロックの状態は以下のとおりです。

- モード 0 では、SCK が 0 のまま
- モード 3 では、SCK が 1 のまま

\overline{CS} ピンを LOW にすることによりデバイスが選択された時、デバイスは SCK ピンの状態から SPI モードを検出します。デバイス選択時に、SCK ピンが LOW ならデバイスは SPI モード 0 で動作し、SCK ピンが HIGH ならデバイスは SPI モード 3 で動作します。

機能概要

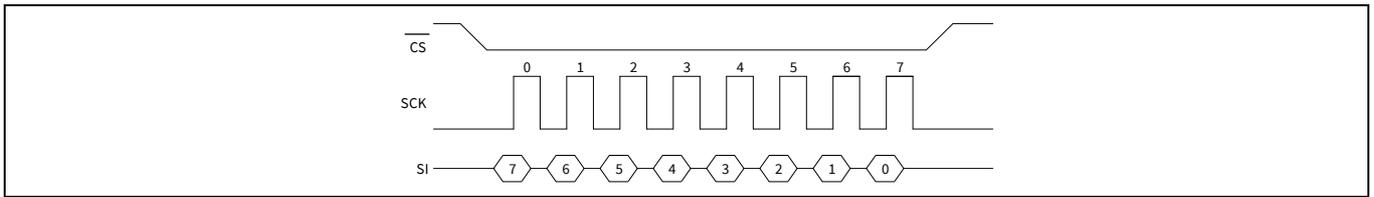


Figure 5 SPI モード 0

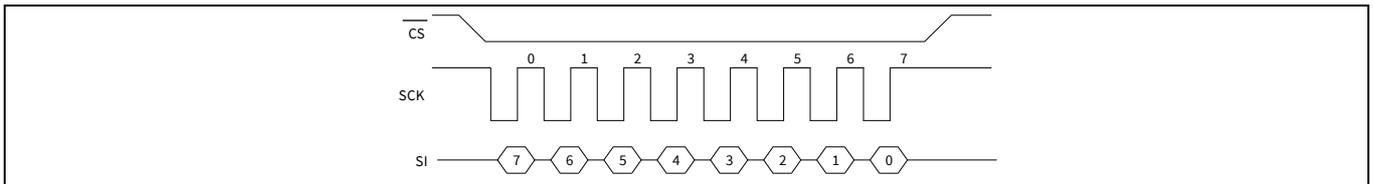


Figure 6 SPI モード 3

3.6 電源投入時から最初のアクセスまで

電源投入後の t_{PU} の間、CY15X102QN へはアクセスできません。ユーザはタイミング パラメータ、 t_{PU} ($V_{DD}(\min)$ から CS が初めて LOW になる時までの最短期間) に従わなくてはなりません。詳細については、[パワーサイクルタイミング](#)を参照してください。

4 機能説明

4.1 コマンドの構成

バスマスターが CY15X102QN に発行するコマンドは 15 個あります (Table 2 を参照してください)。これらのオペコードはメモリが実行する機能を制御します。

Table 2 オペコード コマンド

名称	説明	オペコード		最大周波数 (MHz)
		16 進数	2 進数	
書き込みイネーブル制御				
WREN	書き込みイネーブル ラッチ セット	06h	0000 0110b	50
WRDI	書き込みイネーブル ラッチ リセット	04h	0000 0100b	50
レジスタ アクセス				
RDSR	ステータス レジスタ 読み出し	05h	0000 0101b	50
WRSR	ステータス レジスタ 書き込み	01h	0000 0001b	50
メモリ書き込み				
WRITE	メモリ データ 書き込み	02h	0000 0010b	50
メモリ読み出し				
READ	メモリ データ 読み出し	03h	0000 0011b	40
FSTRD	メモリ データ 高速読み出し	0Bh	0000 1011b	50
特殊セクタ メモリ アクセス				
SSWR	特殊セクタ 書き込み	42h	0100 0010b	50
SSRD	特殊セクタ 読み出し	4Bh	0100 1011b	40
ID およびシリアル番号				
RDID	デバイス ID 書き込み	9Fh	1001 1111b	50
RUID	固有 ID 読み出し	4Ch	0100 1100b	50
WRSN	シリアル番号 書き込み	C2h	1100 0010b	50
RDSN	シリアル番号 読み出し	C3h	11000 011b	50
低消費電力モード				
DPD	ディープ パワーダウン 開始	BAh	1011 1010b	50
HBN	ハイバネート モード 開始	B9h	1011 1001b	50
予約済み				
予約済み	予約済み	未使用のオペコードは、将来の使用のために予約されます。		-

4.1.1 書き込みイネーブル制御コマンド

4.1.1.1 書き込みイネーブル ラッチ設定 (WREN, 06h)

CY15X102QN は、書き込みが無効の状態です。電源投入されます。WREN コマンドを書き込み動作の前に発行する必要があります。WREN オペコードを送信することにより、ユーザは書き込み動作に次のオペコードを発行できます。これには、ステータスレジスタ書き込み (WRSR)、メモリ書き込み (WRITE)、特殊セクタ書き込み (SSWR)、シリアル番号書き込み (WRSN) が含まれます。

WREN オペコードを発行すると、内部書き込みイネーブル ラッチが設定されます。WEL と呼ばれるステータスレジスタ内のフラグビットはラッチの状態を示します。WEL = 「1」は、書き込みが許可されることを示します。ステータスレジスタの WEL ビットに書き込んでもこのビットの状態に影響を与えません。WREN オペコードのみがこのビットをセットできます。WEL ビットは、WRDI, WRSR, WRITE, SSWR, または WRSN 動作の後に続く CS の立ち上りエッジで自動的にクリアされます。これにより、別の WREN コマンドなしでステータスレジスタまたは F-RAM アレイにそれ以上書き込むことができなくなります。Figure 7 に WREN コマンドバスコンフィギュレーションを示します。

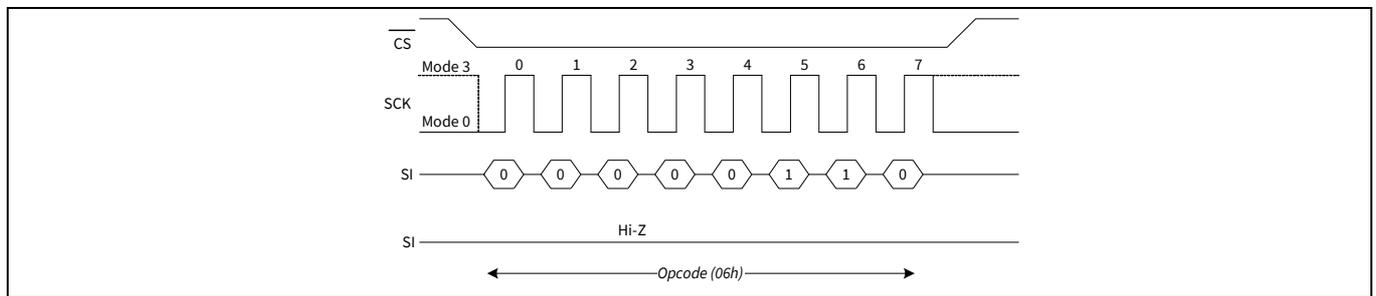


Figure 7 WRDI バスコンフィギュレーション

4.1.1.2 書き込みイネーブル ラッチリセット (WRDI, 04h)

WRDI コマンドは、書き込みイネーブルラッチをクリアすることにより、すべての書き込み動作を無効にします。ステータスレジスタの WEL ビットを読み出して書き込みが無効になっていることを確認し、WEL が「0」に等しいことを確認します。Figure 8 に WRDI コマンドバスコンフィギュレーションを示します。

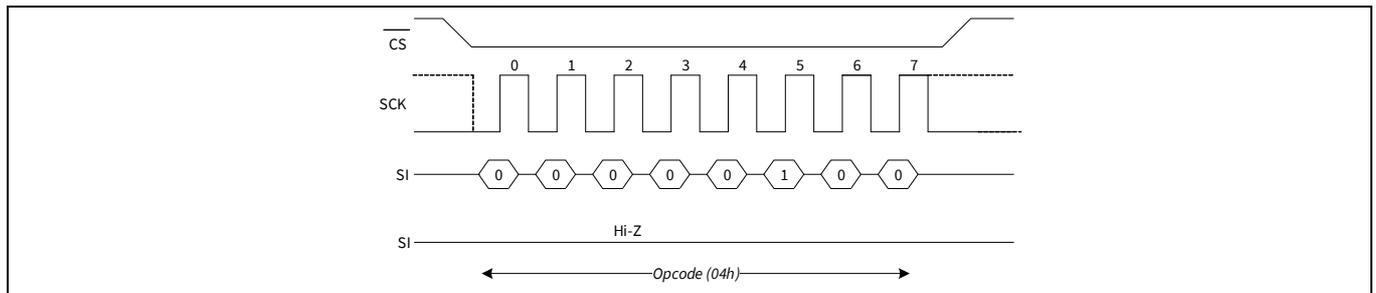


Figure 8 WREN バスコンフィギュレーション

4.1.1.3 ステータスレジスタと書き込み保護

CY15X102QN の書き込み保護機能は多層的であり、ステータスレジスタを介してイネーブルされます。ステータスレジスタは以下のように構成されています。(工場出荷時の初期値は、WEL, BP0, BP1, ビット 4 ~ 5, WPEN は「0」、ビット 6 は「1」です)。

Table 3 ステータスレジスタ

ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
WPEN (0)	X (1)	X (0)	X (0)	BP1 (0)	BP0 (0)	WEL (0)	X (0)

機能説明

Table 4 ステータスレジスタのビット定義

ビット	定義	説明
ビット 0	ドントケア	このビットは書き込み不可であり、読み出すと常に「0」を返します。
ビット 1 (WEL)	書き込みイネーブル	WEL はデバイスの書き込みが有効かどうかを示します。電源投入時の初期値は「0」(無効)です。 WEL = 1 = 書き込みが有効 WEL = 0 = 書き込みが無効
ビット 2 (BP0)	ブロック保護ビット「0」	ブロック保護のために使用される。詳細は Table 5 を参照してください。
ビット 3 (BP1)	ブロック保護ビット「1」	ブロック保護のために使用される。詳細は Table 5 を参照してください。
ビット 4-5	ドントケア	これらのビットは書き込み不可であり、読み出し時に常に「0」を返します。
ビット 6	ドントケア	このビットは書き込み不可であり、読み出し時に常に「1」を返します。
ビット 7 (WPEN)	書き込み保護イネーブルビット	書き込み保護ピン (\overline{WP}) の機能をイネーブルにするために使用されます。詳細は Table 6 を参照してください。

ビット 0 と 4 ~ 5 は「0」に、ビット 6 は「1」に固定され、これらのビットは修正できません。F-RAM はリアルタイムで書き込まれビジーのときがないので、ビット 0 (シリアルフラッシュや EEPROM での「Ready or Write in progress (待機または書き込み中)」の状態を示すビット) は不要であり、「0」として読み出されます。この例外は、デバイスが**ディープパワーダウンモード (DPD, BAh)** または**ハイバネートモード (HBN, B9h)** のいずれかからウェイクアップしている場合です。BP1 および BP0 はソフトウェアの書き込み保護機能を制御する不揮発性ビットです。WEL フラグは、書き込みイネーブルラッチの状態を示します。ステータスレジスタの WEL ビットに直接書き込んでも状態は変わりません。このビットは内部でそれぞれ WREN、WRDI コマンドを介してセット、クリアされます。

BP1 と BP0 はメモリブロックの書き込み保護ビットです。それらは Table 5 で示すように書き込み保護されるメモリ領域を指定します。

Table 5 ブロックメモリへの書き込み保護

BP1	BP0	保護されるアドレス範囲
0	0	無し
0	1	30000h ~ 3FFFFh (上位 1/4)
1	0	20000h ~ 3FFFFh (上位 1/2)
1	1	00000h ~ 3FFFFh (すべて)

BP1 と BP0 ビットと書き込みイネーブルラッチは、メモリが書き込まれないように防ぐ唯一のメカニズムです。残りの書き込み保護機能は、ブロック保護ビットへの不用意な変更を防止します。

ステータスレジスタの書き込み保護イネーブルビット (WPEN) は、ハードウェア書き込み保護 (\overline{WP}) ピンの効果を制御します。 \overline{WP} ピンのタイミング図については、Figure 24 を参照してください。WPEN ビットが「0」にセットされると、 \overline{WP} ピンの状態は無視されます。WPEN ビットが「1」にセットされる時、 \overline{WP} ピンが LOW になるとステータスレジスタへの書き込みは防止されます。そのため、ステータスレジスタは、WPEN = 1 および \overline{WP} = 0 の場合のみ書き込み保護されます。Table 6 に書き込み保護条件をまとめます。

Table 6 書き込み保護

WEL	WPEN	WP	保護ブロック	非保護ブロック	ステータスレジスタ
0	X	X	保護	保護	保護
1	0	X	保護	非保護	非保護
1	1	0	保護	非保護	保護
1	1	1	保護	非保護	非保護

4.1.2 レジスタアクセスのコマンド

4.1.2.1 ステータスレジスタ読み出し (RDSR, 05h)

RDSR コマンドでは、バス マスターはステータス レジスタの内容を検証することができます。ステータスレジスタを読み出すことで、書き込み保護機能の現時点の状態に関する情報を得ます。RDSR オペコードに続いて、CY15X102QN はステータスレジスタの内容を持つ 1 バイトを返します。

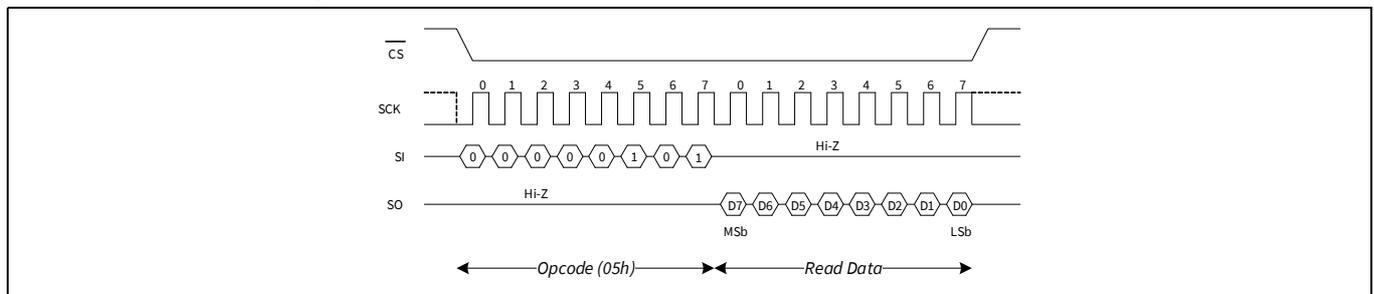


Figure 9 RDSR バス コンフィギュレーション

4.1.2.2 ステータスレジスタ書き込み (WRSR, 01h)

WRSR コマンドを使って、SPI バス マスターがステータス レジスタへ書き込み、WPEN, BP0, BP1 ビットを必要に応じて設定することで書き込み保護の設定を変更できます。WRSR コマンドを発行する前には、WP ピンが HIGH または非アクティブである必要があります。CY15X102QN では、WP がメモリアレイではなくステータスレジスタのみへの書き込みを防止することに注意してください。WRSR を送信する前に WREN コマンドを送信して書き込みを有効にする必要があります。WRSR コマンドの実行は書き込み動作のため、書き込みイネーブルラッチがクリアされます。

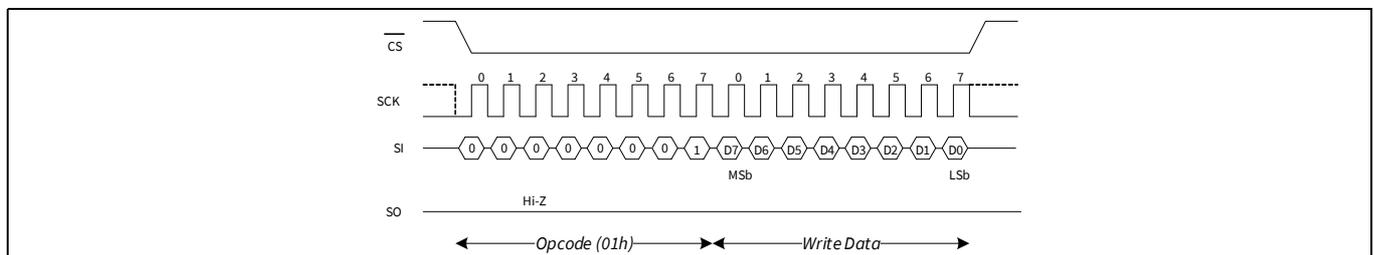


Figure 10 WRSR バス コンフィギュレーション (WREN が非表示)

4.1.3 メモリの動作

高いクロック周波数で動作が可能な SPI インターフェースは、F-RAM 技術の高速書き込み機能を際立たせます。シリアル フラッシュや EEPROM と違って、CY15X102QN はバス速度でシーケンシャルに書き込みを実行します。ページレジスタは不要であり、シーケンシャルな書き込みは何回でも実行できます。

4.1.4 メモリ書き込み動作コマンド

4.1.4.1 書き込み動作 (WRITE, 02h)

メモリへのすべての書き込みは、アサートおよびデアサートされている \overline{CS} を伴い WREN オペコードで始まります。次のオペコードは WRITE です。WRITE オペコードに続き、メモリへ書き込む最初のデータバイトを指定する 18 ビット アドレス (A17 ~ A0) を含む 3 バイト アドレスが続きます。3 バイト アドレスの上位 6 ビットは無視されます。後続のバイトは順次に書き込まれるデータバイトです。バス マスターがクロックを送り、 \overline{CS} を LOW に維持している限り、アドレスは内部でインクリメントされます。3FFFFh の最終アドレスに達すると、カウンタは 00000h に戻ります。書き込まれるすべてのデータバイトは、MSb ファースト、LSb ラスト方式で 8 クロックサイクルで SI に転送されます。 \overline{CS} の立ち上りエッジで書き込み動作が終了します。CY15X102QN の書き込み動作を **Figure 11** に示します。

注:

- バースト書き込みが保護されたブロックに達すると、アドレスの自動インクリメントは停止し、書き込み用に受信された後続のデータバイトのすべてがデバイスに無視されます。EEPROM はページバッファを使用して書き込みスループットを上げます。ページバッファは、書き込み動作が遅いという本来の特性を補完するものです。F-RAM メモリは、各データバイトが (8 番目のクロックの後) クロック入力された直後に F-RAM アレイに書き込まれるため、ページバッファを持っていません。そのためページバッファの遅延なしにバイトをいくつも書き込むことができます。
- 書き込み動作中に電源を喪失すると、最後に完了したバイトのみが書き込まれます。

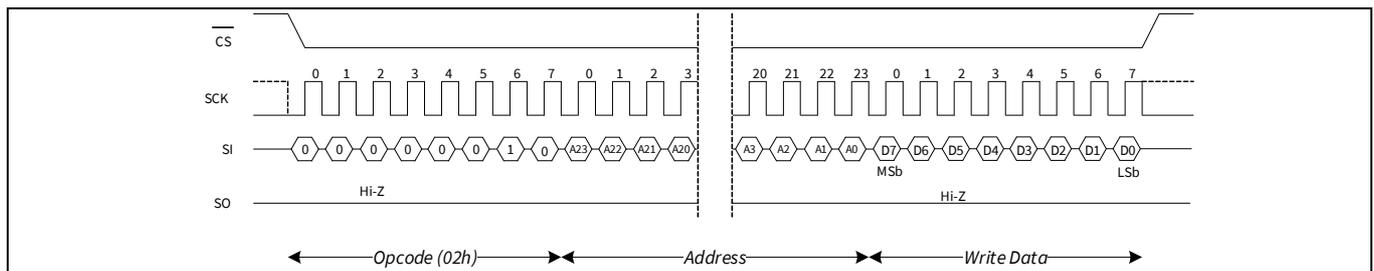


Figure 11 メモリ書き込み動作 (WREN が非表示)

4.1.5 メモリ読み出し動作コマンド

4.1.5.1 読み出し動作 (READ, 03h)

\overline{CS} の立ち下りエッジの後に、バス マスターは READ オペコードを発行できます。READ コマンドの後には、読み出し動作の開始アドレスを指定する 18 ビット アドレス (A17 ~ A0) を含む 3 バイトのアドレスが続きます。アドレスの上位 6 ビットは無視されます。オペコードとアドレスが発行された後、デバイスは次の 8 つのクロックで読み出しデータを出力します。SI 入力は読み出しデータバイトの出力中には無視されます。後続のバイトは順々に読み出されるデータバイトです。バス マスターがクロックを送り、 \overline{CS} がロー レベルである限り、アドレスは内部でインクリメントされます。3FFFFh の最終アドレスに達すると、カウンタは 00000h に戻ります。本製品はまた、基板またはシステムを特定するために使用できる書き込み可能な 8 バイト シリアル番号レジスタを備えています。 \overline{CS} の立ち上りエッジで読み出し動作を停止し、SO ピンをトライステートにします。CY15X102QN の読み出し動作を **Figure 12** に示します。

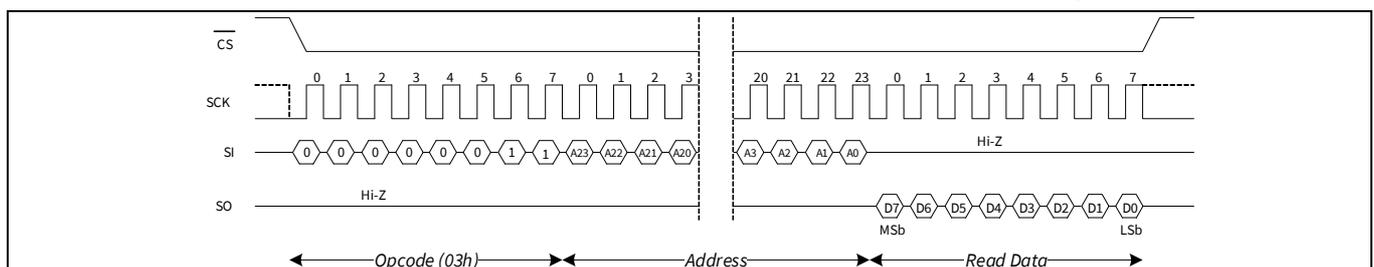


Figure 12 メモリ読み出し動作

4.1.5.2 高速読み出し (FAST_READ, 0Bh)

CY15X102QN は、シリアルフラッシュデバイスとのコード互換性のために提供される FAST READ オペコード (0Bh) をサポートします。FAST READ オペコードの後には、読み出し動作の開始アドレスを指定する 18 ビット アドレス (A17 ~ A0) を含む 3 個のバイトのアドレスが続き、次はダミー バイトとなります。ダミー バイトは 8 クロック サイクルの読み出し遅延を入れることです。ダミー バイトを追加することを除き、高速読み出し動作は通常の読み出し動作と同じです。オペコード、アドレス、ダミー バイトを受信した後、CY15X102QN は SO ラインで MSb ファーストでデータ バイトを出力し始めます。またデバイスが選択されクロックが有効である限り出力を継続します。バルク読み出しの場合、内部アドレスカウンタは自動的にインクリメントされ、最終アドレス 3FFFFh に達するとカウンタは 00000h に戻ります。デバイスが SO ラインでデータを出力している時、SI ライン上の遷移は無視されます。CS の立ち上りエッジで高速読み出し動作を停止し、SO ピンをトライステートにします。CY15X102QN の高速読み出し動作を [Figure 13](#) に示します。

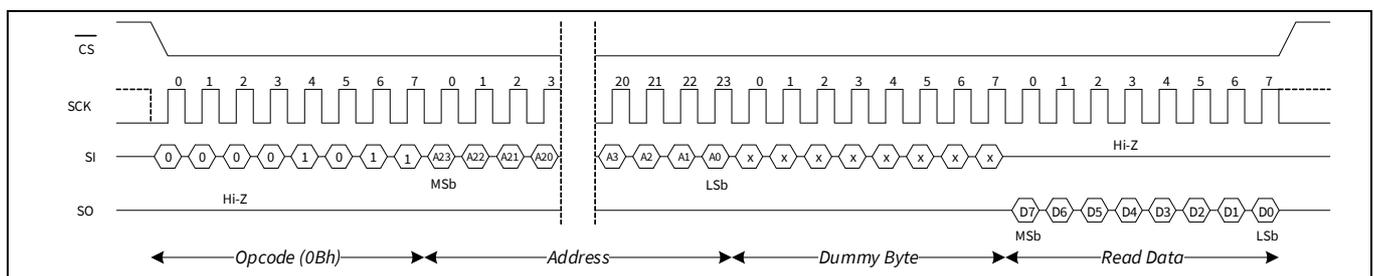


Figure 13 高速読み出し動作

4.1.6 特殊セクタ メモリ アクセス コマンド

4.1.6.1 特殊セクタ書き込み (SSWR, 42h)

256 バイトの特別セクタへのすべての書き込みは、CS がアサートおよびデアサートされている状態での WREN オペコードで始まります。次のオペコードは SSWR です。SSWR オペコードに続き、特殊セクタメモリへ書き込む最初のデータ バイトを指定する 8 ビット アドレス (A7 ~ A0) を含む 3 バイト アドレスが続きます。3 バイト アドレスの上位 16 ビットは無視されます。後続のバイトは順次書き込まれるデータ バイトです。バス マスターがクロックを送り、CS を LOW に維持している限り、アドレスは内部でインクリメントされます。内部アドレスカウンタが自動的に XXX7Fh にインクリメントされると、CS は SSWR 動作の実行を終了するために HIGH に切り替える必要があります。書き込まれるすべてのデータ バイトは、MSb ファースト、LSb ラスト方式で 8 クロック サイクルで SI に転送されます。CS の立ち上りエッジで書き込み動作が終了します。CY15X102QN の特殊セクタ書き込み動作を [Figure 14](#) に示します。

注:

- 書き込み動作中に電源を喪失すると、最後に完了したバイトのみが書き込まれます。
- 特殊セクタ F-RAM メモリは、標準的なはんだリフローの最大 3 サイクルにわたってデータの完全性を維持することを保証します。

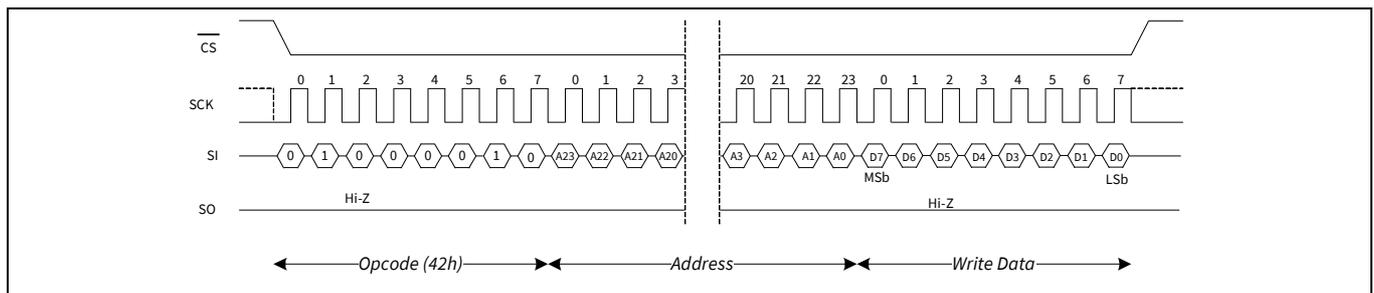


Figure 14 特殊セクタ書き込み動作 (WREN が非表示)

4.1.6.2 特殊セクタ読み出し (SSRD, 4Bh)

CS の立ち下りエッジの後に、バス マスターは SSRD オペコードを発行できます。SSRD コマンドの後は、特殊セクタ読み出し動作の開始アドレスを指定する 8 ビット アドレス (A7 ~ A0) を含む 3 バイトのアドレスが続きます。アドレスの上位 16 ビットは無視されます。オペコードとアドレスが発行された後、デバイスは次の 8 つのクロックで読み出しデータを出力します。SI 入力には読み出しデータバイトの出力中には無視されます。後続のバイトは順々に読み出されるデータバイトです。バス マスターがクロックを送り、CS がローレベルである限り、アドレスは内部でインクリメントされます。内部アドレスカウンタが自動的に XXX7Fh にインクリメントされると、CS は SSRD 動作の実行を終了するために HIGH に切り替える必要があります。SO のすべての読み出しデータバイトは、MSb ファースト、LSb ラスト方式で 8 クロック サイクルで駆動されます。CS の立ち上りエッジで特殊セクタ読み出し動作が終了し、SO ピンはトリステートになります。CY15X102QN の特殊セクタの読み出し動作を **Figure 15** に示します。

注: 特殊セクタ F-RAM メモリは、標準的なハンドリフローの最大 3 サイクルにわたってデータの完全性を維持することを保証します。

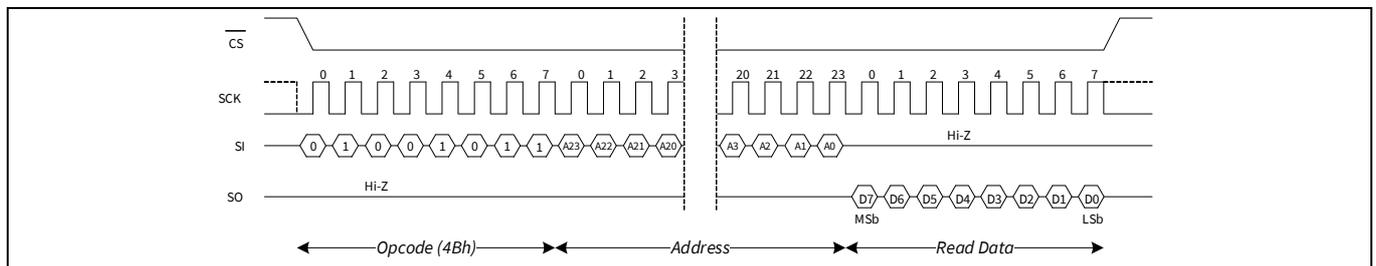


Figure 15 特殊セクタ読み出し動作

4.1.7 ID およびシリアル番号コマンド

4.1.7.1 デバイス ID 読み出し (RDID, 9Fh)

CY15X102QN デバイスは、メーカー、製品 ID、およびダイの版数について問い合わせを行えます。RDID オペコード 9Fh では、ユーザーは 9 バイトのメーカー ID と製品 ID を読み出せます。これらは両方とも読み出し専用バイトです。JEDEC から割り当てられたメーカー ID は、バンク 7 にサイプレス (Ramtron) の識別子を配置しています。そのため連続コード 7Fh の 6 バイトと、それに続く 1 バイトの C2h があります。製品 ID の 2 バイトはファミリーコード、容量コード、サブコード、および製品リビジョンコードを含みます。**Table 6** に、9 バイトのデバイス ID フィールドの説明を示します。個々の部品の 9 バイトのデバイス ID については、**注文情報**を参照してください。CY15X102QN のデバイス ID 読み出し動作を **Figure 16** に示します。

注: 最下位のデータバイト (バイト 0) は最初に、最上位のデータバイト (バイト 8) は最後にシフトアウトされます。

Table 7 9 バイト デバイス ID

デバイス ID フィールドの説明							
メーカー ID [71:16]	ファミリー [15:13]	メモリ容量 [12:9]	突入電流 [8]	サブタイプ [7:5]	リビジョン [4:3]	電圧 [2]	周波数 [1:0]
56 ビット	3 ビット	4 ビット	1 ビット	3 ビット	2 ビット	1 ビット	2 ビット

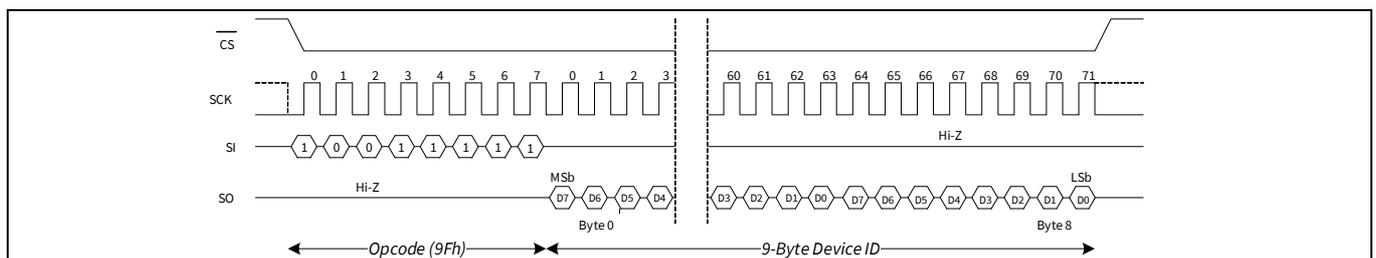


Figure 16 デバイス ID 読み出し

4.1.7.2 固有 ID 読み出し (RUID, 4Ch)

CY15X102QN デバイスは、工場出荷時にプログラムされた各デバイスに固有の 64 ビット番号である固有 ID について問い合わせを行えます。RUID オペコード 4Ch は、8 バイトの読み出し専用固有 ID を読み出せます。CY15X102QN の固有 ID 読み出し動作を Figure 17 に示します。

注：

- 最下位のデータバイト (バイト 0) は最初に、最上位のデータバイト (バイト 7) は最後にシフトアウトされます。
- 固有 ID レジスタは、標準的なハンドリフローの最大 3 サイクルにわたってデータの完全性を維持することを保証されます。

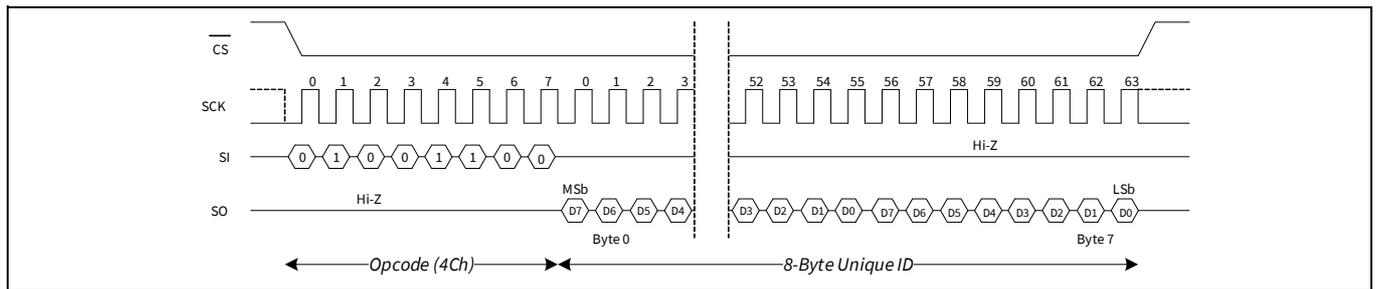


Figure 17 固有 ID 読み出し

4.1.7.3 シリアル番号書き込み (WRSN, C2h)

シリアル番号は、PC 基板またはシステムを一意的に識別するためにユーザーに提供される 8 バイトのワンタイムプログラマブル メモリ空間です。通常、シリアル番号は 2 バイトのカスタマー ID、その後続く固有の 5 バイトの一義のシリアル番号と 1 バイトの CRC チェックで構成されます。しかし、エンドアプリケーションでは、8 バイトのシリアル番号に独自フォーマットで定義ができます。シリアル番号レジスタへのすべての書き込みは、CS がアサートおよびデアサートされている状態での WREN オペコードで始まります。次のオペコードは WRSN です。WRSN 命令は、シリアル番号の 8 バイトすべてを書き込むためにバーストモードで使用できます。シリアル番号の最後のバイトがシフトインされた後、WRSN 動作を完了するために CS を HIGH に駆動する必要があります。CY15X102QN のシリアル番号書き込み動作を Figure 18 に示します。

注：CRC チェックサムはデバイスによって計算されません。システム ファームウェアは 7 バイトの内容の CRC チェックサムを計算し、チェックサムを 7 バイトのユーザー定義のシリアル番号に付け加えてから、8 バイト シリアル番号をシリアル番号レジスタにプログラムする必要があります。8 バイト シリアル番号の工場出荷時の初期値は「0000000000000000h」です。

Table 8 8 バイト シリアル番号

16 ビット カスタマー ID		40 ビット 固有番号					8 ビット CRC
SN[63:56]	SN[55:48]	SN[47:40]	SN[39:32]	SN[31:24]	SN[23:16]	SN[15:8]	SN[7:0]

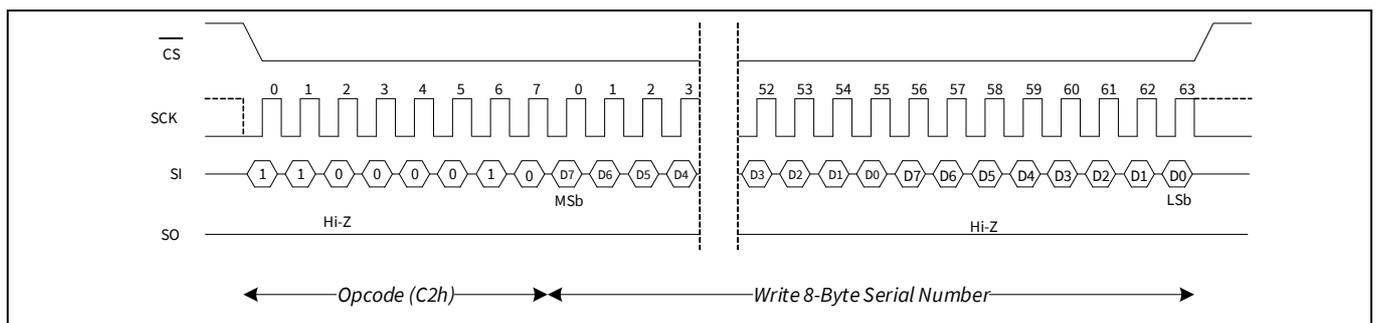


Figure 18 シリアル番号書き込み動作 (WREN が非表示)

4.1.7.4 シリアル番号読み出し (RDSN, C3h)

CY15X102QN デバイスはデバイスを一意的に識別するためにユーザに提供される 8 バイトのシリアル番号のスペースを組み込んでいます。シリアル番号は RDSN 命令で読み出されます。シリアル番号読み出しは、バーストモードで実行して一度にすべての 8 バイトを読み出せます。シリアル番号の最後のバイトが読み出された後、デバイスはシリアル番号の最初のバイトにループバックします。 \overline{CS} が LOW になった後、RDSN のオペコードをシフトすることで RDSN 命令を発行できます。CY15X102QN のシリアル番号読み出し動作を Figure 19 に示します。

注: 最下位のデータバイト (バイト 0) は最初に、最上位のデータバイト (バイト 7) は最後にシフトアウトされます。

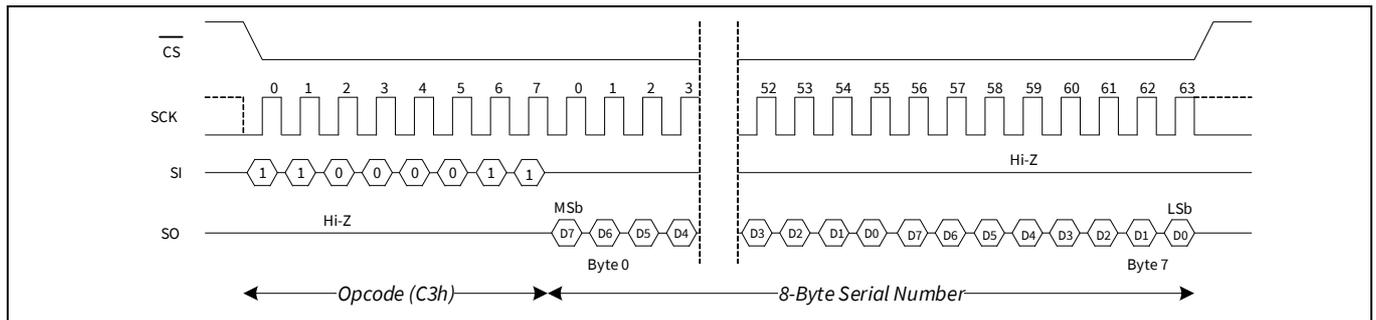


Figure 19 シリアル番号読み出し動作

4.1.8 低消費電力モード コマンド

4.1.8.1 ディープパワーダウンモード (DPD, BAh)

CY15X102QN デバイスには省電力のディープパワーダウンモードが実装されています。デバイスは、DPD オペコード BAh がクロック入力され、 \overline{CS} の立ち上がりエッジが適用されてから t_{ENTDPD} の時間後にディープパワーダウンモードに入ります。ディープパワーダウンモードでは、SCK と SI ピンは無視され、SO は Hi-Z になりますが、デバイスは \overline{CS} ピンの監視を継続します。

t_{CSDPD} の \overline{CS} パルス幅は、 t_{EXTDPD} 時間後に DPD モードを終了します。 \overline{CS} パルス幅は、ダミーコマンドサイクルを送信するか、または SCK と I/O がドントケアになっている間に \overline{CS} のみをトグルすることによって生成できます。ディープパワーダウンモードからの復帰中は、I/O は Hi-Z 状態のままです。DPD の開始タイミングについては Figure 20 を、DPD の終了タイミングについては Figure 21 を参照してください。

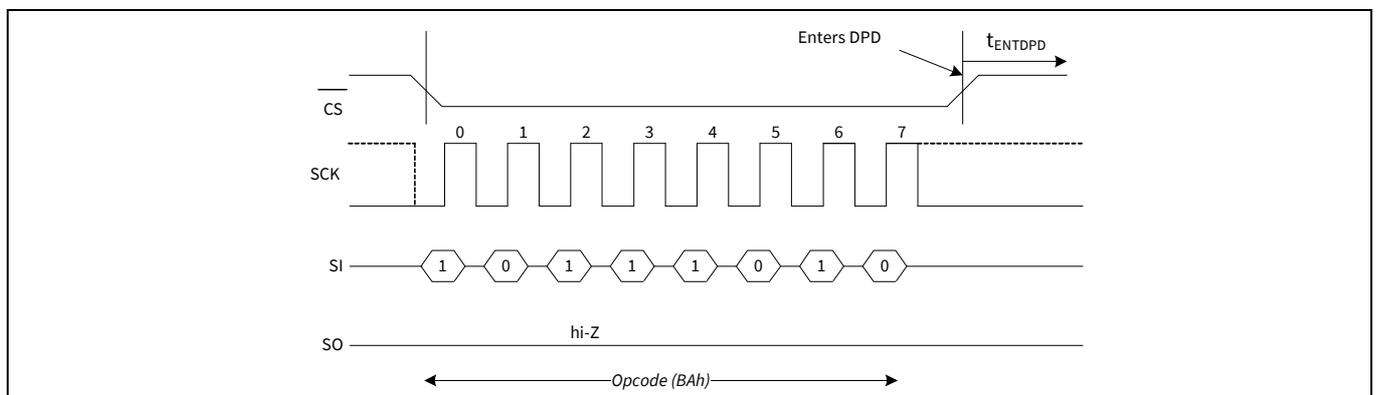


Figure 20 DPD 開始タイミング

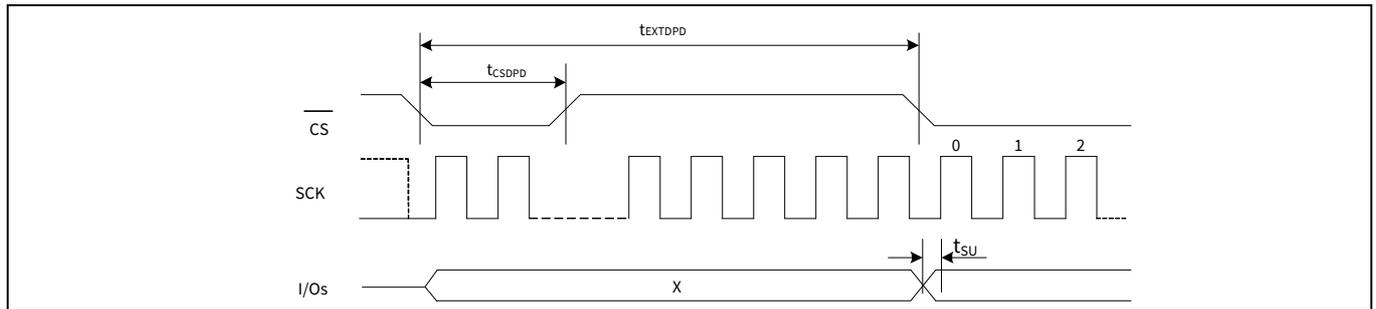


Figure 21 DPD 終了タイミング

4.1.8.2 ハイバネート モード (HBN, B9h)

CY15X102QN デバイスには最低消費電力のハイバネート モードが実装されています。デバイスは、HBN オペコード B9h がクロック入力され、 \overline{CS} の立ち上りエッジが適用されてから t_{ENTHIB} の時間後にハイバネート モードに入ります。ハイバネート モードになると SCK と SI ピンは無視され、SO は Hi-Z になりますが、デバイスは \overline{CS} ピンの監視を続けます。 \overline{CS} の次の立ち下りエッジで、デバイスは、 t_{EXTHIB} 以内に通常の動作に復帰します。ハイバネート モードからの復帰中は、SO ピンは Hi-Z 状態のままです。デバイスはウェイクアップ期間内でオペコードに応答する必要はありません。ハイバネート モードを終了するために、コントローラは、例えば「ダミー」読み出しを送信し、残りの t_{EXTHIB} 時間待機することもあります。

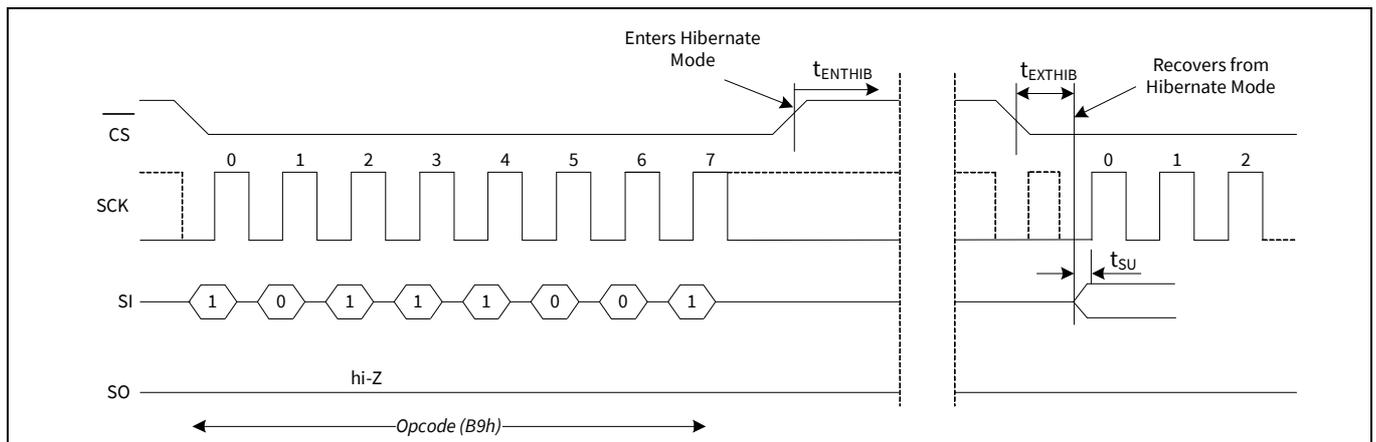


Figure 22 ハイバネート モード動作

4.1.8.3 アクセス可能回数

CY15X102QN デバイスは 10^{15} 回以上、読み書きを問わずアクセスできます。

F-RAM メモリは読み出しと格納メカニズムを伴い動作します。そのため、メモリアレイへのアクセス (読み出し / 書き込み) に対して、アクセスサイクルが行単位で適用されます。F-RAM のアーキテクチャは、64 ビットの列と 32K の行からなるアレイを基にしています。読み出しまたは書き込みは行単位に行われます。1 行内のデータのアクセスバイト数に関わらず内部的に行に対するアクセスは 1 回です。行内の各バイトは、アクセス可能回数の計算では 1 回だけカウントされます。Table 9 に、オペコード、開始アドレス、順々の 64 バイト データの流れを含む、64 バイトの繰り返しループに対応したアクセス可能回数を示します。これはループによって各バイトが 1 回のアクセス回数を費やしたことになります。

F-RAM の読み出しと書き込み可能回数は、50MHz のクロック速度でも事実上無制限です。

Table 9 64 バイト ループの繰り返しでアクセス回数が限界に達する期間

SCK 周波数 (MHz)	アクセス回数 (サイクル / 秒)	アクセス回数 (サイクル / 年)	10^{15} 制限到達年数
50	91,900	2.90×10^{12}	345
40	73,040	2.30×10^{12}	43.
20	36,520	1.16×10^{12}	864
10	18,380	5.79×10^{11}	1727
5	9,190	2.90×10^{11}	3454

最大定格

5 最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。ユーザガイドラインはテストは行われていません。

保存温度	-65°C ~ +125°C
最大累積保存時間	
周囲温度 125°C	1000 時間
周囲温度 85°C	10 年
最大接合部温度	125°C
V_{SS} を基準にした V_{DD} の電源電圧	
CY15V102QN:	-0.5 V ~ +2.4 V
CY15B102QN:	-0.5 V ~ +4.1 V
入力電圧	$V_{IN} \leq V_{DD} + 0.5 V$
High-Z 状態の出力に印加される DC 電圧	-0.5 V ~ $V_{DD} + 0.5 V$
グランド電位を基準にした任意のピンの過渡電圧 (< 20 ns)	-2.0 V ~ $V_{DD} + 2.0 V$
パッケージ許容電力損失 ($T_A = 25^\circ C$)	1.0 W
表面実装はんだ付け温度 (3 秒)	+260°C
DC 出力電流 (出力 1 本あたり, 1 秒間)	15 mA
静電放電電圧	
人体モデル (JEDEC 規格 JESD22-A114-B)	2 kV
帯電デバイス モデル (JEDEC 規格 JESD22-C101-A)	500 V
ラッチアップ電流	>140 mA

動作範囲

6 動作範囲

Table 10 動作範囲

デバイス	範囲	周囲温度	V _{DD}
CY15V102QN	産業用	-40°C ~ +85°C	1.71 V ~ 1.89 V
CY15B102QN			1.8 V ~ 3.6 V

DC 電気的特性

7 DC 電気的特性

動作範囲において

Table 11 DC 電気的特性

パラメーター	説明	テスト条件	Min	Typ ^[2,3]	Max	単位	
V_{DD}	電源電圧	CY15V102QN	1.71	1.80	1.89	V	
		CY15B102QN	1.80	3.30	3.60		
I_{DD}	V_{DD} 電源電流	$V_{DD} = 1.71V \sim 1.89V$ 。 SCK は $V_{DD}-0.2V$ と V_{SS} 間でトグル。他の入 力は V_{SS} または $V_{DD}-$ $0.2V$ 。SO = 開放； CY15V102QN-50S/LP parts	$f_{SCK} = 40 \text{ MHz}$	-	2.4	3	mA
			$f_{SCK} = 50 \text{ MHz}$	-	3	3.7	
		$V_{DD} = 1.8V \sim 3.6V$ 。 SCK は $V_{DD}-0.2V$ と V_{SS} 間でトグル。他の入 力は V_{SS} または $V_{DD}-$ $0.2V$ 。SO = 開放； CY15B102QN-50S/LP parts	$f_{SCK} = 40 \text{ MHz}$	-	2.4	3	
			$f_{SCK} = 50 \text{ MHz}$	-	3	3.7	
I_{SB}	V_{DD} スタンバイ 電流	$V_{DD} = 1.71V \sim 1.89V$ 。 CS = V_{DD} 。他の入力は V_{SS} または V_{DD} 。	$T_A = 25^\circ\text{C}$	-	2.3	-	μA
			$T_A = 85^\circ\text{C}$	-	-	65	
		$V_{DD} = 1.8V \sim 3.6V$ 。 CS = V_{DD} 。他の入力は V_{SS} または V_{DD} 。	$T_A = 25^\circ\text{C}$	-	2.6	-	
			$T_A = 85^\circ\text{C}$	-	-	70	
I_{DPD}	ディープパワー ダウン電流	$V_{DD} = 1.71V \text{ to } 1.89V$; CS = V_{DD} 。他の入力は V_{SS} または V_{DD} 。	$T_A = 25^\circ\text{C}$	-	0.7	-	μA
			$T_A = 85^\circ\text{C}$	-	-	15	
		$V_{DD} = 1.8V \sim 3.6V$ 。 CS = V_{DD} 。他の入力は V_{SS} または V_{DD} 。	$T_A = 25^\circ\text{C}$	-	0.8	-	
			$T_A = 85^\circ\text{C}$	-	-	16	
I_{HBN}	ハイバネート モード電流	$V_{DD} = 1.71V \sim 1.89V$ 。 CS = V_{DD} 。他の入力は V_{SS} または V_{DD} 。	$T_A = 25^\circ\text{C}$	-	0.1	-	μA
			$T_A = 85^\circ\text{C}$	-	-	0.9	
		$V_{DD} = 1.8V \sim 3.6V$ 。 CS = V_{DD} 。他の入力は V_{SS} または V_{DD} 。	$T_A = 25^\circ\text{C}$	-	0.1	-	
			$T_A = 85^\circ\text{C}$	-	-	1.6	
I_{LI}	WP ピンを除く I/O ピンの入力 リーク電流	$V_{SS} < V_{IN} < V_{DD}$	-1	-	1	μA	
	WP ピンの入力 リーク電流		-100	-	1		
I_{LO}	出力リーク電流	$V_{SS} < V_{OUT} < V_{DD}$	-1	-	1	μA	

注:

- 標準値は 25°C , $V_{DD} = V_{DD}(\text{typ})$ でのものです。
- このパラメーターは特性によって保証され、量産中にテストされません。

2M ビット EXCELON™ LP 強誘電体 RAM (F-RAM) シリアル (SPI), 256K × 8, 40MHz, 産業用



DC 電気的特性

動作範囲において

Table 11 DC 電気的特性 (continued)

パラメーター	説明	テスト条件	Min	Typ ^[2, 3]	Max	単位
V_{IH}	入力 HIGH 電圧	-	$0.7 \times V_{DD}$	-	$V_{DD} + 0.3$	V
V_{IL}	入力 LOW 電圧	-	-0.3	-	$0.3 \times V_{DD}$	
V_{OH1}	出力 HIGH 電圧	$I_{OH} = -1 \text{ mA}, V_{DD} = 2.7 \text{ V}$	2.40	-	-	
V_{OH2}	出力 HIGH 電圧	$I_{OH} = -100 \mu\text{A}$	$V_{DD} - 0.2$	-	-	
V_{OL1}	出力 LOW 電圧	$I_{OL} = 2 \text{ mA}, V_{DD} = 2.7 \text{ V}$	-	-	0.40	
V_{OL2}	出力 LOW 電圧	$I_{OL} = 150 \mu\text{A}$	-	-	0.20	

注:

- 標準値は 25°C , $V_{DD} = V_{DD}(\text{typ})$ のものです。
- このパラメーターは特性によって保証され、量産中にテストされません。

8 データ保持期間とアクセス可能回数

Table 12 データ保持期間とアクセス可能回数

パラメーター	説明	テスト条件	Min	Max	単位
T _{DR}	データ保持期間	T _A = 85°C	10	-	年
		T _A = 70°C	141	-	
		T _A = 60°C	151	-	
		T _A = 50°C	160	-	
NV _C	アクセス可能回数	動作温度範囲内	10 ¹⁵	-	サイクル

静電容量

9 静電容量

すべてのパッケージ

Table 13 静電容量

パラメーター ^[4]	説明	テスト条件	Max	単位
C _O	出力ピン静電容量 (SO)	T _A = 25 °C, f = 1 MHz, V _{DD} = V _{DD(typ)}	8	pF
C _I	入力ピン静電容量		6	

注:

- このパラメーターは特性によって保証され、量産中にテストされません。

熱抵抗

10 熱抵抗

Table 14 熱抵抗

パラメーター [5]	説明	テスト条件	8 ピン SOIC パッケージ	8 ピン PDIP パッケージ	8 ピン DFN パッケージ	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	テスト条件は EIA/JESD51 による 熱インピーダンス を測定するための 標準的なテスト方 法と手順に従う	44.9	63	36.8	°C/W
Θ_{JC}	熱抵抗 (接合部からケース)		20.2	42.5	38.2	

注:

5. このパラメーターは特性によって保証され、量産中にテストされません。

11 AC テスト条件

入力パルス レベル	V_{DD} の 10% および 90%
入力の立ち上りと立ち下り時間	3 ns
入力と出力のタイミング参照レベル	$0.5 \times V_{DD}$
出力負荷容量	30 pF

12 AC スイッチング特性

動作範囲において

Table 15 AC スイッチング特性

パラメーター ^[6]		説明	40 MHz		50 MHz		単位
パラメーター	代替パラメーター		Min	Max	Min	Max	
f_{SCK}	-	SCK クロック周波数	0	40	0	50	MHz
t_{CH}	-	クロック HIGH 時間	11	-	9	-	ns
t_{CL}	-	クロック LOW 時間	11	-	9	-	
t_{CLZ} ^[7]	-	クロック LOW から出力 low-Z までの時間	0	-	0	-	
t_{CSS}	t_{CSU}	チップセレクトのセットアップ時間	5	-	5	-	
t_{CSH}	t_{CSH}	チップセレクトのホールド時間-モード 0	5	-	5	-	
t_{CSH1}	t_{CSH1}	チップセレクトのホールド時間-モード 3	10	-	10	-	
t_{HZCS}	t_{OD} ^[8,9]	出力ディセーブル時間	-	12	-	10	
t_{CO}	t_{ODV}	出力データ有効時間	-	9	-	8	
t_{OH}	-	出力ホールド時間	1	-	1	-	
t_{CS}	t_D	選択解除時間	40	-	40	-	
t_{SD}	t_{SU}	データセットアップ時間	5	-	5	-	
t_{HD}	t_H	データホールド時間	5	-	5	-	
t_{WPS}	t_{WHSL}	\overline{WP} セットアップ時間 (\overline{CS} に対して)	20	-	20	-	
t_{WPH}	t_{SHWL}	WP ホールド時間 (\overline{CS} に対して)	20	-	20	-	

注:

6. テスト条件は **AC テスト条件** に示す 3ns 以下の信号遷移時間, $0.5 \times V_{DD}$ のタイミング参照レベル, V_{DD} の 10% ~ 90% の入力パルスレベル, 指定の I_{OL}/I_{OH} の出力負荷および 30pF の負荷容量を前提にしています。
7. 設計によって保証されています。
8. t_{HZCS} は 5pF の負荷容量が付いている状態で測定されています。出力が高インピーダンス状態に入るときに、遷移が測定されます。
9. このパラメーターは特性によって保証され、量産中にテストされません。

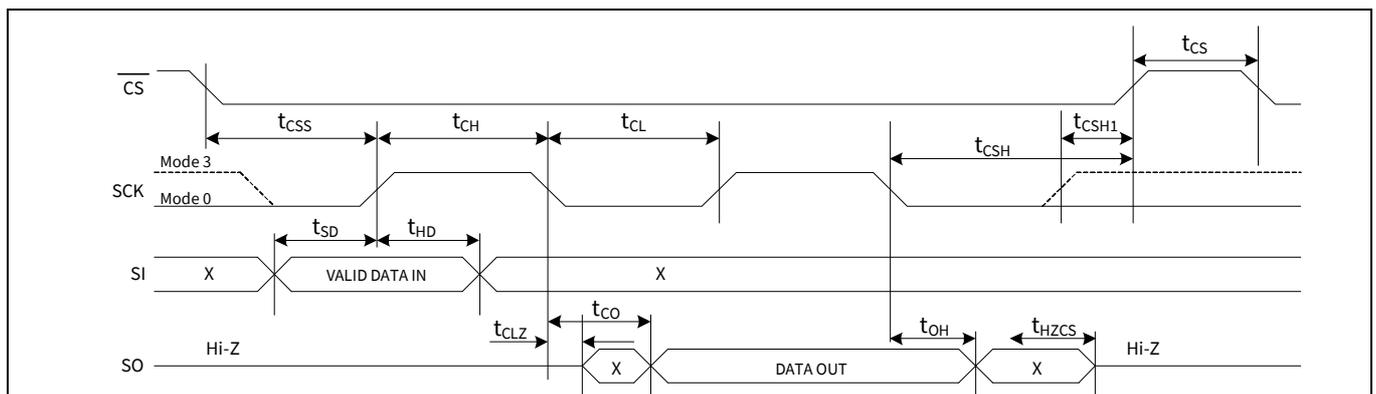


Figure 23 同期データ タイミング (モード 0 および モード 3)

2M ビット EXCELON™ LP 強誘電体 RAM (F-RAM) シリアル (SPI), 256K × 8, 40MHz, 産業用



AC スイッチング特性

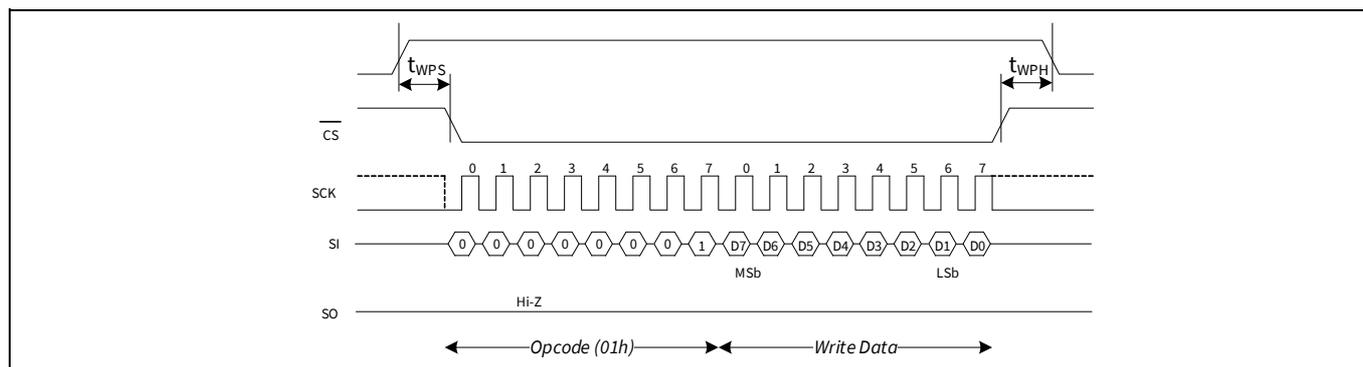


Figure 24 ステータスレジスタ書き込み (WRSR) 中の書き込み保護タイミング動作

13 パワーサイクル タイミング

動作範囲において

Table 16 パワーサイクル タイミング

パラメーター ^[10]		説明	Min	Max	単位
パラメーター	代替パラメーター				
t_{PU}		電源投入時の $V_{DD(min)}$ から最初のアクセス (\overline{CS} LOW) までの時間	450	-	μs
t_{VR} ^[11]		V_{DD} 電源投入時のランプレート	50	-	$\mu s/V$
t_{VF} ^[11, 12]		V_{DD} 電源切断時のランプレート	100	-	
t_{ENTDPD} ^[13]	t_{PD}	\overline{CS} HIGH からディープパワーダウン開始までの時間 (\overline{CS} HIGH からディープパワーダウンモードまで)	-	3	μs
t_{CSDPD}		ディープパワーダウンモードから復帰するための \overline{CS} パルス幅	0.015	$4 \times 1/f_{SCK}$	
t_{EXTDPD}	t_{RPD}	\overline{CS} LOW からディープパワーダウンモード終了までの時間 (\overline{CS} LOW からアクセス準備完了まで)	-	10	
t_{ENTHIB} ^[14]		\overline{CS} HIGH からハイバネート開始までの時間 (\overline{CS} HIGH からハイバネートモード開始まで)	-	3	
t_{EXTHIB}	t_{REC}	\overline{CS} LOW からハイバネート終了までの時間 (\overline{CS} LOW からアクセス準備完了まで)	-	450	

注:

10. テスト条件は **AC テスト条件** に示す 3ns 以下の信号遷移時間, $0.5 \times V_{DD}$ のタイミング参照レベル, V_{DD} の 10% ~ 90% の入力パルスレベル, 指定の I_{OL}/I_{OH} の出力負荷および 30pF の負荷容量を前提としています。
11. V_{DD} 波形上の任意の点で測定した傾きです。
12. このパラメーターは特性によって保証され、量産中にテストされません。
13. 設計で保証されています。ディープパワーダウンモードのタイミングについては **Figure 20** を参照してください。
14. 設計で保証されています。ハイバネートモードのタイミングについては **Figure 22** を参照してください。

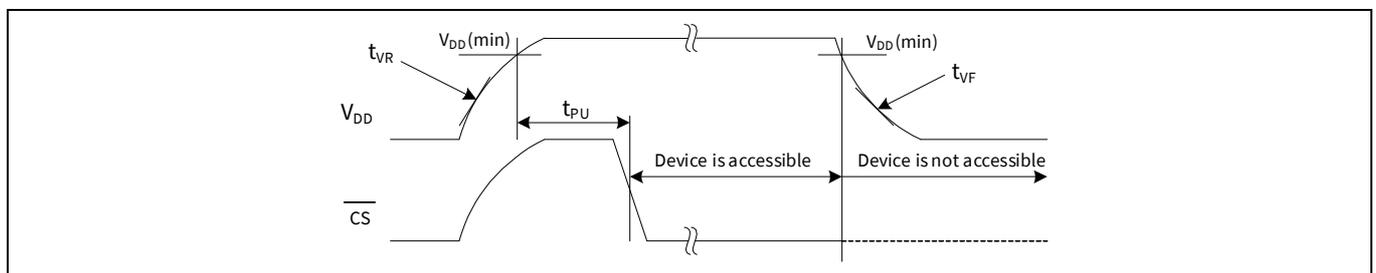


Figure 25 パワーサイクル タイミング

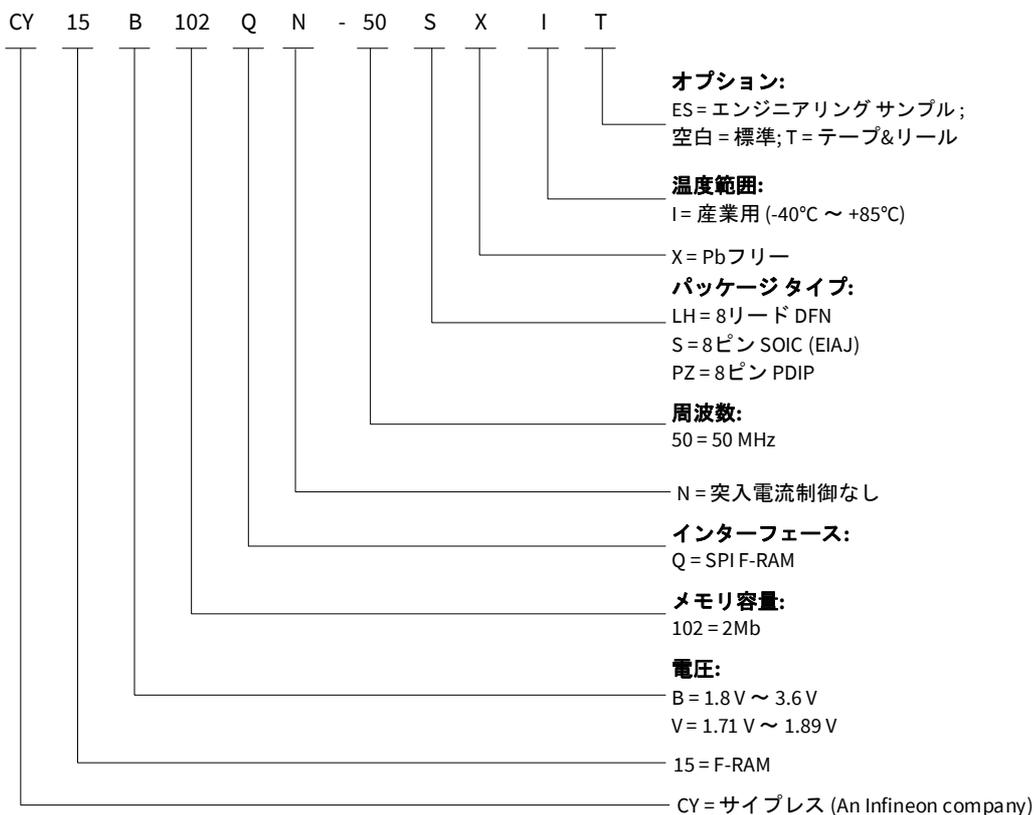
14 注文情報

Table 17 注文情報

注文コード	デバイス ID	パッケージ図	パッケージタイプ	動作範囲
CY15V102QN-50SXI	7F7F7F7F7F7FC22A04	001-85261	8 ピン SOIC (EIAJ)	産業用
CY15V102QN-50PZXI	7F7F7F7F7F7FC22A04	51-85075	8 ピン PDIP	産業用
CY15V102QN-50LHXI	7F7F7F7F7F7FC22A04	001-85579	8 リード DFN	産業用
CY15B102QN-50SXI	7F7F7F7F7F7FC22A00	001-85261	8 ピン SOIC (EIAJ)	産業用
CY15B102QN-50PZXI	7F7F7F7F7F7FC22A00	51-85075	8 ピン PDIP	産業用
CY15B102QN-50LHXI	7F7F7F7F7F7FC22A00	001-85579	8 リード DFN	産業用

これらすべての製品は鉛フリーです。在庫状況につきましては、最寄りの当社の販売代理店にお問い合わせください。

14.1 注文コードの定義



パッケージ図

15 パッケージ図

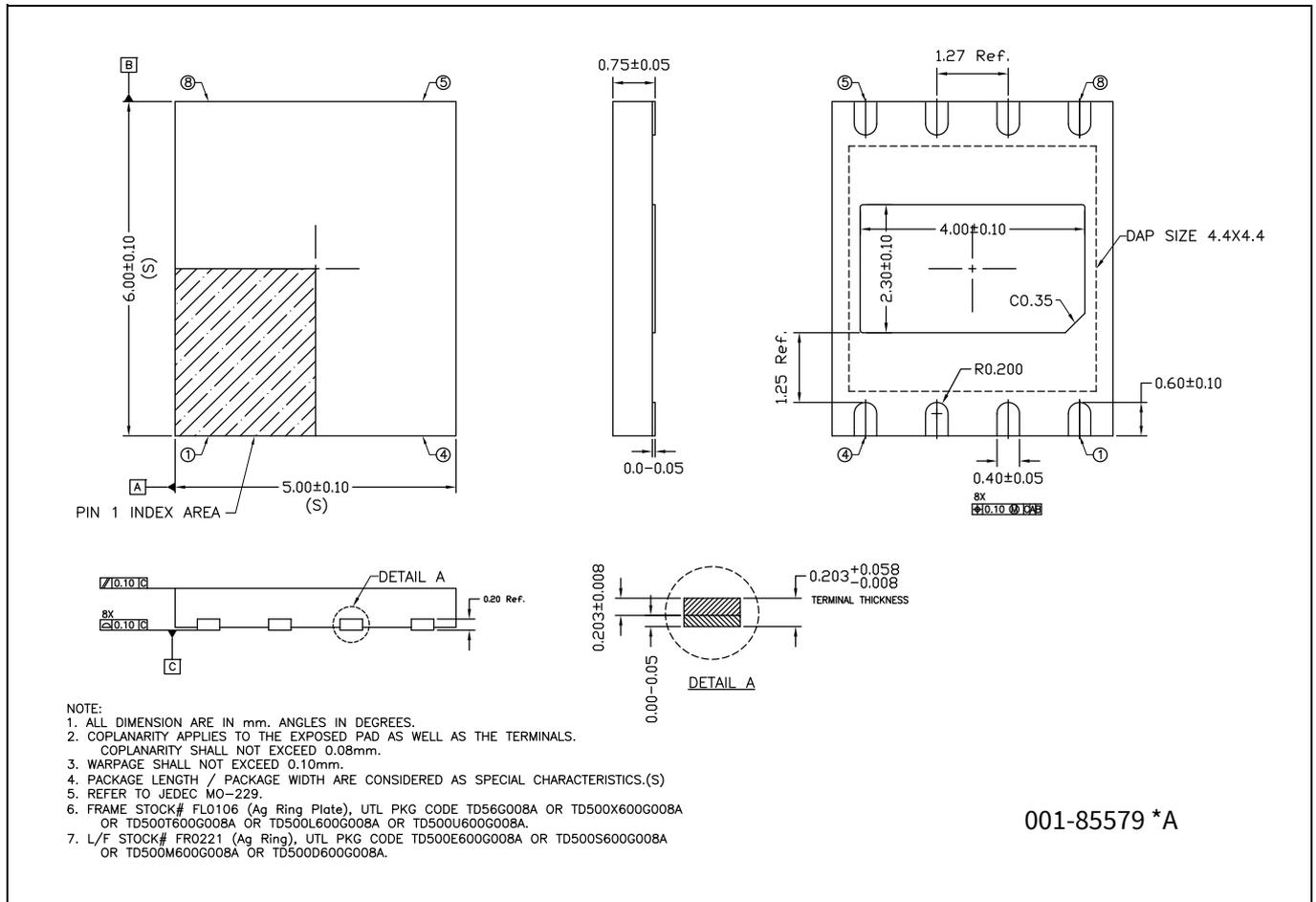


Figure 26 8ピンDFN (5 mm × 6 mm × 0.75 mm) パッケージ外形図 , 001-85579

2M ビット EXCELON™ LP 強誘電体 RAM (F-RAM)
 シリアル (SPI), 256K × 8, 40MHz, 産業用



パッケージ図

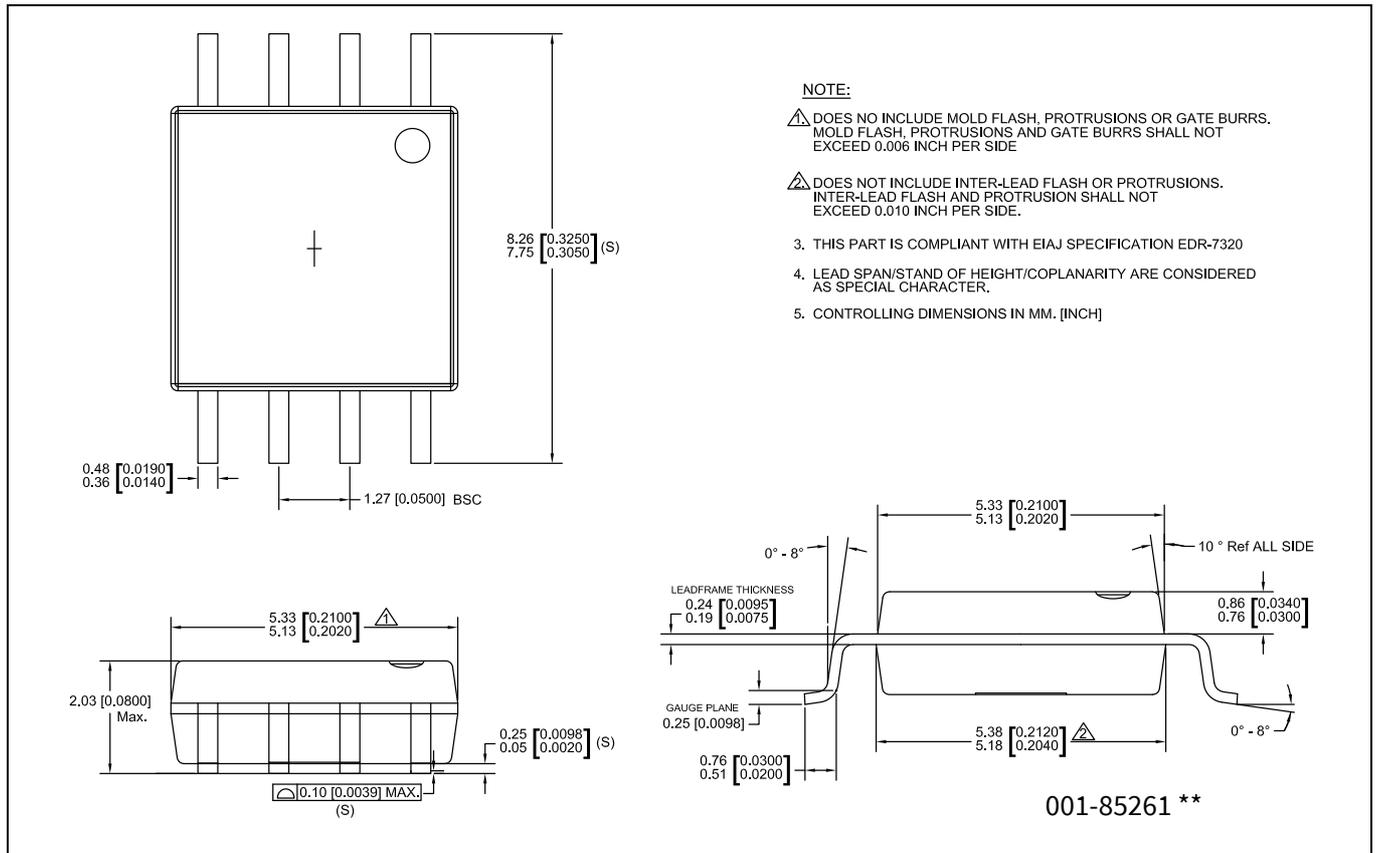


Figure 27 8ピンSOIC(208mil)パッケージ外形図, 001-85261

パッケージ図

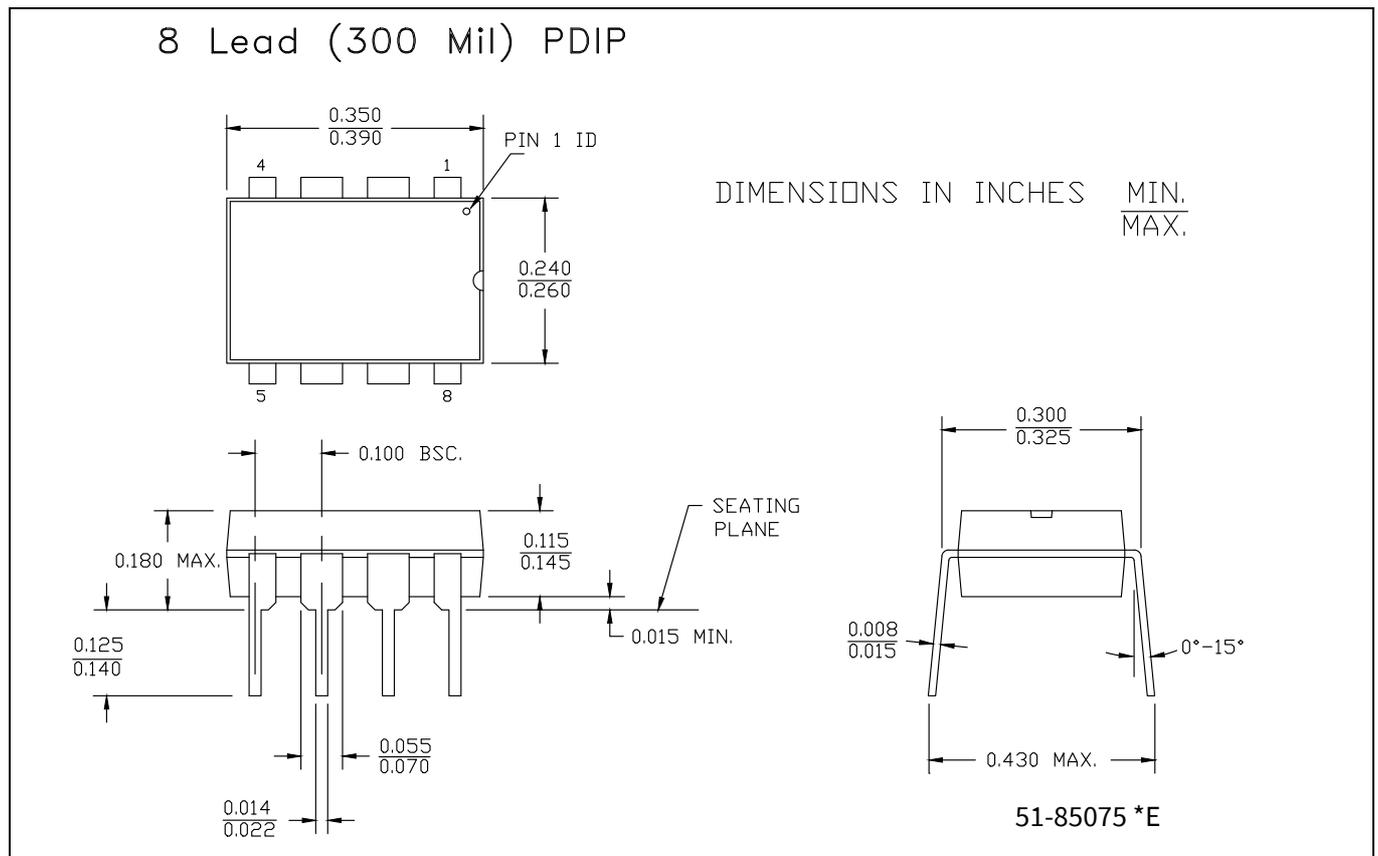


Figure 28 8ピンPDIP(300mil)パッケージ外形図, 51-85075

略語

16 略語

Table 18 本書で使用される略語

略語	説明
CPHA	clock phase (クロック位相)
CPOL	clock polarity (クロック極性)
DFN	dual flat no-lead
EEPROM	Electrically Erasable Programmable Read-Only Memory (電氣的消去書き込み可能な読み出し専用メモリ)
EIA	electronic industries alliance (米国電子工業会)
F-RAM	ferroelectric random access memory (強誘電体ランダム アクセス メモリ)
I/O	input/output (入力 / 出力)
JEDEC	Joint Electron Devices Engineering Council (半導体技術協会)
JESD	JEDEC 準拠
LSb	least significant bit (最下位ビット)
MSb	most significant bit (最上位ビット)
PDIP	plastic dual In-line package (プラスチック製デュアル インライン パッケージ)
RoHS	Restriction of Hazardous Substances (特定有害物質使用制限指令)
SOIC	small outline integrated circuit (小型集積回路)
SPI	serial peripheral interface (シリアル周辺機器インターフェース)

本書の表記法

17 本書の表記法

17.1 測定単位

Table 19 測定単位

記号	単位
°C	摂氏温度
Hz	ヘルツ z
kHz	キロヘルツ
kΩ	キロオーム
Mbit	メガビット
MHz	メガヘルツ
μA	マイクロアンペア
μF	マイクロファラド
μs	マイクロ秒
mA	ミリアンペア
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラド
V	ボルト
W	ワット

改訂履歴

改訂履歴

Document version	Date of release	Description of changes
**	2020-11-17	これは英語版 002-26764 Rev. *B を翻訳した日本語版 002-28883 Rev. ** です。
*A	2022-07-12	これは英語版 002-26764 Rev. *C を翻訳した日本語版 002-28883 Rev. *A です。