



请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

三 PLL 串行可编程闪存可编程时钟发生器

特性

- 三个集成锁相环 (PLL)
- 超宽的分频计数器 (8 位 Q, 11 位 P 和 7 位后分频器)
- 提高线性晶体的负载电容
- 从外部编程器可以编程闪存
- 现场可编程
- 低抖动、高精度输出
- 电压管理选择 (关闭、OE、暂停)
- 可配置晶体驱动强度
- 通过三个外部 LVTTTL 输入选择频率
- 工作电压为 3.3 V
- 16 引脚 TSSOP 封装
- CyClocksRT™ 软件支持

高级功能

- 2 线串行接口, 用于系统内的配置
- 可配置输出缓冲区
- 数字 VCXO
- 高频率 LVPECL 输出 (仅适用于 CY22394)
- 3.3/2.5 V 输出 (仅针对 CY22395)
- NiPdAu 引脚焊点 (CY223931)

功能说明

CY22393、CY22394 和 CY22395 是专门为升级现有的 CY22392 器件而设计的器件系列。这些器件的特性与 CY22392 的特性相同, 但提供高级特性为了满足应用的更多要求。

时钟系列具有三个 PLL; 与参考结合时, 这些 PLL 允许将多达四个独立的频率输出到六个引脚上。完全可以对这三个 PLL 进行编程。

CY223931 是具有 NiPdAu 引脚焊点的 CY22393。

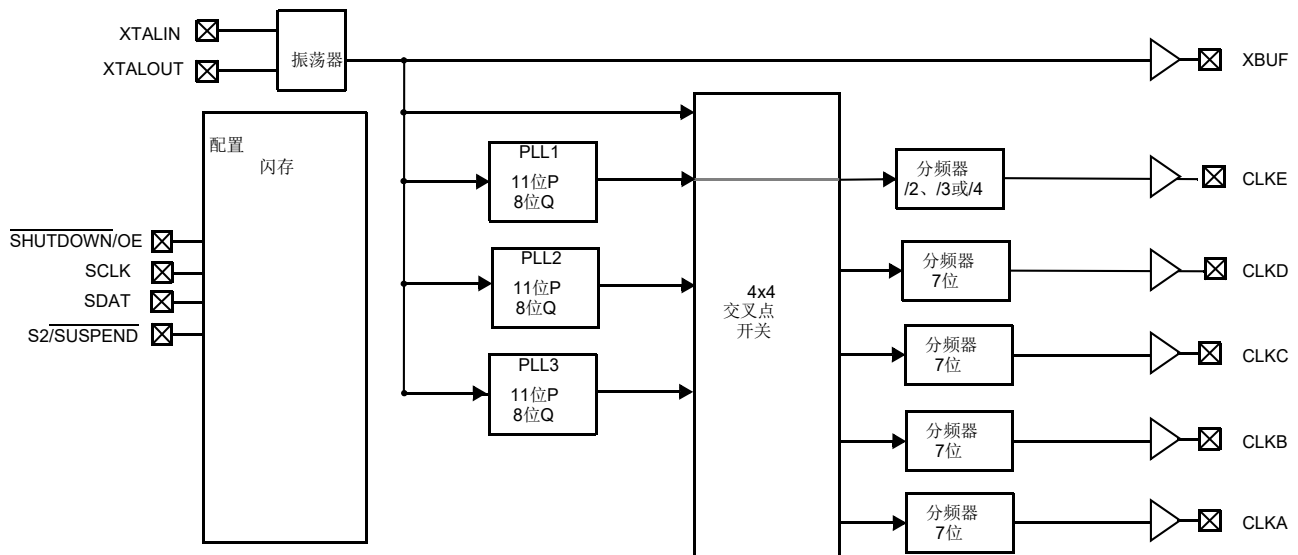
要获取相关文档的完整列表, 请单击[此处](#)。

选择指南

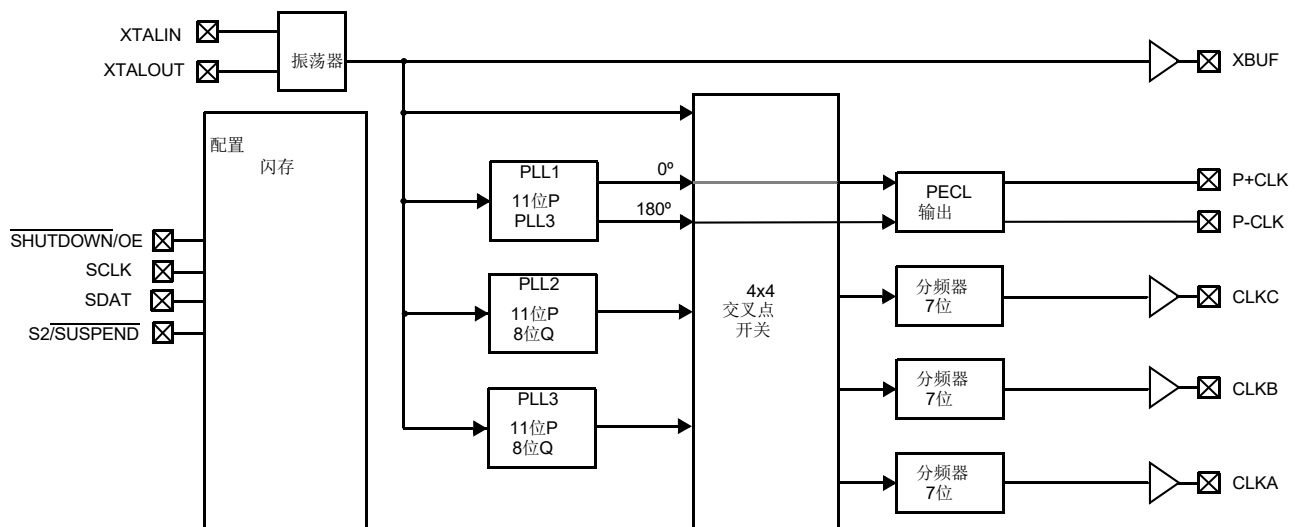
器件型号	输出	输入频率范围	输出频率范围	特性
CY22393_C	6 CMOS	8 MHz – 30 MHz (外部晶振) 1 MHz – 166 MHz (参考时钟)	高达 200 MHz	商业级温度
CY22393_I	6 CMOS	8 MHz – 30 MHz (外部晶振) 1 MHz – 166 MHz (参考时钟)	高达 166 MHz	工业级温度
CY223931_I	6 CMOS	8 MHz – 30 MHz (外部晶振) 1 MHz – 166 MHz (参考时钟)	高达 166 MHz	工业级温度
CY22394_C	1 PECL/ 4 CMOS	8 MHz – 30 MHz (外部晶振) 1 MHz – 166 MHz (参考时钟)	100 MHz – 400 MHz (PECL) 高达 200 MHz (CMOS)	商业级温度
CY22394_I	1 PECL/ 4 CMOS	8 MHz – 30 MHz (外部晶振) 1 MHz – 150 MHz (参考时钟)	125 MHz – 375 MHz (PECL) 高达 166 MHz (CMOS)	工业级温度
CY22395_C	4 LVCMOS/ 1 CMOS	8 MHz – 30 MHz (外部晶振) 1 MHz – 166 MHz (参考时钟)	高达 200 MHz (3.3 V) 高达 133 MHz (2.5 V)	商业级温度
CY22395_I	4 LVCMOS/ 1 CMOS	8 MHz – 30 MHz (外部晶振) 1 MHz – 150 MHz (参考时钟)	高达 166 MHz (3.3 V) 高达 133 MHz (2.5 V)	工业级温度



逻辑框图 — CY22393 和 CY223931

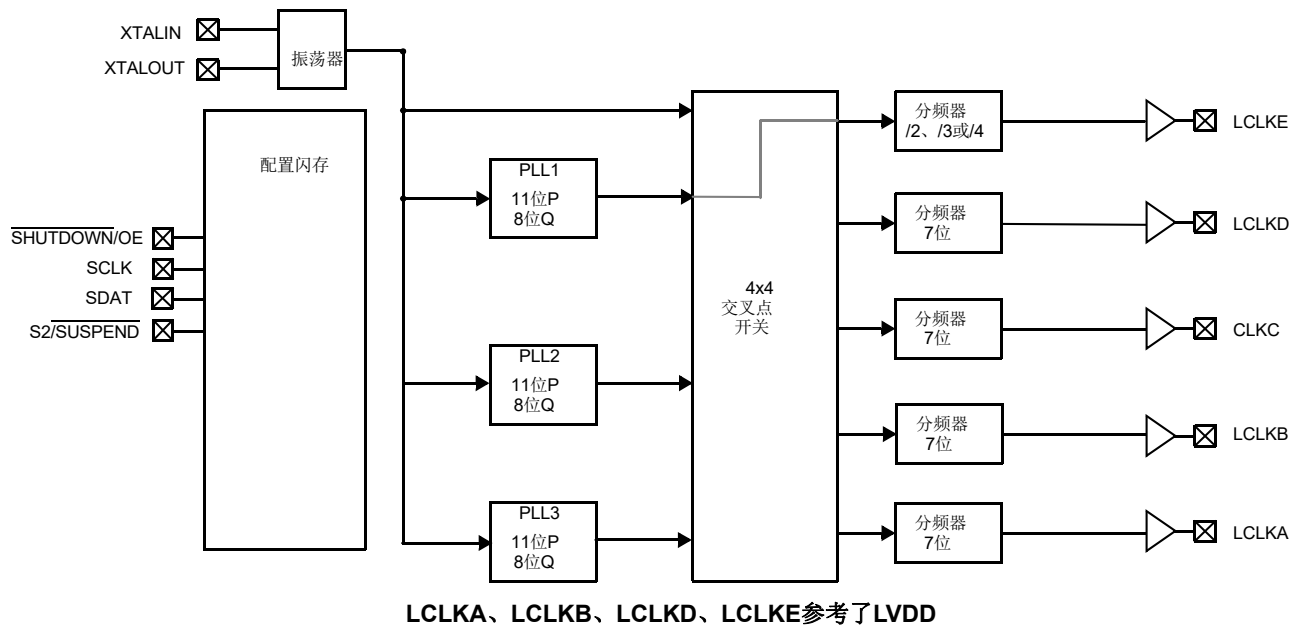


逻辑框图 — CY22394





逻辑框图 — CY22395





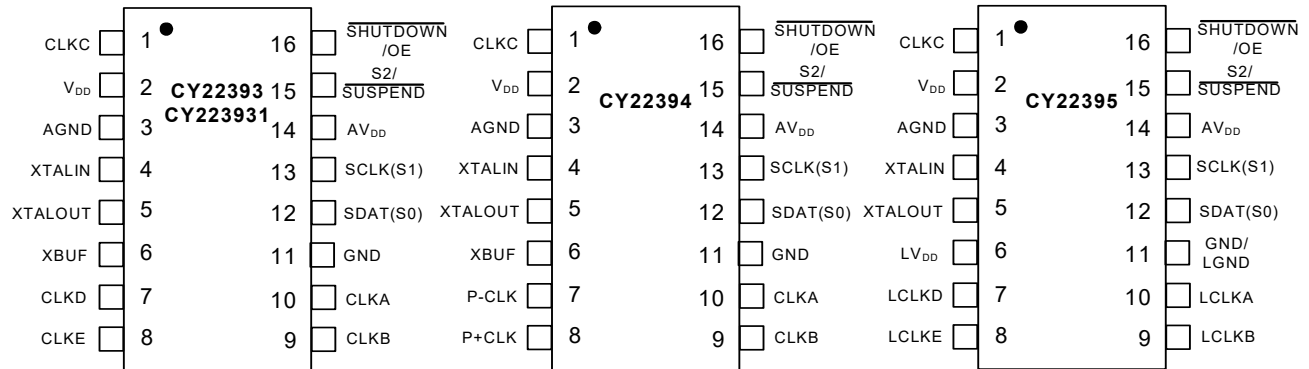
目录

引脚分布	5	数据帧	12
引脚定义	5	确认脉冲	12
可配置 PLL	6	写操作	13
通用输入	6	写入单独字节	13
晶振输入	6	写入多个字节	13
晶振的驱动电平和功耗	6	读操作	13
数字 VCXO	6	当前地址读取	13
输出配置	6	随机读取	13
节能特性	6	连续读取	13
改善抖动	7	串行编程接口时序	14
供电电压序列	7	串行编程接口时序规范	14
CyClocksRT 软件	7	最大绝对值条件	15
结温限制	7	工作条件	15
动态更新	7	建议的晶体规范	15
存储器位图定义	8	3.3 V 电气特性	16
CIk{A-D}_Div[6:0]	8	2.5 V 电气特性 (仅针对 CY22395) [6]	16
CIkE_Div[1:0]	8	热阻	16
CIk*_FS[2:0]	8	3.3 V 切换特性	17
Xbuf_OE	8	2.5 V 切换特性 (仅针对 CY22395) [12]	17
408-943-2600	8	切换波形	18
CIk*_ACAdj[1:0]	8	测试电路	19
CIk*_DCAdj[1:0]	8	订购信息	20
PLL*_Q[7:0]	8	可行性配置	20
PLL*_P[9:0]	8	封装图	22
PLL*_P	8	缩略语	23
PLL*_LF[2:0]	9	文档规范	23
PLL*_En	9	测量单位	23
DivSel	9	文档修订记录	24
OscCap[5:0]	9	销售、解决方案和法律信息	25
OscDrv[1:0]	9	全球销售和 design 支持	25
预留	9	产品	25
串行编程位图 — 总结表	10	PSoC [®] 解决方案	25
串行总线编程协议和时序	11	赛普拉斯开发者社区	25
CY22393/931/94/95 的默认启动条件	11	技术支持	25
器件地址	11		
数据有效	12		



引脚分布

图 1. 引脚图 — 16 引脚 TSSOP CY22393/CY223931/CY22394/CY22395



引脚定义

名称	引脚编号 CY22393 CY223931	引脚编号 CY22394	引脚编号 CY22395	说明
CLKC	1	1	1	可配置时钟输出 C
V _{DD}	2	2	2	供电电压
AGND	3	3	3	模拟地
XTALIN	4	4	4	参考晶体输入或外部参考时钟输入
XTALOUT	5	5	5	参考晶振反馈
XBUF	6	6	N/A	缓冲后的参考时钟输出
LV _{DD}	N/A	N/A	6	低电压时钟输出电源
CLKD 或 LCLKD	7	N/A	7	可配置时钟输出 D；参考 LV _{DD} 的 LCLKD
P- CLK	N/A	7	N/A	LV PECL 输出 ^[1]
CLKE 或 LCLKE	8	N/A	8	可配置时钟输出 E；参考 LV _{DD} 的 LCLKE
P+ CLK	N/A	8	N/A	LV PECL 输出 ^[1]
CLKB 或 LCLKB	9	9	9	可配置时钟输出 B；参考 LV _{DD} 的 LCLKB
CLKA 或 LCLKA	10	10	10	可配置时钟输出 A；参考 LV _{DD} 的 LCLKA
GND/LGND	11	11	11	接地
SDAT (S0)	12	12	12	串行端口数据。在启动过程中，S0 值被锁存
SCLK (S1)	13	13	13	串行端口时钟。在启动过程中，S1 值被锁存
A _{VDD}	14	14	14	模拟供电
S2/SUSPEND	15	15	15	用于控制频率的通用输入；位 2。可选，挂起模式控制输入
SHUTDOWN/OE	16	16	16	使输出处于三态，并且该引脚为低电平时关闭芯片。或仅使输出处于三态，并且在该输出为低电平时不关闭芯片。

注释:

1. LVPECL 输出需要一个外部终端网络。



可配置 PLL

PLL1 生成的频率等于参考频率，该参考在 PLL 反馈环 (P) 中由一个八位分频器 (Q) 分频后再与一个 11 位分频器相乘得到的频率。PLL1 的输出被发送到两个位置：交叉点开关和 PECL 输出 (CY22394)。另外，PLL1 的输出被发送到一个 /2、/3 或 /4 的同步后分频器，该分频器通过 CLKE 输出。通过使用串行编程或外部 CMOS 输入 S0、S1 以及 S2 来更改 PLL1 的频率。有关详细信息，请参考通用输入一节。

PLL2 生成的频率等于参考频率，该参考频率在 PLL 反馈环 (P) 中由一个八位分频器 (Q) 分频后再与一个 11 位分频器相乘得到。PLL2 的输出被发送到交叉点开关。使用串行编程更改 PLL2 的频率。

PLL3 生成的频率等于参考频率，该参考频率在 PLL 反馈环 (P) 中由一个八位分频器 (Q) 分频后再与一个 11 位分频器相乘得到。PLL3 的输出被发送到交叉点开关。使用串行编程更改 PLL3 的频率。

通用输入

S2 是一个通用输入，通过编程该输入可以设置两个不同的频率。根据通用输入，各选项可变，包括：PLL1 的频率、CLKB 的输出分频器以及 CLKA 的输出分频器。

两个频率设置包含在一个八行频率表内。在启动过程中，SCLK (S1) 和 SDAT (S0) 引脚的值被锁存，并作为该阵列中其他两个索引使用。

CLKA 和 CLKB 具有七位分频器指向两个可编程设置 (寄存器 0 和寄存器 1) 中的一个。这两个时钟共享着一个寄存器控制，并且都被设置为寄存器 0 或者都被设置为寄存器 1。

例如，可以编程器件，以使用 S0、S1 和 S2 (0,0,0 到 1,1,1) 来控制 PLL1 上 P 和 Q 的八个不同值。对于每个 PLL1 上的 P 和 Q 设置，可以选择两个 CLKA 和 CLKB 分频器寄存器中的一个。由 S0、S1 或 S2 切换所导致的任何频率改变都能提供无故障保证。

晶振输入

由于输入晶体振荡器具有较高的灵活性和功能，因此，它对该系列器件的作用非常大。

振荡器变频器具有可编程驱动强度。因此，它提供了与多个制造商的振荡器的最大兼容性。应该使用基本模式下的并联谐振晶振。

为了降低外部组件成本，将输入负载电容放置在芯片上。这些电容器是真正的平行板电容器，提供了超线性功能。使用这些电容器可降低非线性负载电容与负载、偏压、电源和温度的变化交互时可能发生的频率移位。不能将非线性 (FET 门控) 晶体负载电容器用于 MPEG、通信或对绝对频率要求有着较高敏感度的其他应用中。

负载电容器的大小由一个可编程寄存器中的六位值确定。可将负载电容值设置在 6 pF ~ 30 pF 的晶体总负载范围内，分辨率为 0.375 pF。典型的晶振具有处于 12 pF ~ 18 pF 范围内的 C_L 规范。

对于已驱动的时钟输入，输入负载电容器能被完全旁路。这样可使时钟芯片接受高达 166 MHz 的驱动频率输入。如果应用需要一个驱动输入，那么必须保证 XTALOUT 为悬空状态。

晶振的驱动电平和功耗

指定了晶振，以接收最大驱动电平。通常，晶振越大可以接受的电源也越大。对于一个电压摆幅而言，晶振的功耗与 ESR 和晶振频率的平方成正比 (请注意，实际上的 ESR 有时候比晶振制造商所指定的值低很多。) 功耗大致也与 C_L 的平方成正比。

通过使用具有低 C_L 和低 R_1 (ESR) 的频率降低的晶振，可使功耗下降到低于表中的 DL 规范。

数字 VCXO

串行编程接口用于动态更改晶振上电容负载值。晶振负载电容的更改与参考频率的更改相对应。

对应赛普拉斯指定的特殊可调的晶振，调试电容的范围为 +150 ppm ~ -150 ppm。

请注意，对参考频率进行调整会影响相关 PLL 上的所有频率，因为所有频率都由一个参考频率派生得到。

输出配置

在正常操作条件下，共有四个内部频率源，这些频率源通过一个可编程的交叉点开关被路由到全部四个可编程的七位输出分频器上。这四个频率源是：参考、PLL1、PLL2 和 PLL3。下面对每一个输出进行介绍。

CLKA 的输出从交叉点开关生成，然后经过一个可编程的七位后分频器。这个七位的后分频器从两个可编程寄存器中的一个来获取它的值。更多有关信息，请查看第 6 页上的通用输入。

CLKB 的输出从交叉点开关生成，然后经过一个可编程的七位后分频器。这个七位后分频器从两个可编程寄存器中的一个来获取它的值。更多有关信息，请查看第 6 页上的通用输入。

CLKC 的输出从交叉点开关生成，然后经过一个可编程的七位后分频器。这个七位后分频器从一个可编程寄存器中获取它的值。

CLKD 的输出从交叉点开关生成，然后经过一个可编程的七位后分频器。这个七位后分频器从一个可编程寄存器中来获取它的值。对于 CY22394，CLKD 被输出，作为参考 CLKE 的 LV PECL 时钟的互补版本，并旁路交叉点开关和七位后分频器。

CLKE 的输出是从 PLL1 生成并经过可编程为 /2、/3 或 /4 的后分频器而得到。对于 CY22394，CLKE 被输出，作为低电压 PECL 时钟使用，旁路通过后分频器。

XBUF 是被缓冲的参考时钟输出。

设计好的这个时钟输出可驱动一个独立的负载点，其集成的总负载电容达 15 pF。虽然使用合适的终端设备仍能够驱动多个负载，但不建议执行这样的操作。

节能特性

SHUTDOWN/OE 输入在被拉为低电平时将使输出进入三态。如果使能系统关闭功能，引脚电平下降可使 PLL、计数器、参考振荡器及其他运行中的组件关闭。 V_{DD} 引脚上产生的电流小于 5 mA (典型值)。退出关闭状态后需要重新锁定 PLL。

可对 S2/SUSPEND 输入进行配置，用以在低电平下关闭一套可指定的输出和 / 或 PLL。在任意组合中，所有 PLL 和输出被关闭。唯一的限制是，如果 PLL 被关闭，由其派生的所有输出也必须被



关闭。PLL 暂停将使所有相关逻辑关闭，但暂停一个输出仅会造成三态。

对于串行接口，每一个 PLL 和 / 或输出单独被禁止。这样便提供了对功耗的控制。

改善抖动

抖动优化控制对于缓解由相同时钟同时切换而造成的问题和过度抖动非常有用。如果一个 PLL 驱动多个输出，会选择 PLL 的负相位作为其中一个输出（CLKA-CLKD）。这样可以防止输出边沿的校准，以实现抖动优化。

供电电压序列

对于具有多个 V_{DD} 引脚的器件，不需要供电电压序列。该器件不完全运行，直到所有 V_{DD} 引脚被拉到第 15 页上的工作条件中指定的电压为止。

要将所有接地连接到同一个接地层。

CyClocksRT 软件

CyClocksRT 是我们公司的第二代软件应用，为用户配置该系列器件提供了方便。易用接口为该系列产品提供了对各种特性（包括：输入频率、PLL 和输出频率以及丰富的功能选项，以及其他特性）的控制。它检查了数据手册中的频率范围限制，并且功能调试则被自动使用。CyClocksRT 也具有电压计算能力，可通知给您特定配置的功耗。您可以从 www.cypress.com 网站上免费下载包含 CyClocksRT 的 CyberClocks 拷贝。

CyClocksRT 用于生成 P、Q 和串行编程中所使用的分频器值。具有多个本数据手册中未介绍的内部频率规则，但需要这些规则以器件能够进行正常操作。通过使用 CyClocksRT 的最新版本来检查这些规则。

结温限制

可以编程该系列器件，这样最大结温值将超过结温限制。封装 q_{JA} 为 115°C/W 。使用 CyClocksRT 功耗计算功能来验证已编程的配置是否满足结温和封装功耗最大额定值。

动态更新

输出分频器寄存器与输出时钟不同步。更改有效输出的分频器值可能会导致在该输出上发生瞬时脉冲。

PLL P 和 Q 数据大小为三个字节。当确认这些字节时，每个字节均有效，所以改变有效 PLL 的 P 和 Q 数据很可能会使 PLL 将它的值处于未确定的状态下。因此，在更新过程中应关闭被编程的 PLL。通过将 PLL*_{En} 位设置为低可以实现该操作。

PLL1、CLKA 和 CLKB 各有多个提供数据的寄存器。要安全地对这些资源进行编程，始终要编程一个无效寄存器，然后将工作状态切换到该寄存器。这样，这些资源在编程过程中可以处于活动状态。

如果 $\overline{\text{SHUTDOWN/OE}}$ 引脚为低电平，则串行接口仍将处于活动状态，因为串行接口逻辑使用静态组件，并且它是完全自定时的。当输入变化时，器件不满足 I_{DDs} 电流限制。



存储器位图定义

Clk{A-D}_Div[6:0]

四个主输出时钟（CLKA–CLKD）都有一个七位线性输出分频器。通过将所需分频器的值编程到该寄存器内，可以使用设置在 1 ~ 127 的范围内的分频器。奇分频值被占空比自动修正。设置分频值为零会使分频器断电，并强制使输出处于三态。

CLKA 和 CLKB 共有两个分频器寄存器，通过 DivSel 位选择，DivSel 位则由 S2、S1 和 S0 选择。这样能够动态更改输出分频器值。对于 CY22394 器件，ClkD_Div = 000001。

ClkE_Div[1:0]

CLKE 具有一个简单的分频器（请参见表 1）。对于 CY22394，设置 ClkE_Div = 01。

表 1. ClkE 分频器

ClkE_Div[1:0]	ClkE 输出
00	禁止
01	PLL1 0° 相位 /4
10	PLL1 0° 相位 /2
11	PLL1 0° 相位 /3

Clk*_FS[2:0]

四个主输出时钟（CLKA–CLKD）都有一个三位代码，用于确定输出分频器的时钟源。有效的时钟源为：参考时钟、PLL1、PLL2 以及 PLL3。每个 PLL 提供了正相位和负相位输出，因此共有七个时钟源（请参见表 2）。请注意，相位是 PLL 输出相位的相对量值。在输出端不存在绝对的相位关系。

表 2. 时钟源

Clk*_FS[2:0]	时钟源
000	参考时钟
001	预留
010	PLL1 0° 相位
011	PLL1 180° 相位
100	PLL2 0° 相位
101	PLL2 180° 相位
110	PLL3 0° 相位
111	PLL3 180° 相位

Xbuf_OE

为高电平时，该位将使能 XBUF 输出。对于 CY22395，Xbuf_OE = 0。

408-943-2600

该位选择了 SHUTDOWN/OE 引脚的功能。当该位为高电平时，引脚为低电平有效关闭控制。当该位为低电平时，该引脚为高电平有效输出使能控制。

Clk*_ACAdj[1:0]

这些位修改了输出预驱动器，从而改变占空比。名义上这些位被设置为 01，如果设置为更高的值会使占空比变得更高。名义上设置的性得到保证。

Clk*_DCAdj[1:0]

这些位修改了输出的 DC 驱动。名义上设置的性得到保证。

表 3. 输出驱动强度

Clk*_DCAdj[1:0]	输出驱动强度
00	额定值的 -30%
01	额定值
10	额定值的 +15%
11	额定值的 +50%

PLL*_Q[7:0]

PLL*_P[9:0]

PLL*_P

这是 8 位 Q 值和 11 位 P 值，用于确定 PLL 频率。公式为：

$$F_{PLL} = F_{REF} \times \left(\frac{P_T}{Q_T} \right)$$

$$P_T = (2 \times (P + 3)) + P_0$$

$$Q_T = Q + 2$$

公式 1



PLL*_LF[2:0]

这些位调整环路滤波器，以优化 PLL 的稳定性。表 4 可用于保证稳定性。然而，CyClocksRT 使用更复杂的算法来设置用于增强抖动性能的环路滤波器。使用 CyClocksRT 中打印预览功能来确定电荷泵设置，从而优化抖动性能。

表 4. 回路滤波器设置

PLL*_LF[2:0]	P _T 最小值	P _T 最大值
000	16	231
001	232	626
010	627	834
011	835	1043
100	1044	1600

PLL*_En

为高电平时，该位使能 PLL。如果 PLL2 或 PLL3 未被使能，那么用于选择被禁用的 PLL 的任何输出必须具有一个设置为零的分频器（关闭）。因为 PLL1_En 位是动态的，所以当 PLL1_En 进入低电平时，内部逻辑会自动关闭单独的输出。

DivSel

该位控制使用于 CLKA 和 CLKB 分频器的寄存器。

OscCap[5:0]

该位控制振荡器的内部电容负载。有效晶体负载电容大概为：

$$C_{LOAD} = 6\text{pF} + (\text{OscCap} \times 0.375\text{pF}) \quad \text{公式 2}$$

对于外部参考时钟，设置为零。

OscDrv[1:0]

这些位控制着晶体振荡器增益设置。这些位始终要根据表 5 来设置。各参数为晶振频率、内部晶振寄生电阻（等效串行电阻）以及晶振启动过程中设置的 OscCap（当上电或退出关闭状态时发生）。如有疑问，请使用下一个更高的设置。

表 5. 晶体振荡器增益设置

OscCap	00H–20H		20H–30H		30H–40H	
晶振频率 \ 电阻	30 Ω	60 Ω	30 Ω	60 Ω	30 Ω	60 Ω
8–15 MHz	00	01	01	10	01	10
15–20 MHz	01	10	01	10	10	10
20–25 MHz	01	10	10	10	10	11
25–30 MHz	10	10	10	11	11	NA

对于外部参考，请使用表 6。

表 6. 外部参考的 OscDrv

外部频率 (MHz)	1–25	25–50	50–90	90–166
OscDrv[1:0]	00	01	10	11

预留

必须将这些位编程为低，以使器件能够正常工作。



串行编程位图 — 总结表

地址	DivSel	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	
08H	0	ClkA_FS[0]	ClkA_Div[6:0]							
09H	1	ClkA_FS[0]	ClkA_Div[6:0]							
0AH	0	ClkB_FS[0]	ClkB_Div[6:0]							
0BH	1	ClkB_FS[0]	ClkB_Div[6:0]							
0CH	-	ClkC_FS[0]	ClkC_Div[6:0]							
0DH	-	ClkD_FS[0]	ClkD_Div[6:0]							
0EH	-	ClkD_FS[2:1]		ClkC_FS[2:1]		ClkB_FS[2:1]		ClkA_FS[2:1]		
0FH	-	Clk{C,X}_ACAdj[1:0]		Clk{A,B,D,E}_ACAdj[1:0]		PdnEn	Xbuf_OE	ClkE_Div[1:0]		
10H	-	ClkX_DCAdj[1]		Clk{D,E}_DCAdj[1]		ClkC_DCAdj[1]		Clk{A,B}_DCAdj[1]		
11H	-	PLL2_Q[7:0]								
12H	-	PLL2_P[7:0]								
13H	-	预留	PLL2_En	PLL2_LF[2:0]			PLL2_PO	PLL2_P[9:8]		
14H	-	PLL3_Q[7:0]								
15H	-	PLL3_P[7:0]								
16H	-	预留	PLL3_En	PLL3_LF[2:0]			PLL3_PO	PLL3_P[9:8]		
17H	-	Osc_Cap[5:0]						Osc_Drv[1:0]		

地址	S2 (1,0)	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
40H	000	PLL1_Q[7:0]							
41H		PLL1_P[7:0]							
42H		DivSel	PLL1_En	PLL1_LF[2:0]			PLL1_PO	PLL1_P[9:8]	
43H	001	PLL1_Q[7:0]							
44H		PLL1_P[7:0]							
45H		DivSel	PLL1_En	PLL1_LF[2:0]			PLL1_PO	PLL1_P[9:8]	
46H	010	PLL1_Q[7:0]							
47H		PLL1_P[7:0]							
48H		DivSel	PLL1_En	PLL1_LF[2:0]			PLL1_PO	PLL1_P[9:8]	
49H	011	PLL1_Q[7:0]							
4AH		PLL1_P[7:0]							
4BH		DivSel	PLL1_En	PLL1_LF[2:0]			PLL1_PO	PLL1_P[9:8]	
4CH	100	PLL1_Q[7:0]							
4DH		PLL1_P[7:0]							
4EH		DivSel	PLL1_En	PLL1_LF[2:0]			PLL1_PO	PLL1_P[9:8]	
4FH	101	PLL1_Q[7:0]							
50H		PLL1_P[7:0]							
51H		DivSel	PLL1_En	PLL1_LF[2:0]			PLL1_PO	PLL1_P[9:8]	
52H	110	PLL1_Q[7:0]							
53H		PLL1_P[7:0]							
54H		DivSel	PLL1_En	PLL1_LF[2:0]			PLL1_PO	PLL1_P[9:8]	
55H	111	PLL1_Q[7:0]							
56H		PLL1_P[7:0]							
57H		DivSel	PLL1_En	PLL1_LF[2:0]			PLL1_PO	PLL1_P[9:8]	

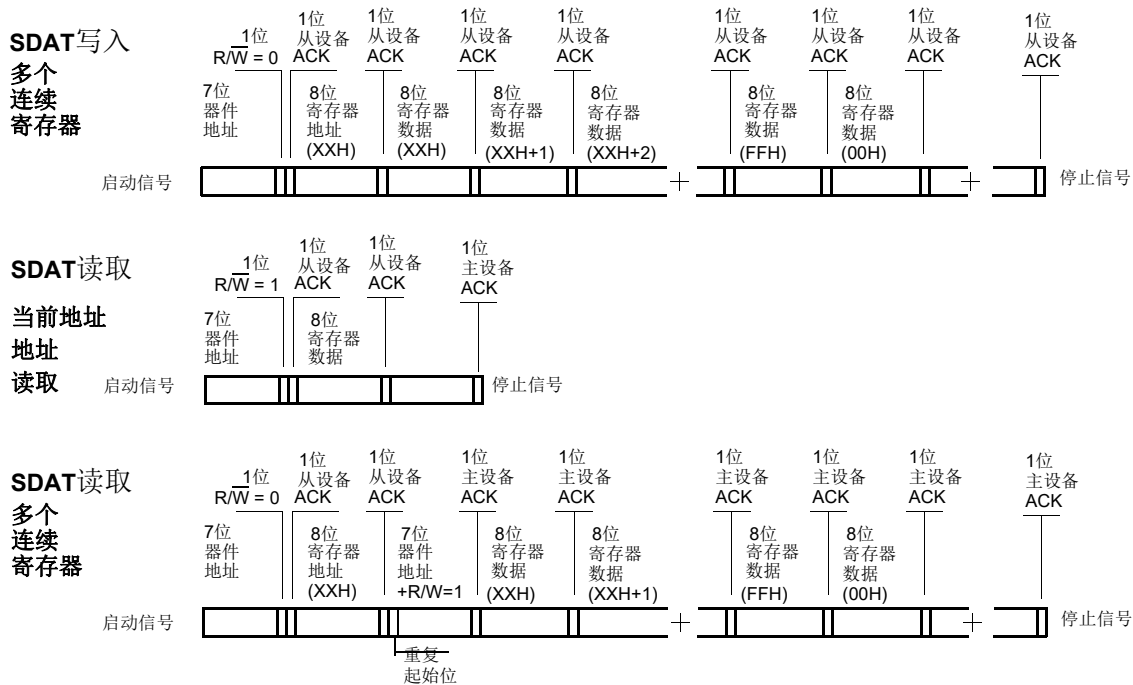


串行总线编程协议和时序

CY22393、CY22394 和 CY22395 具有双线串行接口，用于执行系统内编程。它们使用 SDAT 和 SCLK 引脚，并在读取 / 写入模式中运行速率高达 400 kbit/s。除了数据保留时间外，它们都符合 I²C 总线标准。基本写串行格式如下：

起始位；7 位器件地址 (DA)；R/W 位；从设备的时钟确认 (ACK)；8 位存储器地址 (MA)；ACK；8 位数据；ACK；为 MA+1 传输 8 位数据 (若需要)；ACK；为 MA+2 传输 8 位数据；一直重复操作等等，直到到达停止位为止。基本的串行格式如第 12 页上的图 3 所示。

图 2. 数据帧结构



CY22393/931/94/95 的默认启动条件

每个设备的默认 (编程) 状态通常是由经销商设置的，经销商使用客户指定的 JEDEC 文件编程器件，该文件由 CyClocksRT (赛普拉斯专用的开发软件) 生成。出厂器件是空白且未编程的。在这种状态下，所有位都被设置为 0，所有输出都处于三态状态，并且晶体振荡器电路处于有效状态。

虽然用户可以通过开发自己的子程序来编程任何或所有寄存器 (如下面的页面描述的)，但可能更容易简单地使用 CyClocksRT 来生产所需的寄存器设置文件。

器件地址

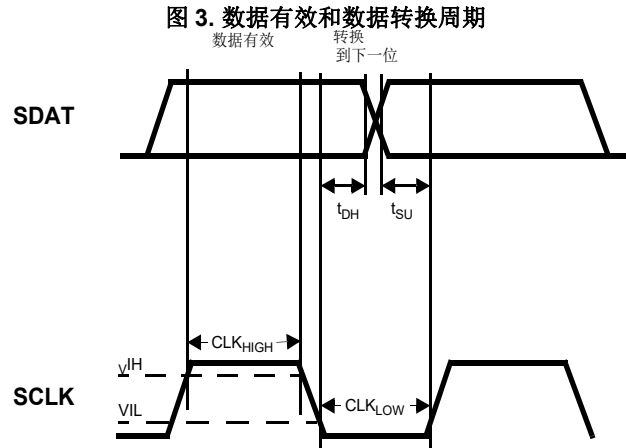
器件地址是一个现场编程过程中配置的 7 位值。通过编程各种器件地址，两个或多个器件被连接到串行接口上，并且可以被独立控制。在器件地址中添加了一个读 / 写位 (与 LSB 相同)，并传输每个起始位后会发送该地址。

默认串行接口地址为 69H，但在您的系统中会有与任何其他器件发生的冲突，使用 CyClocksRT 可以更改它。



数据有效

当时钟为高时，数据有效，并且只有时钟为低（如第 12 页上的图 3 中介绍的）时，才能切换数据。



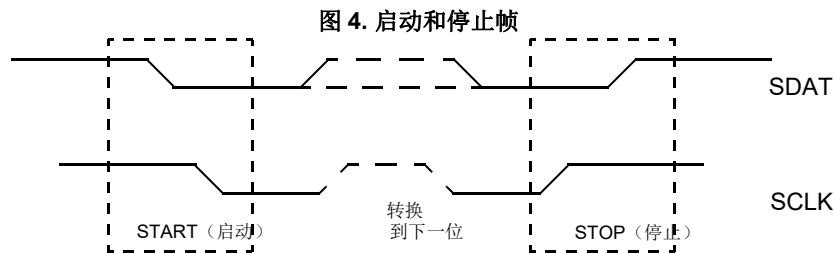
数据帧

每一个新的数据帧都是由 Start（启动）和 stop（停止）序列来表示的，如第 14 页上的图中所示。

Start（启动）序列 — 通过 SCLK 为高、SDAT 为低来表示起始帧。每次起始信号被给定，后面的 8 位数据必须是器件地址（7

位）和一个 $\overline{R/W}$ 位，随后是寄存器地址（8 位）和寄存器数据（8 位）。

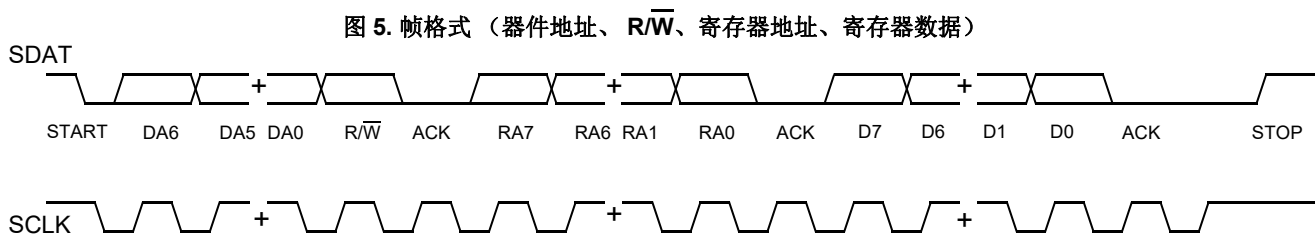
Stop（停止）序列 — 通过 SCLK 为高时 SDAT 会为高来表示停止帧。一个停止帧释放总线，用以在同一个总线上写入到另一个器件，或写入到另一个随机寄存器地址内。



确认脉冲

在写模式过程中，每一次发送八位后 CY22393、CY22394 和 CY22395 都会响应一个确认脉冲。要实现该操作，在 $N \times 9^{\text{th}}$ 时钟

周期内将 SDAT 线保持为低电平，如第 14 页上的图所示。（N = 被传输的字节数）。在读取模式下，数据包被读取后，主设备会生成确认脉冲。





写操作

写入单独字节

只有在主设备的器件地址字后为一个完整的 8 位寄存器地址，并且后面是从设备的确认位（ack = 0/LOW）时，写操作才有效。接下来的八位必须包含用于存储目的的数据字。收到数据字后，从设备响应另一个确认位（ack = 0/LOW），并且主设备必须通过使用停止状态来结束写序列。

写入多个字节

要同时写入多个字节，主设备非但不能使用停止状态结束写序列。还要发送需要存储的多个连续数据字节。与发送第一个字节相同，发送每个字节后从设备会响应一个确认位，并接收数据，直到停止状态响应确认位为止。接收多个字节时，CY22393、CY223931、CY22394 和 CY22395 会内部增加寄存器地址。

读操作

读操作与写操作的启动方式是相同的，但主设备地址的 R/W 位被设置为 '1'（高电平）。有三种基本读操作：当前地址读取、随机读取和连续读取。

当前地址读取

CY22393、CY22394 和 CY22395 具有一个板上地址计数器，该计数器保持比最后字访问的地址大“1”。如果被写入或读取的最后字是 'n'，那么当前地址读操作将返回 'n+1' 位置中存

储的值。当 CY22393、CY22394 和 CY22395 接收具有设置为 '1' 的 R/W 位的从设备地址时，它们会发送一个确认并传输 8 位字。主设备不会确认该传输，但会生成一个停止状态，从而使 CY22393、CY22394 和 CY22395 停止传输。

随机读取

通过随机读取操作，主设备可以访问存储器的所有位置。要执行这种读操作，需要先设置字地址。通过将地址发送到 CY22393、CY22394 和 CY22395（作为写操作的一部分）可以设置字地址。发送字地址后，主设备将在确认后生成一个启动状态。写操作在数据存储地址前停止，而不是在设置内部地址指针前停止。接下来，主设备将重新发送控制字节（其中 R/W 字节被设置为 '1'）。然后 CY22393、CY22394 和 CY22395 发送一个确认，并传输八位字。主设备不会确认该传输，但会生成一个停止状态，从而导致 CY22393、CY22394 和 CY22395 停止传输。

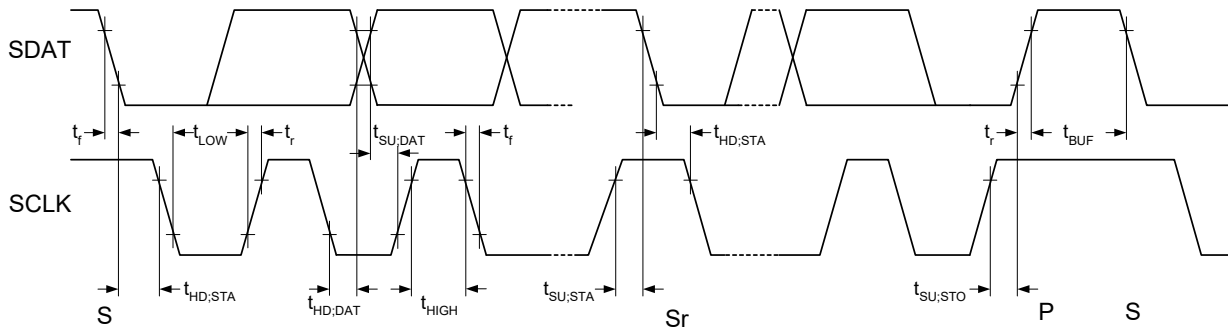
连续读取

连续读取操作与随机读取操作过程是相同的，但在传输第一个 8 位数据字后，主设备将发送一个确认信号，而不是生成一个停止状态。这样可使内部地址指针递增，然后输出下一个 8 位的数据字。通过继续发送确认信号（而不是生成停止状态），主设备将连续读取从设备存储器中的全部内容。请注意：寄存器地址不处于 08H 到 1BH 和 40H 到 57H 的范围内，因此可以读取它，但它不是真正的寄存器并且不包含配置信息。下一个内部地址指针递增后，指针将从指向 FFH 寄存器转到指向 00H 寄存器。



串行编程接口时序

图 6. 串行总线上的时序定义



串行编程接口时序规范

参数	说明	最小值	最大值	单位
f_{SCLK}	SCLK 的频率	—	400	kHz
$t_{\text{HD:STA}}$	保持时间开始条件	0.6	—	μs
t_{LOW}	SCLK 时钟的低周期	1.3	—	μs
t_{HIGH}	SCLK 时钟的高周期	0.6	—	μs
$t_{\text{SU:STA}}$	重复开始条件的设置时间	0.6	—	μs
$t_{\text{HD:DAT}}$	数据保持时间	100	—	ns
$t_{\text{SU:DAT}}$	数据设置时间	100	—	ns
t_{R}	上升时间	—	300	ns
t_{F}	下降时间	—	300	ns
$t_{\text{SU:STO}}$	结束条件的设置时间	0.6	—	μs
t_{BUF}	结束和开始条件之间的无总线时间	1.3	—	μs



最大绝对值条件

供电电压范围	-0.5 V ~ +7.0 V
直流输入电压范围	-0.5 V ~ + (AV _{DD} + 0.5 V)
存放温度	-65 °C ~ +125 °C
结温	125 °C
T _j = 125°C 时的数据保留时间	>10 年
最多的编程周期	100

封装功耗	350 mW
静电放电电压 (根据 MIL-STD-883, 方法 3015)	≥ 2000 V
锁存电流 (根据 JEDEC 17)	≥ ±200 mA

使用高于最大绝对值可能会造成器件的永久性损害。这些条件只是强调额定值。并不代表器件在上述或超过本规范的操作部分所列出的其他任何条件下运行。长期使用最大绝对值会影响器件的可靠性。

工作条件

参数	说明	器件型号	最小值	典型值	最大值	单位
V _{DD} /AV _{DD} /LV _{DD}	供电电压	全部	3.135	3.3	3.465	V
LV _{DD}	2.5 V 输出供电电压	CY22395	2.375	2.5	2.625	V
T _A	商业级工作环境温度	全部	0	-	+70	°C
	工业级工作环境温度,	全部	-40	-	+85	°C
C _{LOAD_OUT}	最大负载电容	全部	-	-	15	pF
f _{REF}	外部参考晶振	全部	8	-	30	MHz
	外部参考时钟, ^[2] 商业级	全部	1	-	166	MHz
	外部参考时钟, ^[2] 工业级	全部	1	-	150	MHz

建议的晶体规范

参数	说明	说明	最小值	典型值	最大值	单位
F _{NOM}	额定晶体频率	并联谐振, 基本模式	8	5	30	MHz
C _{LNOM}	额定负载电容		8	-	20	pF
R ₁	等效串联电阻 (ESR)	基本模式	-	-	50	Ω
DL	晶体驱动电平	假定不存在任何外部串联电阻	-	0.5	2	mW

注释:

2. 外部输入参考时钟必须有 40% 到 60% 的占空比, 在 V_{DD}/2 时进行测量。



3.3 V 电气特性

参数	说明	条件 ^[3]	最小值	典型值	最大值	单位
I_{OH}	输出高电流 ^[4]	$V_{OH} = (L)V_{DD} - 0.5$, $(L)V_{DD} = 3.3\text{ V}$	12	24	–	mA
I_{OL}	输出低电流 ^[4]	$V_{OL} = 0.5$, $(L)V_{DD} = 3.3\text{ V}$	12	24	–	mA
C_{XTAL_MIN}	晶体负载电容 ^[4]	设置值最小时的电容负载	–	6	–	pF
C_{XTAL_MAX}	晶振负载电容 ^[5]	设置值最大时的电容负载	–	30	–	pF
C_{IN}	输入引脚电容 ^[4]	晶振引脚除外	–	7	–	pF
V_{IH}	高电平输入电压	CMOS 电平, AV_{DD} 的百分比	70%	–	–	AV_{DD}
V_{IL}	低电平输入电压	CMOS 电平, AV_{DD} 的百分比	–	–	30%	AV_{DD}
I_{IH}	输入高电流	$V_{IN} = AV_{DD} - 0.3\text{ V}$	–	<1	10	μA
I_{IL}	输入低电流	$V_{IN} = +0.3\text{ V}$	–	<1	10	μA
I_{OZ}	输出漏电流	三态输出	–	–	10	μA
I_{DD}	总电源电流	3.3 V 供电电压 两个输出的频率为 20 MHz ；四个输出的频率为 40 MHz	–	50	–	mA
		3.3 V 供电电压 两个输出的频率为 166 MHz ；四个输出的频率为 83 MHz	–	100	5	mA
I_{DDS}	关闭模式中的总电源电流	使能关闭模式	–	5	20	μA

2.5 V 电气特性 (仅针对 CY22395)^[6]

参数	说明	条件	最小值	典型值	最大值	单位
$I_{OH\ 2.5}$	输出高电流 ^[4]	$V_{OH} = LV_{DD} - 0.5$, $LV_{DD} = 2.5\text{ V}$	8	16	–	mA
$I_{OL\ 2.5}$	输出低电流 ^[4]	$V_{OL} = 0.5$, $LV_{DD} = 2.5\text{ V}$	8	16	–	mA

热阻

参数 ^[7]	说明	条件	16-pin TSSOP	单位
θ_{JA}	热阻 (与环境连接)	测试条件遵循标准测试方法和测量热阻抗的程序, 符合 EIA / JESD51 标准。	90	$^{\circ}\text{C}/\text{W}$
θ_{JC}	热阻 (与盒子连接)		14	$^{\circ}\text{C}/\text{W}$

注释:

- 除非另有说明, 否则在这些工作条件下电气特性和切换特性均受保证。
- 得到设计保证, 并未经过 100% 测试。
- 外部输入参考时钟必须有 40% 到 60% 的占空比, 在 $V_{DD}/2$ 时进行测量。
- 只有电压为 $3.3\text{ V} \pm 5\%$ 和 $2.5\text{ V} \pm 5\%$ 时, V_{DDL} 才被指定和特征化。在 3.465 ~ 2.375 的范围内可以为 V_{DDL} 供电。
- 这些参数由设计保证, 未经测试。



3.3 V 切换特性

参数	说明	条件	最小值	典型值	最大值	单位
1/t ₁	输出频率 ^[8、9]	时钟输出限制, CMOS, 商业级	–	–	2000	MHz
		时钟输出限制, CMOS, 工业级	–	–	166	MHz
		时钟输出限制, PECL, 商业级 (仅针对 CY22394)	100	–	400	MHz
		时钟输出限制, PECL, 工业级 (仅针对 CY22394)	125	–	375	MHz
t ₂	输出占空比 ^[8、10]	输出占空比, 即 $t_2 \div t_1$, F _{out} < 100 MHz, 分频器 ≥ 2, 在 V _{DD} /2 下进行测量	45%	50%	55%	
		输出占空比, 即 $t_2 \div t_1$, F _{out} > 100 MHz 或分频器 = 1, 在 V _{DD} /2 下进行测量	40%	50%	60%	
t ₃	上升沿转换速率 ^[8]	输出时钟上升时间, 从 V _{DD} 的 20% 逐渐增大到 80%	0.75	1.4		V/ns
t ₄	下降沿转换速率 ^[8]	输出时钟下降时间, 从 V _{DD} 的 80% 下降到 20%	0.75	1.4		V/ns
t ₅	输出三态时序 ^[8]	SHUTDOWN/OE 切换后, 输出进入或退出三态模式的时间	–	150	300	ns
t ₆	时钟抖动 ^[8、11]	峰峰值周期抖动, 在 V _{DD} /2 时测量 CLK 输出	–	400		ps
V ₇	P+/P– 交叉点 ^[8]	交叉点参考了 V _{DD} /2, 平衡的电阻网络 (仅针对 CY22394)	–0.2	0	0.2	V
t ₈	P+/P– 抖动 ^[8、11]	峰峰值周期抖动, 在交叉点测量的 P+/P– 输出 (仅针对 CY22394)	–	200		ps
t ₉	锁定时间 ^[8]	从上电开始计算的 PLL 锁定时间	–	1.0	3	ms

2.5 V 切换特性 (仅针对 CY22395)^[12]

参数	说明	条件	最小值	典型值	最大值	单位
1/t _{1_2.5}	输出频率 ^[8、9]	时钟输出限制, LVCMOS			133	MHz
t _{2_2.5}	输出占空比 ^[8、10]	输出占空比, 被定义为 t ₂ 、t ₁ 在 LV _{DD} /2 时进行测量	40%	50%	60%	
t _{3_2.5}	上升沿转换速率 ^[8]	输出时钟上升时间, 从 LV _{DD} 的 20% 逐渐增大到 80%	0.5	1.0		V/ns
t _{4_2.5}	下降沿转换速率 ^[8]	输出时钟下降时间, 从 LV _{DD} 的 80% 下降到 20%	0.5	1.0		V/ns

注释:

8. 得到设计保证, 并未经过 100% 测试。
9. 保证达到 20%–80% 输出阈值、占空比以及交叉点规范。
10. 参考输出占空比取决于 XTALIN 占空比的大小。
11. 抖动因为设置的不同而不一样。参考输出抖动取决于 XTALIN 抖动和边沿速率。
12. 只有电压为 3.3 V ± 5% 和 2.5 V ± 5% 时, V_{DDL} 才被指定和特征化。在 3.465 ~ 2.375 的范围内可以为 V_{DDL} 供电。

切换波形

图 7. 所有输出、占空比和上升 / 下降时间

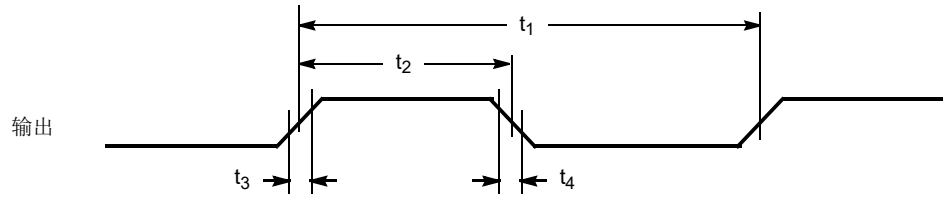


图 8. 输出三态时序

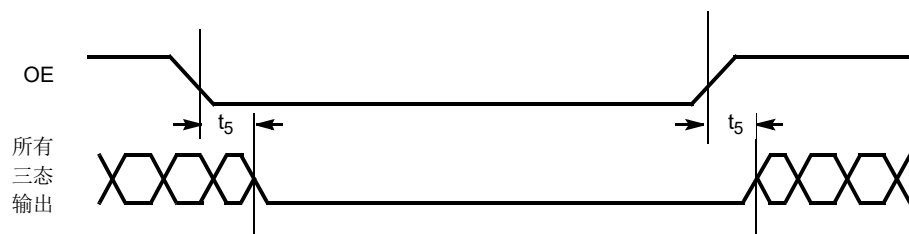


图 9. CLK 输出抖动

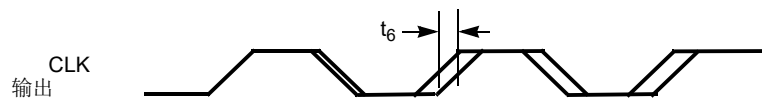


图 10. P+/P- 交叉点和抖动

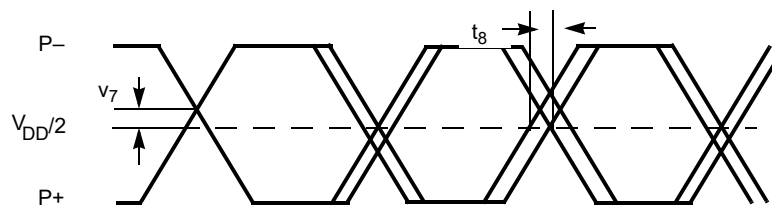
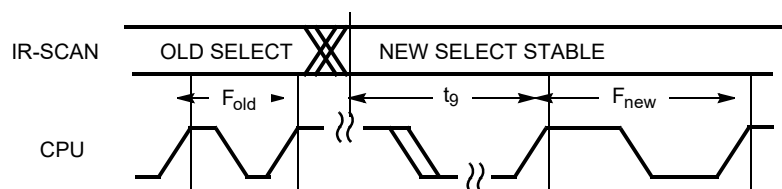


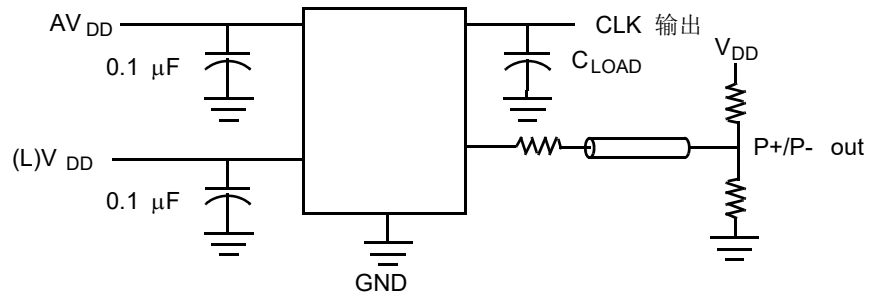
图 11. CPU 频率更改





测试电路

图 12. 测试电路





订购信息

订购代码	封装类型	生产流程
无铅		
CY22393FXC	16 引脚 TSSOP	商业温度范围: 0 °C ~ 70 °C
CY22393FXCT	16 引脚 TSSOP — 盘带封装	商业温度范围: 0 °C ~ 70 °C
CY22393FXI	16 引脚 TSSOP	工业温度范围: -40 °C ~ 85 °C
CY22393FXIT	16 引脚 TSSOP — 盘带封装	工业温度范围: -40 °C ~ 85 °C
CY223931FXI	具有 NiPdAu 引脚焊点的 16 引脚 TSSOP	工业温度范围: -40 °C ~ 85 °C
CY22394FXC	16 引脚 TSSOP	商业温度范围: 0 °C ~ 70 °C
CY22394FXCT	16 引脚 TSSOP — 盘带封装	商业温度范围: 0 °C ~ 70 °C
CY22394FXI	16 引脚 TSSOP	工业温度范围: -40 °C ~ 85 °C
CY22394FXIT	16 引脚 TSSOP — 盘带封装	工业温度范围: -40 °C ~ 85 °C
CY22395FXC	16 引脚 TSSOP	商业温度范围: 0 °C ~ 70 °C
CY22395FXCT	16 引脚 TSSOP — 盘带封装	商业温度范围: 0 °C ~ 70 °C
CY22395FXI	16 引脚 TSSOP	工业温度范围: -40 °C ~ 85 °C
CY22395FXIT	16 引脚 TSSOP — 盘带封装	工业温度范围: -40 °C ~ 85 °C

可行性配置

所提供的若干产品为用户特定的工厂可编程器件，带有已制定的器件型号。[可行性配置](#)表显示了可用器件的类型，并非全部器件的型号。更多详细信息，请联系当地的赛普拉斯 FAE 或销售代表

订购代码	封装类型	生产流程
无铅		
CY22393ZXC-xxx	16 引脚 TSSOP	商业温度范围: 0 °C ~ 70 °C
CY22393ZXC-xxxT	16 引脚 TSSOP — 盘带封装	商业温度范围: 0 °C ~ 70 °C
CY22393ZXI-xxx	16 引脚 TSSOP	工业温度范围: -40 °C ~ 85 °C
CY22393ZXI-xxxT	16 引脚 TSSOP — 盘带封装	工业温度范围: -40 °C ~ 85 °C
CY22394ZXC-xxx	16 引脚 TSSOP	商业温度范围: 0 °C ~ 70 °C
CY22394ZXC-xxxT	16 引脚 TSSOP — 盘带封装	商业温度范围: 0 °C ~ 70 °C
CY22394ZXI-xxx	16 引脚 TSSOP	工业温度范围: -40 °C ~ 85 °C
CY22394ZXI-xxxT	16 引脚 TSSOP — 盘带封装	工业温度范围: -40 °C ~ 85 °C
CY22395ZXC-xxx	16 引脚 TSSOP	商业温度范围: 0 °C ~ 70 °C
CY22395ZXC-xxxT	16 引脚 TSSOP — 盘带封装	商业温度范围: 0 °C ~ 70 °C
CY22395ZXI-xxx	16 引脚 TSSOP	工业温度范围: -40 °C ~ 85 °C
CY22395ZXI-xxxT	16 引脚 TSSOP — 盘带封装	工业温度范围: -40 °C ~ 85 °C

订购代码定义



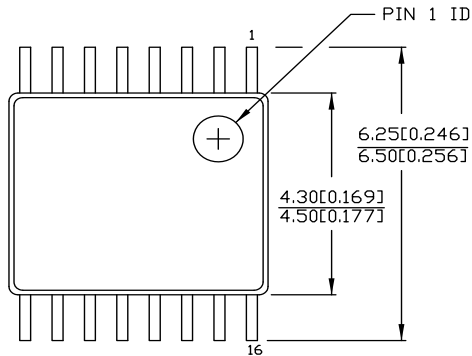
CY 22393 (1) (F) ZX C (-xxx) (T)

T = 盘带封装、空白 = 管子
 配置特定标识符（出厂编程好了）
 温度范围：C = 商业级，I = 工业级
 封装：
 ZX = TSSOP，无 Pb（出厂编程的）
 X = TSSOP，无 Pb（现场可编程的）
 F = 现场可编程，空白 = 出厂编程
 引脚焊点：1 = NiPdAu，空白 = 未指定
 器件标识符：
 CY22393：3.3 V CMOS 时钟发生器
 CY22394：CMOS 和 LVPECL 时钟发生器
 CY22395：3.3 V/2.5 V CMOS 时钟发生器
 公司代码：CY = 赛普拉斯半导体公司



封装图

图 13.16 引脚 TSSOP (4.40 mm 主体) 封装外形

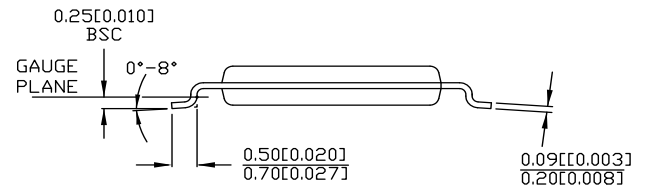
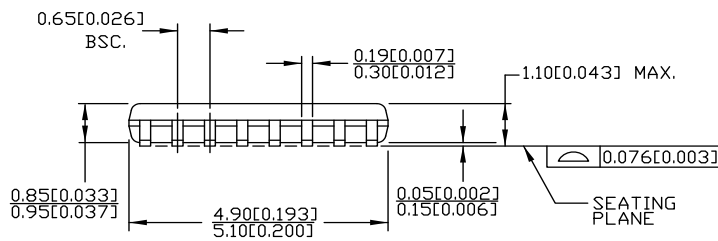


DIMENSIONS IN MM [INCHES] MIN.
MAX.

REFERENCE JEDEC MO-153

PACKAGE WEIGHT 0.05gms

PART #	
Z16.173	STANDARD PKG.
ZZ16.173	LEAD FREE PKG.



51-85091 *E



缩略语

缩略语	说明
CMOS	互补金属氧化物半导体
ESR	等效串联电阻
FAE	现场应用工程师
FET	场效应晶体管
LVC MOS	低压互补金属氧化物半导体
LVPECL	低压正射极耦合逻辑
LVTTTL	低压晶体管 - 晶体管逻辑
MPEG	移动图像专家组
OE	输出使能
PECL	正射极耦合逻辑
PLL	锁相环
TSSOP	紧凑的小外形封装

文档规范

测量单位

符号	测量单位
°C	摄氏度
mA	毫安
mm	毫米
ms	毫秒
mW	毫瓦
MHz	兆赫
μA	微安
μF	微法
ns	纳秒
pF	皮法
ppm	百万分率
ps	微微秒
V	伏特



文档修订记录

文档标题: CY22393、CY223931、CY22394、CY22395, 三 PLL 串行可编程闪存可编程时钟发生器				
文档编号: 001-95834				
版本	ECN	变更者	提交日期	变更说明
**	4691533	WEIZ	04/22/2015	本档版本号为 Rev**, 译自英文版 38-07186 Rev*1。
*A	6579899	SSAS	05/23/2019	本档版本号为 Rev. *A, 译自英文版 38-07186 Rev. *N。