

**带有 NoBL™ 架构的 18 Mbit (512 K × 36/1 M × 18)
流水线 SRAM (带 ECC)**

特性

- 引脚与功能同 ZBT™ 兼容
- 支持具有零等待状态并且频率为 250 MHz 的总线操作
 - 可用的速度范围为 250、200 和 167 MHz
- 提供对内部自定时输出缓冲区的控制，因而无需使用异步 \overline{OE}
- 流水线操作的输入和输出寄存器
- 字节写入功能
- 3.3 V 内核电源 (V_{DD})
- 3.3 V 和 2.5 V 的 I/O 供电电源 (V_{DDQ})
- 时钟至输出的时间较快
 - 2.5 ns (对于 250 MHz 器件)
- 通过时钟使能 (\overline{CEN}) 引脚暂停操作
- 同步自定时写入
- 适用于 JEDEC 标准无铅 100-TQFP 封装和无铅 165 球 FBGA 封装
- 支持与 IEEE 1149.1 JTAG 兼容的边界扫描
- 突发功能 — 支持线性或交错突发顺序模式
- “ZZ” 睡眠模式选项和停止时钟选项
- 片上纠错码 (ECC) 可降低软错误率 (SER)

功能说明

CY7C1370KV33/CY7C1370KVE33/CY7C1372KV33/CY7C1372KVE33 分别是 3.3V、512 K × 36 和 1 M × 18 的同步流水线突发 SRAM，并且带有 No Bus Latency™ (NoBL™) 逻辑。它们是专门为支持无限且零等待状态的连续读取 / 写入操作而设计的。CY7C1370KV33/CY7C1370KVE33/CY7C1372KV33/CY7C1372KVE33 都使用了高级 (NoBL) 逻辑，这样可以实现连续读取 / 写入操作，即在每个时钟周期内都进行数据传输。在需要频繁进行读取 / 写入切换的系统中，通过该逻辑可明显提高数据的吞吐量。与 ZBT 器件相比，CY7C1370KV33/CY7C1370KVE33/CY7C1372KV33/CY7C1372KVE33 的引脚是兼容的，并且功能也相同。

所有同步输入均通过由时钟的上升沿控制的输入寄存器。所有数据输出均通过由时钟的上升沿控制的输出寄存器。时钟输入由时钟使能 (\overline{CEN}) 信号所控制；当该信号被取消激活时，它将暂停操作并延续前一个时钟周期。

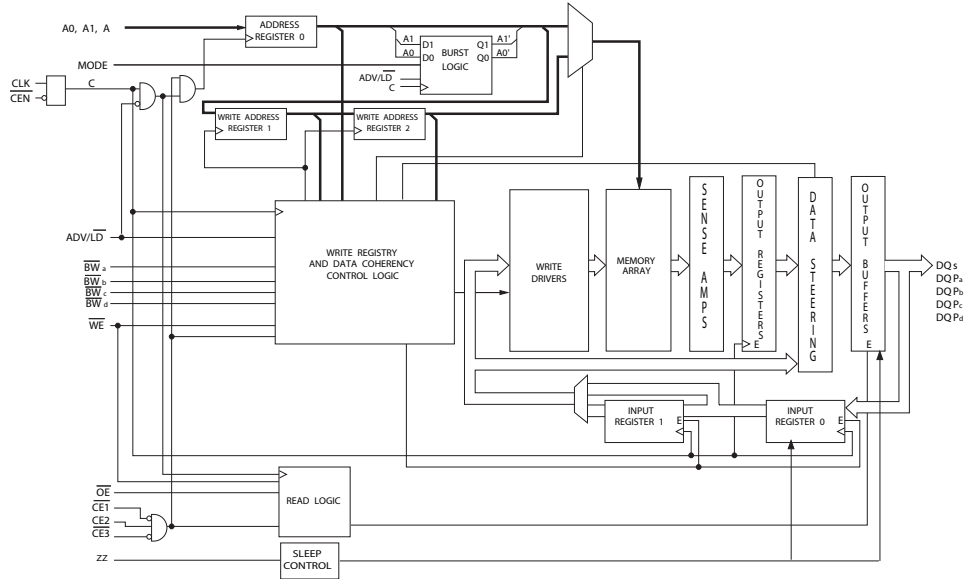
写入操作由字节写入选择 (对于 CY7C1370KV33/CY7C1370KVE33: $\overline{BW_a}-\overline{BW_d}$ ，对于 CY7C1372KV33/CY7C1372KVE33: $\overline{BW_a}-\overline{BW_b}$) 以及写入使能 (\overline{WE}) 输入控制。所有写入操作都通过片上同步自定时写入电路实现。

这些器件提供了三个同步芯片使能 ($\overline{CE_1}$ 、 $\overline{CE_2}$ 和 $\overline{CE_3}$) 和一个异步输出使能 (\overline{OE})，从而可以轻松地来进行组选择和输出三态控制。为了避免发生总线冲突，要在写入序列的数据传输过程中使输出驱动器同步进入三态。

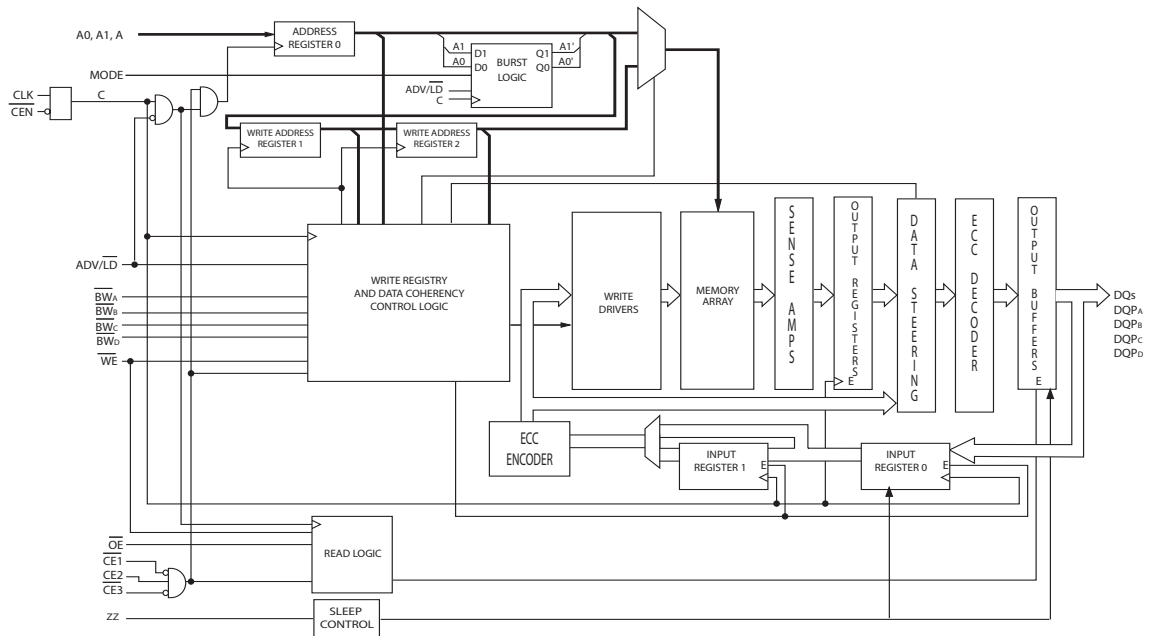
产品选择指南

说明		250 MHz	200 MHz	167 MHz	单位
最长访问时间		2.5	3.2	3.4	ns
最大工作电流	× 18	180	158	143	mA
	× 36	200	178	163	

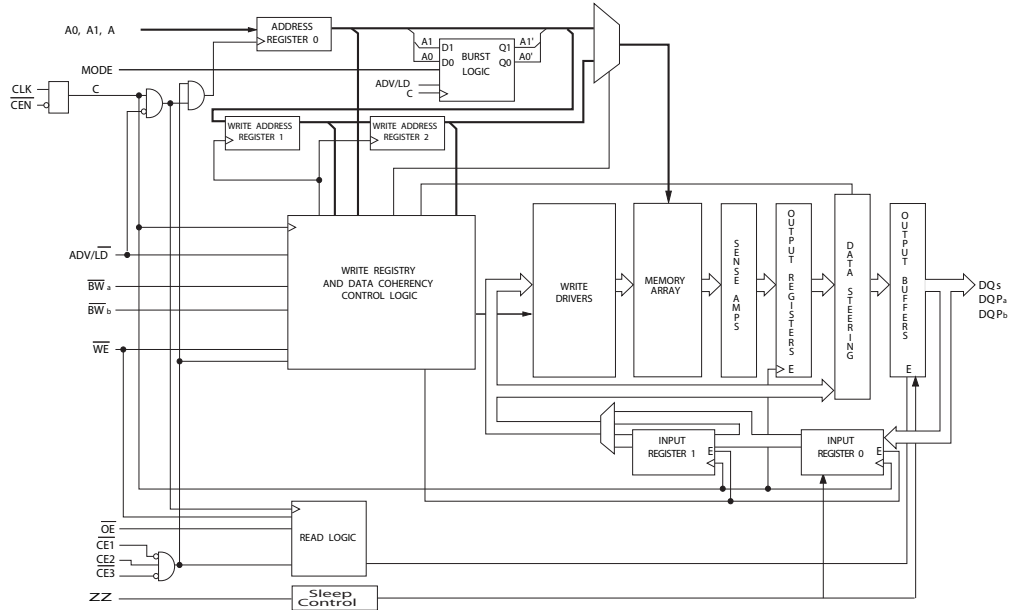
逻辑框图 — CY7C1370KV33



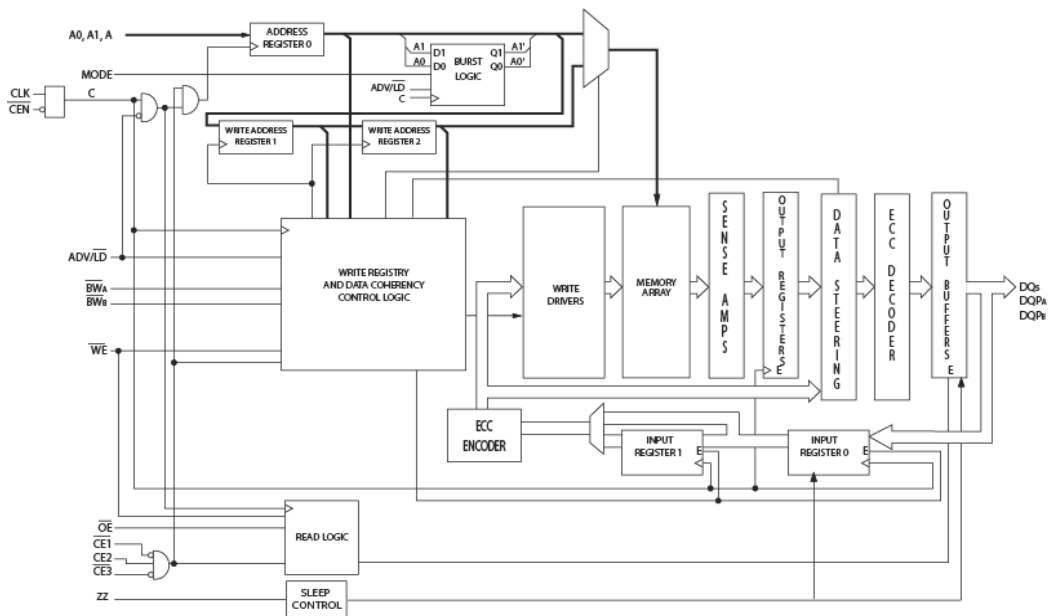
逻辑框图 — CY7C1370KVE33



逻辑框图 — CY7C1372KV33



逻辑框图 — CY7C1372KVE33

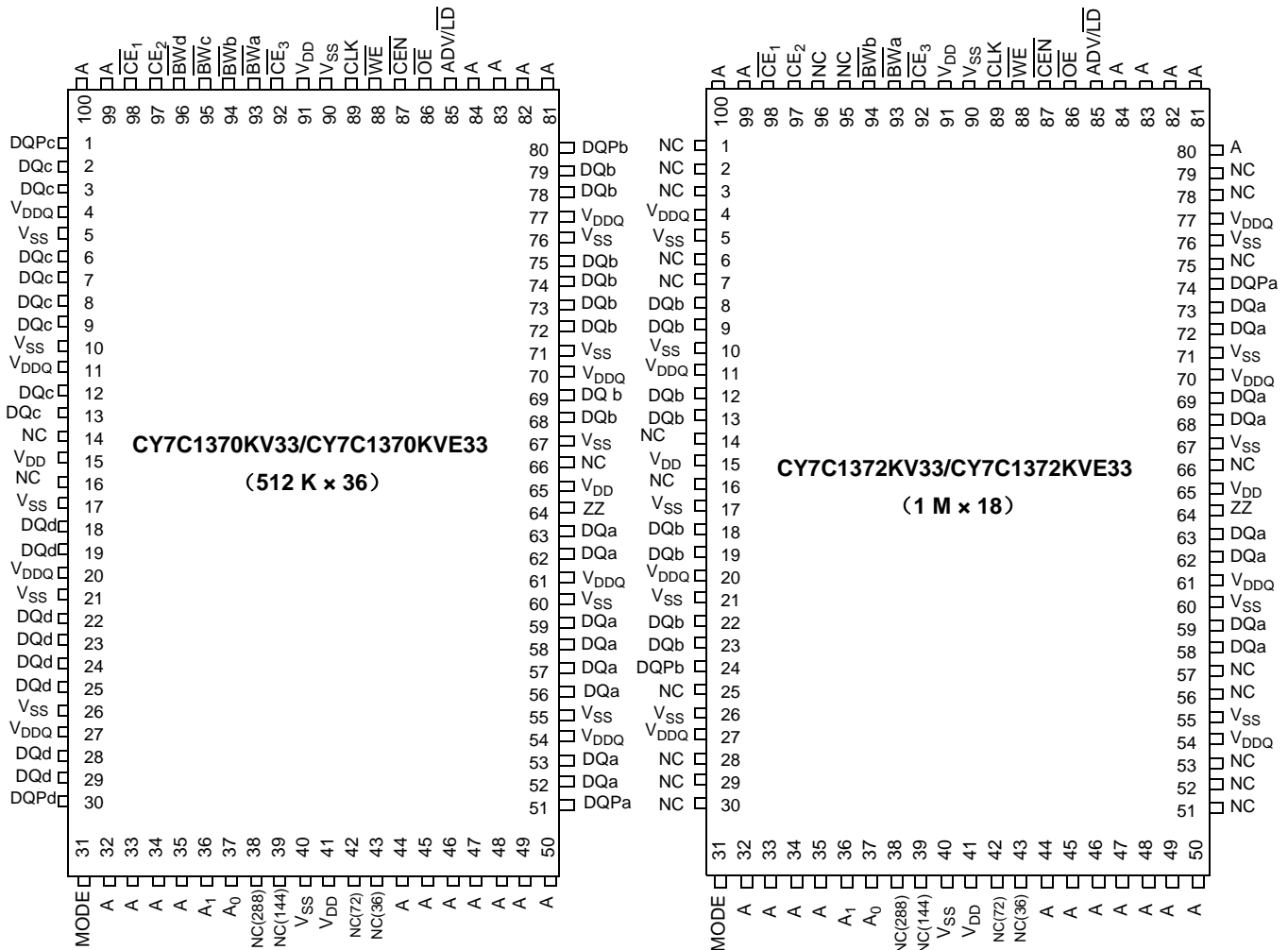


目录

引脚配置	5	TAP 直流电气特性和工作条件	18
引脚定义	7	标识寄存器定义	19
功能概述	9	扫描寄存器大小	19
单一读取访问	9	标识代码	19
突发读取访问	9	边界扫描顺序	20
单一写入访问	9	最大额定值	21
突发写入访问	10	工作范围	21
睡眠模式	10	抗中子软失效	21
交错突发地址表	10	电气特性	21
线性突发地址表	10	电容	23
ZZ 模式的电气特性	10	热电阻	23
真值表	11	交流测试负载和波形	23
部分写入周期说明	12	开关特性	24
部分写入周期说明	12	开关波形	25
IEEE 1149.1 串行边界扫描 (JTAG)	13	订购信息	27
禁用 JTAG 功能	13	订购代码定义	27
测试访问端口 (TAP)	13	封装图	28
执行 TAP 复位	13	缩略语	30
TAP 寄存器	13	文档规范	30
TAP 指令集	14	测量单位	30
TAP 控制器状态图	15	文档修订记录	31
TAP 控制器框图	16	销售、解决方案和法律信息	32
TAP 时序	16	全球销售和 design 支持	32
TAP 交流开关特性	17	产品	32
3.3 V TAP 交流测试条件	18	PSoC [®] 解决方案	32
3.3 V TAP 交流输出负载等效	18	赛普拉斯开发者社区	32
2.5 V TAP 交流测试条件	18	技术支持	32
2.5 V TAP 交流输出负载等效	18		

引脚配置

图 1. 100-TQFP (14 × 20 × 1.4 mm) 引脚分布



引脚配置 (续)

图 2. 165 球 FBGA (13 × 15 × 1.4 mm) 引脚分布

CY7C1370KV33 (512 K × 36)

	1	2	3	4	5	6	7	8	9	10	11
A	NC/576M	A	\overline{CE}_1	\overline{BW}_c	\overline{BW}_b	\overline{CE}_3	\overline{CEN}	ADV/LD	A	A	NC
B	NC/1G	A	CE2	\overline{BW}_d	\overline{BW}_a	CLK	\overline{WE}	\overline{OE}	A	A	NC
C	DQP _c	NC	V _{DDQ}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{DDQ}	NC	DQP _b
D	DQ _c	DQ _c	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _b	DQ _b
E	DQ _c	DQ _c	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _b	DQ _b
F	DQ _c	DQ _c	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _b	DQ _b
G	DQ _c	DQ _c	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _b	DQ _b
H	NC	NC	NC	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	NC	NC	ZZ
J	DQ _d	DQ _d	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _a	DQ _a
K	DQ _d	DQ _d	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _a	DQ _a
L	DQ _d	DQ _d	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _a	DQ _a
M	DQ _d	DQ _d	V _{DDQ}	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{DD}	V _{DDQ}	DQ _a	DQ _a
N	DQP _d	NC	V _{DDQ}	V _{SS}	NC	NC	NC	V _{SS}	V _{DDQ}	NC	DQP _a
P	NC/144M	NC/72M	A	A	TDI	A1	TDO	A	A	A	NC/288M
R	MODE	NC/36M	A	A	TMS	A0	TCK	A	A	A	A

引脚定义

引脚名称	I/O 类型	引脚说明
A ₀ 、A ₁ 、A	同步输入	用于选择一个地址位置的地址输入。在 CLK 时钟的上升沿上被采样。
\overline{BW}_a 、 \overline{BW}_b 、 \overline{BW}_c 、 \overline{BW}_d	同步输入	字节写入选择输入，低电平有效。与 \overline{WE} 配合使用，用于写入 SRAM。在 CLK 时钟的上升沿上被采样。 \overline{BW}_a 控制 DQ _a 和 DQP _a ， \overline{BW}_b 控制 DQ _b 和 DQP _b ， \overline{BW}_c 控制 DQ _c 和 DQP _c ， \overline{BW}_d 控制 DQ _d 和 DQP _d 。
\overline{WE}	同步输入	写入使能输入，低电平有效。如果 \overline{CEN} 为低电平有效，该输入会在 CLK 时钟的上升沿上被采样。必须将该信号配置为低电平，以启动写入序列。
ADV/ \overline{LD}	同步输入	用于增加片上地址计数器或加载新地址的递增 / 负载输入。当该信号为高电平（并且 \overline{CEN} 为低电平）时，内部突发计数器将增加。当该信号为低电平时，可以将新的地址加载到器件内，以便进行访问。取消选择后，为了加载新的地址，需要将 ADV/ \overline{LD} 置为低电平。
CLK	输入时钟	时钟输入。用于将所有同步输入捕获到器件内。CLK 由 \overline{CEN} 控制。仅当 \overline{CEN} 为低电平有效时，CLK 才有效。
\overline{CE}_1	同步输入	芯片使能 1 输入，低电平有效。在 CLK 时钟的上升沿上被采样。同 \overline{CE}_2 和 \overline{CE}_3 一起使用时，可以选择 / 取消选择器件。
\overline{CE}_2	同步输入	芯片使能 2 输入，高电平有效。在 CLK 时钟的上升沿上被采样。同 \overline{CE}_1 和 \overline{CE}_3 一起使用时，可以选择 / 取消选择器件。
\overline{CE}_3	同步输入	芯片使能 3 输入，低电平有效。在 CLK 时钟的上升沿上被采样。同 \overline{CE}_1 和 \overline{CE}_2 一起使用时，可以选择 / 取消选择器件。
\overline{OE}	异步输入	输出使能，低电平有效。通过与器件中的同步逻辑模块结合使用，可以控制 I/O 引脚的方向。该信号被置为低电平时，I/O 引脚可作为输出使用。该信号被取消激活（置为高电平）时，I/O 引脚全是三态的，并作为输入数据引脚使用。 \overline{OE} 在写入序列的数据传输期间、退出取消选择状态后的第一个时钟周期以及取消选择器件时均被屏蔽。
\overline{CEN}	同步输入	时钟使能输入，低电平有效。该时钟信号为低电平时，SRAM 可检测到它。该信号为高电平时将被屏蔽。由于 \overline{CEN} 被取消激活时仍会选中器件，所以如果需要，可以通过 \overline{CEN} 延续前一周期。
DQ _s	同步 I/O	双向数据 I/O 线。作为输入使用时，这些线将数据发送到片上数据寄存器内，该操作在 CLK 的上升沿上触发。作为输出时，在读取周期的前时钟上升沿，它们将发送存储器中由 A _[17:0] 指定位置的数据。这些引脚的方向由 \overline{OE} 和内部控制逻辑控制。将 \overline{OE} 置为低电平时，这些引脚可作为输出使用。该信号被设置为高电平时，DQ _a -DQ _d 均处于三态。无论 \overline{OE} 的状态如何，在写入序列的数据传输期间、信号退出取消选择状态后的第一个时钟周期以及取消选择器件时，这些输出都会自动处于三态。
DQP _x	同步 I/O	双向数据奇偶校验 I/O 线。从功能的角度来看，这些信号相同于 DQ _s 。在写入序列中，DQP _a 由 \overline{BW}_a 控制，DQP _b 由 \overline{BW}_b 控制，DQP _c 由 \overline{BW}_c 控制，DQP _d 由 \overline{BW}_d 控制。
MODE	引脚 strap 输入	MODE 输入。用于选择器件的突发顺序。将该信号设置为高电平时，会选择交错突发顺序。将该信号置为低电平时，将选择线性突发。在操作过程中，不应更改 MODE 信号的状态。被悬停时，MODE 信号默认为高电平，这样可以选择交错突发模式。

引脚定义 (续)

引脚名称	I/O 类型	引脚说明
TDO	JTAG 串行同步输出	JTAG 电路的串行数据输出。 在 TCK 的下降沿上发送数据。
TDI	JTAG 串行同步输入	JTAG 电路的串行数据输入。 在 TCK 时钟的上升沿上被采样。
TMS	同步的测试模式选择	该引脚控制着测试访问端口状态机。 在 TCK 时钟的上升沿上被采样。
TCK	JTAG 时钟	JTAG 电路的时钟输入。
V _{DD}	电源	器件内核的供电输入。
V _{DDQ}	I/O 电源	I/O 电路的供电电压。
V _{SS}	接地	器件接地。 需要连接至系统的接地端。
NC	-	无连接。 该引脚未与芯片连接。
NC/ (36 M、72 M、144 M、288 M、576 M、1 G)	-	未连接这些引脚。 在芯片容量扩展为 36 M、72 M、144 M、288 M、576 M 以及 1 G 的情况下将使用这些引脚。
ZZ	异步输入	ZZ “睡眠” 输入。 该高电平有效输入可将器件处于非时间关键 “睡眠” 条件，并且保存数据的完整性。在正常操作模式下，可将该引脚连接到 V _{SS} 或保持为悬空。ZZ 引脚具有内部下拉电阻。

功能概述

CY7C1370KV33、CY7C1370KVE33、CY7C1372KVE33 和 CY7C1372KV33 都是同步流水线突发 NoBL SRAM，其设计目的是为了消除读取 / 写入切换操作中的等待状态。所有同步输入均通过由时钟的上升沿控制的输入寄存器。时钟信号由时钟使能输入信号 (\overline{CEN}) 所控制。如果 \overline{CEN} 为高电平，时钟信号将不被检测，并且保持所有的内部状态。所有的同步操作均由 \overline{CEN} 所控制。所有数据输出均通过时钟的上升沿控制的输出寄存器。从时钟上升沿之后的最大访问延迟 (t_{CO}) 为 2.5 ns (对于 250 MHz 器件)。

通过在时钟的上升沿上激活全部三个芯片使能 (\overline{CE}_1 、 \overline{CE}_2 和 \overline{CE}_3) 信号，用以进行访问。如果时钟使能 (\overline{CEN}) 为低电平有效，并且 $\overline{ADV/LD}$ 被置为低电平，那么传输到器件的地址将被锁存。根据写入使能 (\overline{WE}) 状态，进行的访问可能是读取或写入操作。 \overline{BW}_X 可用于实现字节写入操作。

写入操作由写入使能 (\overline{WE}) 信号所控制。通过片上同步自定时写入电路，可轻松实现所有写入操作。

三个同步芯片使能 (\overline{CE}_1 、 \overline{CE}_2 、 \overline{CE}_3) 和一个异步输出使能 (\overline{OE}) 简化了深度扩展。所有操作 (读取、写入和取消选择) 均是流水线模式的。一旦取消选择器件，则需要将 $\overline{ADV/LD}$ 置低，这样可以加载新操作的地址。

单一读取访问

如果在时钟上升沿时满足以下条件，将启动读取操作：(1) \overline{CEN} 为低电平，(2) \overline{CE}_1 、 \overline{CE}_2 和 \overline{CE}_3 均被激活，(3) 写入使能输入信号 \overline{WE} 为高电平，以及 (4) $\overline{ADV/LD}$ 为低电平。发送到地址输入端的地址被锁存到地址寄存器内，并被发送到存储器内核和控制逻辑内。通过控制逻辑可以确定正在进行读取访问，并允许将所需数据传输到输出寄存器的输入端。在下一个时钟的上升沿上，如果 \overline{OE} 为低电平有效，那么所要求的数据将在 2.5 ns (对于 250 MHz 器件) 的时间内通过输出寄存器发送到数据总线上。读取访问的第一个时钟周期完成后，输出缓冲区将由 \overline{OE} 和内部控制逻辑控制。为了输出所需数据，必须将 \overline{OE} 置为低电平。在第二个时钟周期内，可以启动下一个操作 (读取 / 写入 / 取消选择)。取消选择器件这一操作也是在流水线模式下进行的。所以，通过一个芯片使能信号在时钟的上升沿上取消选择 SRAM 时，其输出在下一个上升沿上是三态的。

突发读取访问

通过 CY7C1370KV33、CY7C1370KVE33、CY7C1372KVE33 和 CY7C1372KV33 的片上突发计数器，用户可以提供一个地址并且能实现最多 4 个读取操作，而无需重新激活地址输入。为了将新的地址加载到 SRAM 内，必须将 $\overline{ADV/LD}$ 置为低电平，如单一读取访问一节所述。突发计数器的序列由 \overline{MODE} 输入信号决定。低电平的 \overline{MODE} 输入选择线性突发模式，而高电平输入选择交错

突发序列。这两个突发计数器在突发序列中都使用 A0 和 A1，并且在递增至最大值时执行循环处理。如果 $\overline{ADV/LD}$ 输入被置于高电平，无论芯片使能输入或 \overline{WE} 的状态如何，内部突发计数器都会递增。 \overline{WE} 在突发周期开始时被锁存。因此，在整个突发序列中将保持访问的类型 (读取或写入)。

单一写入访问

如果在时钟上升沿时满足以下条件，将启动写入访问：(1) \overline{CEN} 为低电平，(2) \overline{CE}_1 、 \overline{CE}_2 和 \overline{CE}_3 均被激活，以及 (3) 写入信号 \overline{WE} 为低电平。所发送的地址会被存储在地址寄存器中。写入信号被锁存到控制逻辑模块中。

在下一个时钟上升沿上，无论 \overline{OE} 输入信号的状态如何，数据线都会自动进入三态。这样，外部逻辑可以将数据传输到 DQ 和 DQP (CY7C1370KV33、CY7C1370KVE33 的 $DQ_{a,b,c,d}$ / $DQP_{a,b,c,d}$ 和 CY7C1372KV33、CY7C1372KVE33 的 $DQ_{a,b}$ / $DQP_{a,b}$)。另外，后续访问 (读取 / 写入 / 取消选择) 的地址被锁存到地址寄存器内 (假定相应的控制信号已经被激活)。

在下一个时钟上升沿上，传输到 DQ 和 DQP (CY7C1370KV33、CY7C1370KVE33 的 $DQ_{a,b,c,d}$ / $DQP_{a,b,c,d}$ 和 CY7C1372KV33、CY7C1372KVE33 的 $DQ_{a,b}$ / $DQP_{a,b}$) 或字节写入操作子集中 (请参考写入周期说明表中了解详情) 的数据输入被锁存到器件内，即完成了写入操作。

写入操作中的数据由 \overline{BW} (CY7C1370KV33、CY7C1370KVE33 的 $\overline{BW}_{a,b,c,d}$ 和 CY7C1372KV33、CY7C1372KVE33 的 $\overline{BW}_{a,b}$) 信号控制。

CY7C1370KV33 / CY7C1370KVE33 / CY7C1372KV33 / CY7C1372KVE33 提供了字节写入功能，如写入周期说明表中所示。如果激活写入使能输入 (\overline{WE}) 和选中的字节写入选择输入 (\overline{BW})，那么只能对所需的字节进行写入操作。字节写入操作中未被选择的字节将保持不变。所提供的同步自定时写入机制能够简化写入操作。通过集成字节写入能力，可以明显简化读取 / 修改 / 写入序列，甚至可以将这些序列简化为简单的字节写入操作。

由于 CY7C1370KV33、CY7C1370KVE33 和 CY7C1372KV33、CY7C1372KVE33 均为通用的 I/O 器件，当输出在运行时，不应该将数据发送到器件内。将数据传输到 DQ 和 DQP (CY7C1370KV33、CY7C1370KVE33 的 $DQ_{a,b,c,d}$ / $DQP_{a,b,c,d}$ 和 CY7C1372KV33、CY7C1372KVE33 的 $DQ_{a,b}$ / $DQP_{a,b}$) 前，可以将输出使能信号 \overline{OE} 置为高电平。这样可使输出驱动器处于三态。为安全起见，在写入周期的数据传输过程中，无论 \overline{OE} 的状态如何，DQ 和 DQP (CY7C1370KV33、CY7C1370KVE33 的 $DQ_{a,b,c,d}$ / $DQP_{a,b,c,d}$ 和 CY7C1372KV33、CY7C1372KVE33 的 $DQ_{a,b}$ / $DQP_{a,b}$) 都自动进入三态。

突发写入访问

通过 CY7C1370KV33 / CY7C1370KVE33 / CY7C1372KV33 / CY7C1372KVE33 的片上突发计数器，用户可以提供一个地址并且能实现最多 4 个读取操作，而无需重新激活地址输入。为了加载初始地址，必须将 ADV/LD 置为低电平，如单一写入访问一节所述。在下一个上升沿上，将 ADV/LD 置为高电平时，芯片使能（ \overline{CE}_1 、 \overline{CE}_2 和 \overline{CE}_3 ）和 WE 输入均被忽略，并且突发计数器将递增。在每个突发写入周期中，必须驱动正确的 BW 输入（CY7C1370KV33、CY7C1370KVE33 的 $BW_{a, b, c, d}$ 和 CY7C1372KV33、CY7C1372KVE33 的 $BW_{a, b}$ ），这样才能写入正确的数据字节。

睡眠模式

ZZ 输入引脚是一个异步输入。激活 ZZ 后，SRAM 将进入节能的睡眠模式。进入或退出该“睡眠”模式需要占用两个时钟周期。在该模式中，数据完整性得到保证。进入睡眠模式时等待的访问被视为无效访问，也不会确保能完成操作。进入睡眠模式之前，必须取消选择器件。 \overline{CE}_1 、 \overline{CE}_2 和 \overline{CE}_3 在 ZZ 输入返回低电平时的 t_{ZZREC} 时间内需要保持无效状态。

交错突发地址表

(MODE = 悬空或 V_{DD})

第一个地址 A1:A0	第二个地址 A1:A0	第三个地址 A1:A0	第四个地址 A1:A0
00	01	10	11
01	00	11	10
10	11	00	01
11	10	01	00

线性突发地址表

(MODE = GND)

第一个地址 A1:A0	第二个地址 A1:A0	第三个地址 A1:A0	第四个地址 A1:A0
00	01	10	11
01	10	11	00
10	11	00	01
11	00	01	10

ZZ 模式的电气特性

参数	说明	测试条件	最小值	最大值	单位
I_{DDZZ}	睡眠模式下的待机电流	$ZZ \geq V_{DD} - 0.2 V$	—	65	mA
t_{ZZS}	器件从运行状态到进入 ZZ 模式的时间	$ZZ \geq V_{DD} - 0.2 V$	—	$2t_{CYC}$	ns
t_{ZZREC}	ZZ 恢复时间	$ZZ \leq 0.2 V$	$2t_{CYC}$	—	ns
t_{ZZI}	从 ZZ 置为高电平到器件进入睡眠状态的时间	采样数据	—	$2t_{CYC}$	ns
t_{RZZI}	从 ZZ 置为低电平到器件退出睡眠状态的时间	采样数据	0	—	ns

真值表

CY7C1370KV33/CY7C1370KVE33 和 CY7C1372KV33/CY7C1372KVE33 的真值表如下所示。[1、2、3、4、5、6、7]

操作	所使用的地址	\overline{CE}	\overline{ZZ}	$\overline{ADV/LD}$	\overline{WE}	\overline{BW}_x	\overline{OE}	\overline{CEN}	CLK	DQ
取消选择周期	无	H	L	L	X	X	X	L	L-H	三态
继续取消选择周期	无	X	L	H	X	X	X	L	L-H	三态
读取周期（开始传输）	外部地址	L	L	L	H	X	L	L	L-H	数据输出（Q）
读取周期（继续传输）	下一个地址	X	L	H	X	X	L	L	L-H	数据输出（Q）
NOP/ 虚拟读取（开始传输）	外部地址	L	L	L	H	X	H	L	L-H	三态
虚拟读取（继续传输）	下一个地址	X	L	H	X	X	H	L	L-H	三态
写入周期（开始传输）	外部地址	L	L	L	L	L	X	L	L-H	数据输入（D）
写入周期（继续传输）	下一个地址	X	L	H	X	L	X	L	L-H	数据输入（D）
NOP/ 写入中止（开始传输）	无	L	L	L	L	H	X	L	L-H	三态
写入中止（继续传输）	下一个地址	X	L	H	X	H	X	L	L-H	三态
忽略时钟沿（拖延）	当前地址	X	L	X	X	X	X	H	L-H	-
睡眠模式	无	X	H	X	X	X	X	X	X	三态

注释：

1. X = “无需关注”，H = 逻辑高电平，L = 逻辑低电平， \overline{CE} 表示所有芯片均处于活动状态。 $\overline{BW}_x = L$ 表示至少有一个字节写入选择信号处于活动状态，“ $\overline{BW}_x =$ 有效”表示所需的字节写入选择信号被激活；更加详细的信息，请参考写入周期说明表中的内容。
2. 写入操作由 \overline{WE} 和 \overline{BW}_x 定义。请参阅写入周期说明表中的内容，以了解详情。
3. 当检测到写入周期时（即使是字节写入周期期间），所有 I/O 都处于三态。
4. DQ 和 DQP 引脚都由当前周期和 \overline{OE} 信号控制。
5. $\overline{CEN} = H$ ，将插入等待状态。
6. 无论 \overline{OE} 的状态如何，器件上电时为非选择状态，并且全部 I/O 均处于三态。
7. \overline{OE} 是异步信号，并不在时钟上升沿上进行采样。该信号在写入周期中被内部屏蔽。在读取周期内， \overline{OE} 为无效或器件被取消选择时，DQ_s 和 DQP_x 均为三态，而在 \overline{OE} 为有效时，DQ_s 带有数据。

部分写入周期说明

CY7C1370KV33/CY7C1370KVE33 的部分写入周期说明内容如下所示。[8、9、10、11]

功能 (CY7C1370KV33/CY7C1370KVE33)	\overline{WE}	$\overline{BW_d}$	$\overline{BW_c}$	$\overline{BW_b}$	$\overline{BW_a}$
读取	H	X	X	X	X
写入 — 未写入任何字节	L	H	H	H	H
写入字节 a — (DQ _a 和 DQP _a)	L	H	H	H	L
写入字节 b — (DQ _b 和 DQP _b)	L	H	H	L	H
写入字节 b, a	L	H	H	L	L
写入字节 c — (DQ _c 和 DQP _c)	L	H	L	H	H
写入字节 c, a	L	H	L	H	L
写入字节 c, b	L	H	L	L	H
写入字节 c, b, a	L	H	L	L	L
写入字节 d — (DQ _d 和 DQP _d)	L	L	H	H	H
写入字节 d, a	L	L	H	H	L
写入字节 d, b	L	L	H	L	H
写入字节 d, b, a	L	L	H	L	L
写入字节 d, c	L	L	L	H	H
写入字节 d, c, a	L	L	L	H	L
写入字节 d, c, b	L	L	L	L	H
写入所有字节	L	L	L	L	L

部分写入周期说明

CY7C1372KV33/CY7C1372KVE33 的部分写入周期说明内容如下所示。[8、9、10、11]

功能 (CY7C1372KV33/CY7C1372KVE33)	\overline{WE}	$\overline{BW_b}$	$\overline{BW_a}$
读取	H	X	X
写入 — 未写入任何字节	L	H	H
写入字节 a — (DQ _a 和 DQP _a)	L	H	L
写入字节 b — (DQ _b 和 DQP _b)	L	L	H
写入两个字节	L	L	L

注释:

- X = “无需关注”，H = 逻辑高电平，L = 逻辑低电平， \overline{CE} 表示所有芯片均处于活动状态。“ $\overline{BW_x} = L$ ”表示至少一个字节写入选择信号处于活动状态，“ $\overline{BW_x} =$ 有效”表示所需的字节写入选择信号被激活；更详细信息，请参考第 11 页上的真值表中的内容。
- 写入操作由 \overline{WE} 和 $\overline{BW_x}$ 定义。请参阅写入周期说明表中的内容，以了解详情。
- 当检测到写入周期时（即使是字节写入周期期间），所有 I/O 都处于三态。
- 该表仅列出了字节写入组合的一部分。 $\overline{BW_x}$ 的任意组合均有效。将根据有效的字节写入执行相应的写入操作。

IEEE 1149.1 串行边界扫描 (JTAG)

CY7C1370KV33 包含一个串行边界扫描测试访问端口 (TAP)。该器件完全符合 1149.1 标准。TAP 在工作时采用了 JEDEC 标准的 3.3 V 或 2.5 V IO 逻辑电平。

CY7C1370KV33 包含 TAP 控制器、指令寄存器、边界扫描寄存器、旁路寄存器和 ID 寄存器。

禁用 JTAG 功能

无需使用 JTAG 功能也可以运行 SRAM。要禁用 TAP 控制器，要将 TCK 置为低电平 (V_{SS})，以防止器件的时钟运行。TDI 和 TMS 是内部上拉，并可处于未连接状态。它们也可以通过上拉电阻连接到 V_{DD} 。TDO 应该保持未连接状态。上电时，器件会复位，这样不会干扰器件的工作。

每个状态旁边的 0/1 代表的是 TCK 上升沿上对应的 TMS 的值。

测试访问端口 (TAP)

测试时钟 (TCK)

测试时钟仅能与 TAP 控制器配合使用。所有输入都在 TCK 的上升沿上进行捕获。所有输出都在 TCK 的下降沿上被输出。

测试模式选择 (TMS)

TMS 输入用于向 TAP 控制器提供指令，并在 TCK 的上升沿上被采样。如果不使用 TAP，可以让该接口保持未连接状态。由于该接口是内部上拉的，因此可产生逻辑高电平。

测试数据输入 (TDI)

TDI 接口用于以串行方式将信息输入到寄存器中，并且可以连接到任何寄存器的输入。TDI 和 TDO 之间的寄存器由加载到 TAP 指令寄存器中的指令选择。TDI 是内部上拉。如果在应用中未使用 TAP，TDI 可以保持未连接状态。TDI 连接到任何寄存器中的最高有效位 (MSB)。

测试数据输出 (TDO)

TDO 输出接口用于以串行方式从寄存器输出时钟数据。输出的有效状态取决于 TAP 状态机的当前状态。输出会在 TCK 的下降沿上改变。TDO 连接到任何寄存器的最低有效位 (LSB)。

执行 TAP 复位

通过在 5 个 TCK 上升沿的时长将 TMS 强制置为高电平 (V_{DD})，即可进行复位。该复位不会影响 SRAM 的工作，并可在 SRAM 工作期间执行。

在上电时，TAP 会被内部复位，以确保 TDO 处于高阻态。

TAP 寄存器

此类寄存器位于 TDI 和 TDO 接口之间，用于扫描 SRAM 测试电路的数据输入和输出。指令寄存器每次只能选择一个寄存器。在 TCK 的上升沿上，数据会以串行方式加载到 TDI 接口。在 TCK 的下降沿上，数据会从 TDO 接口输出。

指令寄存器

三位指令会以串行方式加载到指令寄存器中。该寄存器在置于 TDI 和 TDO 接口之间时被加载，如第 16 页上的 TAP 控制器框图所示。上电时，IDCODE 指令会被加载到指令寄存器中。即使控制器处于复位状态，也会加载 IDCODE 指令，如上一节所述。

当 TAP 控制器处于 Capture-IR 状态时，两个最低有效位会以二进制“01”的形式加载，以便实现模块级别串行测试数据路径的故障隔离。

旁路寄存器

当以串行方式将数据移位到寄存器时，跳过某些芯片可能会节省时间。旁路寄存器为单比特寄存器，可置于 TDI 和 TDO 接口之间，这样可以使通过 SRAM 的数据移动的延迟较小。执行 BYPASS 指令时，旁路寄存器会置为低电平 (V_{SS})。

边界扫描寄存器

边界扫描寄存器连接到 SRAM 上的所有输入和双向接口。

当 TAP 控制器处于 Capture-DR 状态时，边界扫描寄存器会加载 RAM I/O 环的内容。控制器转入 Shift-DR 状态后，该寄存器会被置于 TDI 和 TDO 接口之间。EXTTEST、SAMPLE/PRELOAD 和 SAMPLE Z 指令用于捕获 I/O 环的内容。

边界扫描顺序表显示了各个位的连接顺序。每个位都对应于 SRAM 封装上的一个管脚。寄存器的 MSB 连接到 TDI，LSB 连接到 TDO。

标识 (ID) 寄存器

当指令寄存器中加载了 IDCODE 指令时，ID 寄存器会在 Capture-DR 状态期间加载供货商特定的 32 位代码。IDCODE 已硬连线到 SRAM 中，当 TAP 控制器处于 Shift-DR 状态时，可以移出它。ID 寄存器具有供应商代码和标识寄存器定义表中所述的其他信息。

TAP 指令集

概况

三位指令寄存器可实现八个不同的指令。指令代码表列出了所有组合形式。其中三个指令被列为 **RESERVED**，请勿使用这些指令。下面详细说明了其他五个指令。

当指令寄存器置于 TDI 和 TDO 之间时，这些指令会在 Shift-IR 状态期间加载到 TAP 控制器中。在此状态期间，会通过 TDI 和 TDO 接口将指令移位到指令寄存器内。要在移入指令后立即执行指令，必须使 TAP 控制器转入 Update-IR 状态。

EXTEST

EXTEST 指令用于通过系统输出引脚输出预加载的数据。在 Shift-DR 控制器状态下，该指令还会将用于串行访问的边界扫描寄存器置于 TDI 和 TDO 之间。

IDCODE

IDCODE 指令用于将供应商特定的 32 位代码加载到指令寄存器中。它还会将指令寄存器置于 TDI 和 TDO 接口之间，并允许在 TAP 控制器进入 Shift-DR 状态后将 IDCODE 从器件移出。

上电时，或每当 TAP 控制器处于 Test-Logic-Reset 状态时，IDCODE 指令都会加载到指令寄存器中。

SAMPLE Z

当 TAP 控制器处于 Shift-DR 状态时，SAMPLE Z 指令会将边界扫描寄存器置于 TDI 和 TDO 引脚之间。此外，它还使所有 SRAM 输出进入高阻态。

SAMPLE/PRELOAD

SAMPLE/PRELOAD 是 1149.1 标准的强制指令。当 SAMPLE/PRELOAD 指令加载到指令寄存器中并且 TAP 控制器处于 Capture-DR 状态时，边界扫描寄存器中会捕获输入和输出引脚上数据的快照。

用户必须注意 TAP 控制器时钟的最高工作频率仅为 20 MHz，而 SRAM 时钟的工作频率要比它高一个数量级。由于在时钟频率方面存在较大差异，因此在 Capture-DR 状态期间，输入或输出可能会出现跃变。TAP 可能在跃变（亚稳态）期间尝试捕获信号。虽然这并不会损坏器件，但无法保证捕获到的值是正确的。并且结果可能无法重复。

为了保证边界扫描寄存器捕获到正确的信号值，SRAM 信号必须在足够的时间内保持稳定，以满足 TAP 控制器的捕获建立时间和保持时间 (t_{CS} 和 t_{CH}) 的要求。如果在设计中无法在 SAMPLE/PRELOAD 指令期间停止（或减慢）时钟，则可能无法正确捕获 SRAM 时钟输入。即使存在该问题，但仍可以捕获所有其他信号，只要忽略了边界扫描寄存器中所捕获的 CK 和 CK 的值即可。

捕获数据后，通过使 TAP 进入 Shift-DR 状态，可以立即移出数据。这会将边界扫描寄存器置于 TDI 和 TDO 引脚之间。

在选择另一个边界扫描测试操作之前，PRELOAD 允许在边界扫描寄存器单元的已锁存并行输出处放置一个初始数据模式。

必要时，SAMPLE 和 PRELOAD 阶段的数据移位可以并发执行，即可以在移出所捕获数据的同时，可移入预加载的数据。

BYPASS

当 BYPASS 指令加载到指令寄存器中并且 TAP 处于 Shift-DR 状态时，旁路寄存器会被置于 TDI 和 TDO 接口之间。BYPASS 指令的优势是当电路板上有多器件连接在一起时，可以缩短边界扫描路径。

EXTEST OUTPUT BUS TRISTATE

IEEE 标准 1149.1 强制规定，TAP 控制器需要能够将输出总线置于三态模式。

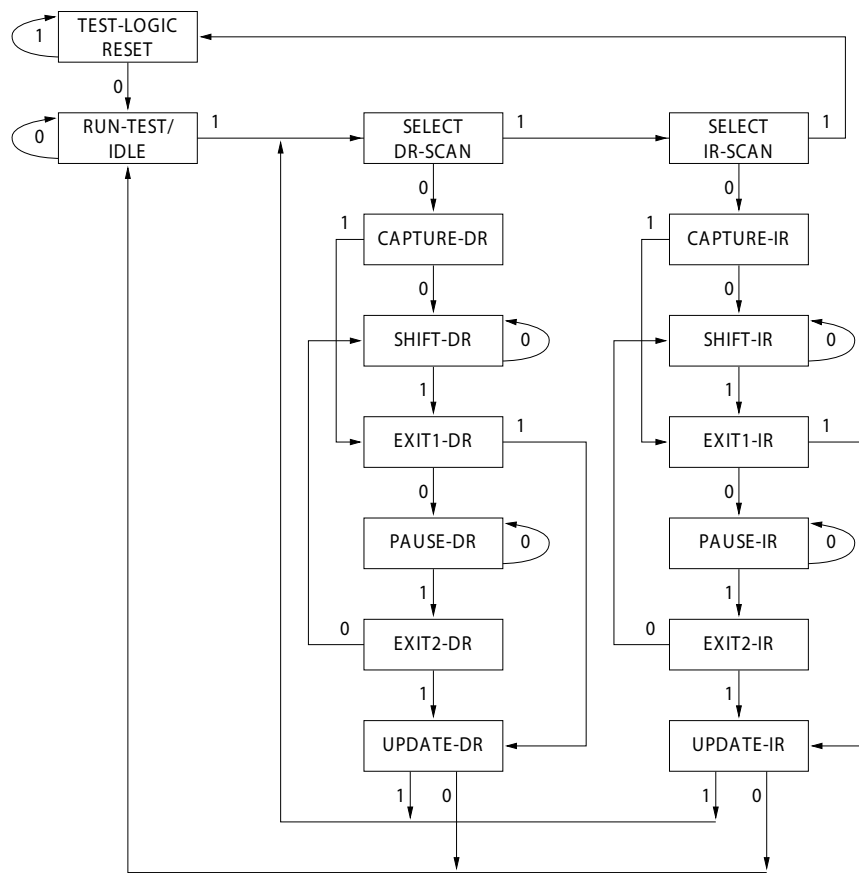
边界扫描寄存器在 #89 位上有一个特殊位（对于 165 球 FBGA 封装）。当该扫描单元（称为“外测试输出总线三态”）在 TAP 控制器处于 Update-DR 状态期间被锁存到预加载的寄存器中时，如果输入 EXTEST 作为当前指令，则该单元会直接控制输出（Q 总线）引脚的状态。置于高电平时，它将允许输出缓冲区控制输出总线。置于低电平时，该位会将输出总线置于高阻状态。

通过输入 SAMPLE/PRELOAD 或 EXTEST 指令，然后在 Shift-DR 状态期间将所需的位移入该单元中，即可设置该位。在 Update-DR 期间，加载到该移位寄存器单元中的值会被锁存到预加载寄存器中。输入 EXTEST 指令后，该位会直接控制输出 Q 总线引脚。请注意，该位会预置为高电平，以便在器件上电时，以及当 TAP 控制器处于 Test-Logic-Reset 状态时，使能输出。

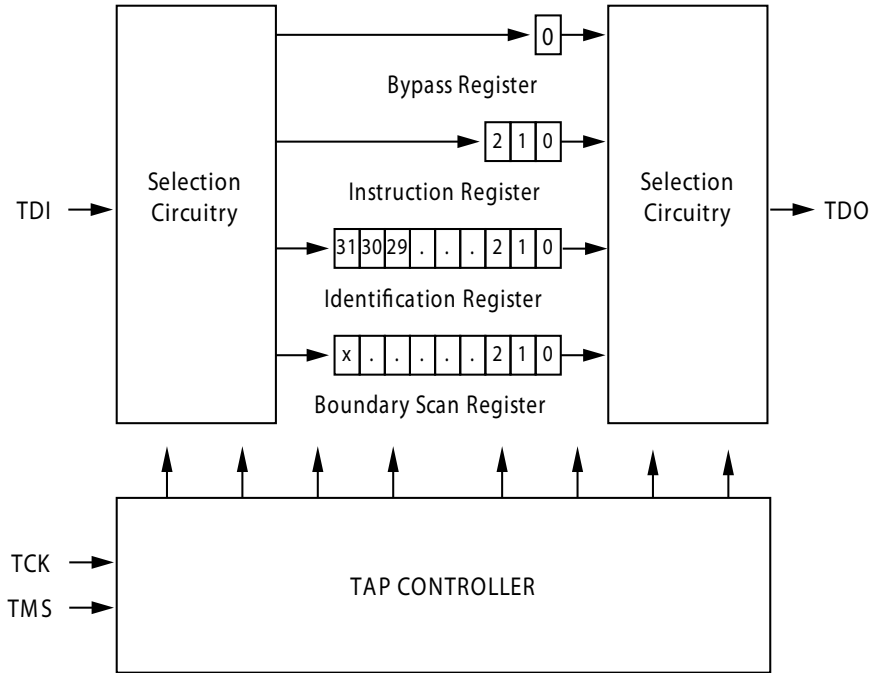
Reserved

这些指令尚未实现，但可以留作今后使用。请勿使用这些指令。

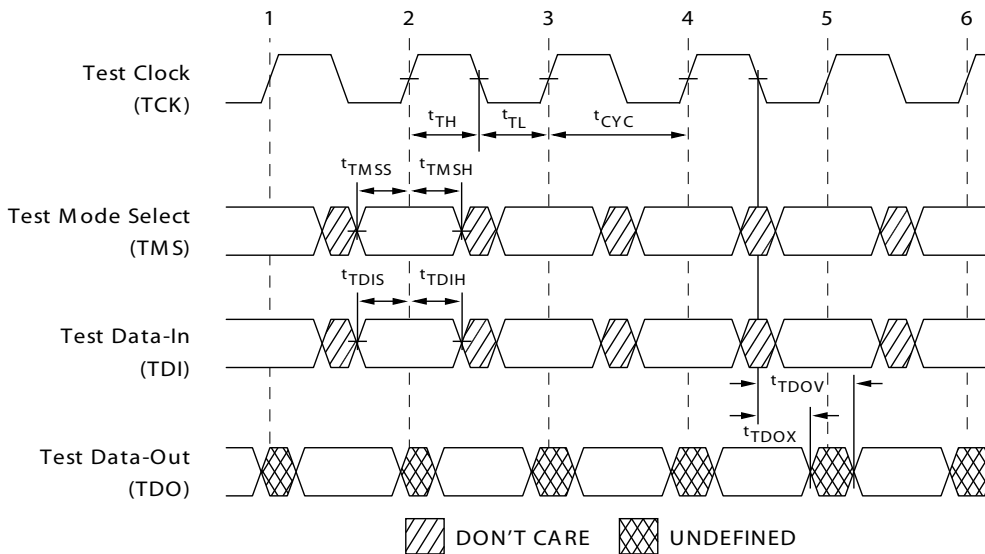
TAP 控制器状态图



TAP 控制器框图



TAP 时序



TAP 交流开关特性

在工作范围内

参数 [12、13]	说明	最小值	最大值	单位
时钟				
t_{TCYC}	TCK 时钟周期时间	50	–	ns
t_{TF}	TCK 时钟频率	–	20	MHz
t_{TH}	TCK 时钟为高电平的时间	20	–	ns
t_{TL}	TCK 时钟为低电平的时间	20	–	ns
输出时间				
t_{TDOV}	从 TCK 时钟为低电平到 TDO 有效的时间	–	10	ns
t_{TDOX}	从 TCK 时钟为低电平到 TDO 无效的时间	0	–	ns
建立时间				
t_{TMSS}	从 TMS 建立到 TCK 时钟上升沿的时间	5	–	ns
t_{TDIS}	从 TDI 建立到 TCK 时钟上升沿的时间	5	–	ns
t_{CS}	从捕获建立到 TCK 上升沿的时间	5	–	ns
保持时间				
t_{TMSSH}	TCK 时钟上升沿之后 TMS 保持的时间	5	–	ns
$t_{TDI H}$	时钟上升沿之后 TDI 保持的时间	5	–	ns
t_{CH}	时钟上升沿之后捕获保持的时间	5	–	ns

注释:

12. t_{CS} 和 t_{CH} 是指从边界扫描寄存器锁存数据所需要的建立和保持时间。
 13. 测试条件是通过使用 TAP 交流测试条件中的负载确定的。 $t_R/t_F = 1$ ns。

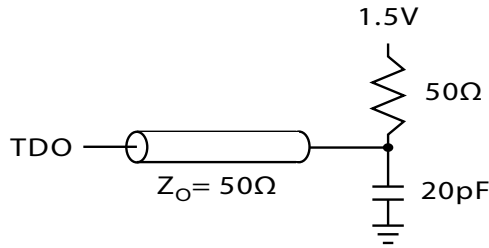
3.3 V TAP 交流测试条件

输入脉冲电平 V_{SS} 至 3.3 V
 输入上升和下降时间（转换速率） 2 V/ns
 输入时序参考电平 1.5 V
 输出参考电平 1.5 V
 测试负载终端供电电压 1.5 V

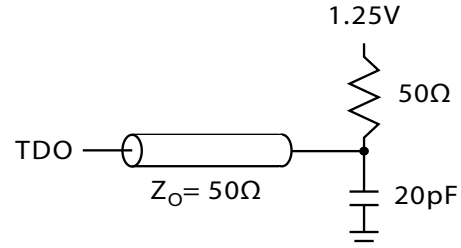
2.5 V TAP 交流测试条件

输入脉冲电平 V_{SS} 到 2.5 V
 输入上升和下降时间（转换速率） 2 V/ns
 输入时序参考电平 1.25 V
 输出参考电平 1.25 V
 测试负载终端供电电压 1.25 V

3.3 V TAP 交流输出负载等效



2.5 V TAP 交流输出负载等效



TAP 直流电气特性和工作条件

（除非另有说明，否则其工作条件为： $0\text{ }^{\circ}\text{C} < T_A < +70\text{ }^{\circ}\text{C}$ ； $V_{DD} = 3.3\text{ V} \pm 0.165\text{ V}$ ）

参数 ^[14]	说明	测试条件	最小值	最大值	单位	
V_{OH1}	输出高电压	$I_{OH} = -4.0\text{ mA}$, $V_{DDQ} = 3.3\text{ V}$	2.4	—	V	
		$I_{OH} = -1.0\text{ mA}$, $V_{DDQ} = 2.5\text{ V}$	2.0	—	V	
V_{OH2}	输出高电压	$I_{OH} = -100\text{ }\mu\text{A}$	$V_{DDQ} = 3.3\text{ V}$	2.9	—	V
			$V_{DDQ} = 2.5\text{ V}$	2.1	—	V
V_{OL1}	输出低电压	$I_{OL} = 8.0\text{ mA}$, $V_{DDQ} = 3.3\text{ V}$	—	0.4	V	
		$I_{OL} = 8.0\text{ mA}$, $V_{DDQ} = 2.5\text{ V}$	—	0.4	V	
V_{OL2}	输出低电压	$I_{OL} = 100\text{ }\mu\text{A}$	$V_{DDQ} = 3.3\text{ V}$	—	0.2	V
			$V_{DDQ} = 2.5\text{ V}$	—	0.2	V
V_{IH}	输入高电压	$V_{DDQ} = 3.3\text{ V}$	2.0	$V_{DD} + 0.3$	V	
		$V_{DDQ} = 2.5\text{ V}$	1.7	$V_{DD} + 0.3$	V	
V_{IL}	输入低电压	$V_{DDQ} = 3.3\text{ V}$	-0.5	0.7	V	
		$V_{DDQ} = 2.5\text{ V}$	-0.3	0.7	V	
I_X	输入负载电流	$GND \leq V_{IN} \leq V_{DDQ}$	-5	5	μA	

注释：

14. 所有电压都参考 V_{SS} （接地）电压。

标识寄存器定义

指令字段	CY7C1370KV33	说明
版本号 (31:29)	000	保留, 用于指出版本编号。
赛普拉斯器件 ID (28:12) ^[15]	01011001000010101	保留, 用于日后使用。
赛普拉斯 JEDEC ID (11:1)	00000110100	指出 SRAM 供货商的独特标识。
ID 寄存器的存在情况 (0)	1	表示是否存在 ID 寄存器。

扫描寄存器大小

寄存器名称	位大小 (x 36)
指令	3
旁路	1
ID	32
边界扫描顺序 (165 球 FBGA 封装)	89

标识代码

指令	代码	说明
EXTEST	000	捕获 I/O 环内容。将边界扫描寄存器置于 TDI 和 TDO 之间。强制所有 SRAM 输出均进入高阻态。
IDCODE	001	将供应商 ID 代码加载到 ID 寄存器中, 并将该寄存器置于 TDI 和 TDO 之间。该操作不会影响 SRAM 的工作。
SAMPLE Z	010	捕获 I/O 环内容。将边界扫描寄存器置于 TDI 和 TDO 之间。强制所有 SRAM 输出驱动器均进入高阻态。
RESERVED	011	请勿使用: 该指令留作日后使用。
SAMPLE/PRELOAD	100	捕获 I/O 环内容。将边界扫描寄存器置于 TDI 和 TDO 之间。该操作不会影响 SRAM 的工作。
RESERVED	101	请勿使用: 该指令留作日后使用。
RESERVED	110	请勿使用: 该指令留作日后使用。
BYPASS	111	将旁路寄存器置于 TDI 和 TDO 之间。该操作不会影响 SRAM 的工作。

注释:

15. 对于该器件的 2.5 V 和 3.3 V 版本, 在寄存器定义中, 位 #24 为 “1”。

边界扫描顺序

165 球 FBGA [16、17]

位 #	接口 ID
1	N6
2	N7
3	N10
4	P11
5	P8
6	R8
7	R9
8	P9
9	P10
10	R10
11	R11
12	H11
13	N11
14	M11
15	L11
16	K11
17	J11
18	M10
19	L10
20	K10
21	J10
22	H9
23	H10
24	G11
25	F11
26	E11
27	D11
28	G10
29	F10
30	E10

位 #	接口 ID
31	D10
32	C11
33	A11
34	B11
35	A10
36	B10
37	A9
38	B9
39	C10
40	A8
41	B8
42	A7
43	B7
44	B6
45	A6
46	B5
47	A5
48	A4
49	B4
50	B3
51	A3
52	A2
53	B2
54	C2
55	B1
56	A1
57	C1
58	D1
59	E1
60	F1

位 #	接口 ID
61	G1
62	D2
63	E2
64	F2
65	G2
66	H1
67	H3
68	J1
69	K1
70	L1
71	M1
72	J2
73	K2
74	L2
75	M2
76	N1
77	N2
78	P1
79	R1
80	R2
81	P3
82	R3
83	P2
84	R4
85	P4
86	N5
87	P6
88	R6
89	内部

注释:

16. NC (未连接) 的接口被预设为低电平。
17. 位 #89 被预设为高电平。

最大额定值

超过最大额定值可能会影响器件的使用寿命。这些用户指南未经过测试。

存放温度 -65 °C 至 +150 °C
 通电时的环境温度 -55 °C 至 +125 °C
 V_{DD} 上相对于 GND 的供电电压 -0.5 V 至 +4.6 V
 V_{DDQ} 上相对于 GND 的供电电压 -0.5 V 至 + V_{DD}
 在三态模式下输出的直流电压 -0.5 V 至 $V_{DDQ} + 0.5$ V
 直流输入电压 -0.5 V 至 $V_{DD} + 0.5$ V
 输出电流（低电平） 20 mA
 静电放电电压
 （根据 MIL-STD-883, 方法 3015） > 2001 V
 锁存电流 > 200 mA

工作范围

范围	环境温度	V_{DD}	V_{DDQ}
商业级	0 °C 至 +70 °C	3.3 V - 5% / +10%	2.5 V - 5% 至 V_{DD}
工业级	-40 °C 至 +85 °C		

抗中子软失效

参数	说明	测试条件	典型值	最大值 *	单位
LSBU (无 ECC 的器件)	逻辑单比特错误	25 °C	197	216	FIT/Mb
			0	0.01	FIT/Mb
LMBU	逻辑多比特错误	25 °C	0	0.01	FIT/Mb
SEL	单粒子门锁	85 °C	0	0.1	FIT/Dev

* 测试期间未出现 LMBU 或 SEL 事件; 该列为统计得出的 χ^2 , 按 95% 置信区间计算。如需详细信息, 请参考应用笔记 AN 54908 “加速抗中子 SER 测试和陆生故障率的计算”。

电气特性

在工作范围内

参数 ^[18, 19]	说明	测试条件	最小值	最大值	单位
V_{DD}	电源电压		3.135	3.6	V
V_{DDQ}	I/O 供电电压	3.3 V I/O	3.135	V_{DD}	V
		2.5 V I/O	2.375	2.625	V
V_{OH}	输出高电压	3.3 V I/O, $I_{OH} = -4.0$ mA	2.4	-	V
		2.5 V I/O, $I_{OH} = -1.0$ mA	2.0	-	V
V_{OL}	输出低电压	3.3 V I/O, $I_{OL} = 8.0$ mA	-	0.4	V
		2.5 V I/O, $I_{OL} = 1.0$ mA	-	0.4	V
V_{IH}	输入高电压 ^[18]	3.3 V I/O	2.0	$V_{DD} + 0.3$ V	V
		2.5 V I/O	1.7	$V_{DD} + 0.3$ V	V
V_{IL}	输入低电压 ^[18]	3.3 V I/O	-0.3	0.8	V
		2.5 V I/O	-0.3	0.7	V
I_X	输入漏电流 (ZZ 和 MODE 除外)	$GND \leq V_i \leq V_{DDQ}$	-5	5	mA
	MODE 的输入电流	输入 = V_{SS}	-30	-	
		输入 = V_{DD}	-	5	
	ZZ 的输入电流	输入 = V_{SS}	-5	-	
输入 = V_{DD}		-	30		

注释:

18. 过冲: $V_{IH(AC)} < V_{DD} + 1.5$ V (脉冲宽度小于 $t_{CYC}/2$), 下冲: $V_{IL(AC)} > -2$ V (脉冲宽度小于 $t_{CYC}/2$)。

19. $T_{Power-up}$: 假设从 0 V 的电压线性上升至 V_{DD} (最小值) 最少占用 200 ms。在此期间, $V_{IH} < V_{DD}$ 和 $V_{DDQ} \leq V_{DD}$ 。

电气特性 (续)

在工作范围内

参数 ^[18、19]	说明	测试条件		最小值	最大值	单位	
I_{OZ}	输出漏电流	GND $\leq V_I \leq V_{DDQ}$, 输出禁用		-5	5	mA	
I_{DD}	V_{DD} 的工作电流	$V_{DD} = \text{最大值}$, $I_{OUT} = 0 \text{ mA}$, $f = f_{MAX} = 1/t_{CYC}$	4 ns 周期, 250 MHz	x 18	-	180	mA
				x 36	-	200	
			5 ns 周期, 200 MHz	x 18	-	158	
				x 36	-	178	
			6 ns 周期, 167 MHz	x 18	-	143	
				x 36	-	163	
I_{SB1}	自动 CE 断电电流 — TTL 输入	最大值 $V_{DD} = \text{最大值}$, 取消选择 器件, $V_{IN} \geq V_{IH}$ 或 $V_{IN} \leq V_{IL}$, $f = f_{MAX} = 1/t_{CYC}$	4 ns 周期, 250 MHz	x 18	-	75	mA
				x 36	-	80	
			5 ns 周期, 200 MHz	x 18	-	75	
				x 36	-	80	
			6 ns 周期, 167 MHz	x 18	-	75	
				x 36	-	80	
I_{SB2}	自动 CE 断电电流 — CMOS 输入	最大值 V_{DD} , 取消选择器件, $V_{IN} \leq 0.3 \text{ V}$ 或 $V_{IN} \geq V_{DDQ} - 0.3 \text{ V}$, $f = 0$	所有速度范围	x 18	-	65	mA
				x 36	-	70	
I_{SB3}	自动 CE 断电电流 — CMOS 输入	最大值 V_{DD} , 取消选择器件, $V_{IN} \leq 0.3 \text{ V}$ 或 $V_{IN} \geq V_{DDQ} - 0.3 \text{ V}$, $f = f_{MAX} = 1/t_{CYC}$	4 ns 周期, 250 MHz	x 18	-	75	mA
				x 36	-	80	
			5 ns 周期, 200 MHz	x 18	-	75	
				x 36	-	80	
			6 ns 周期, 167 MHz	x 18	-	75	
				x 36	-	80	
I_{SB4}	自动 CE 断电电流 — TTL 输入	最大值 V_{DD} , 取消选择器件, $V_{IN} \geq V_{IH}$ 或 $V_{IN} \leq V_{IL}$, $f = 0$	所有速度范围	x 18	-	65	mA
				x 36	-	70	

电容

参数	说明	测试条件	100-TQFP 最大值	165 球 FBGA 最大值	单位
C_{IN}	输入电容	$T_A = 25\text{ }^\circ\text{C}$, $f = 1\text{ MHz}$, $V_{DD} = 3.3\text{ V}$, $V_{DDQ} = 2.5\text{ V}$	5	5	pF
C_{CLK}	时钟输入电容		5	5	pF
$C_{I/O}$	输入 / 输出电容		5	5	pF

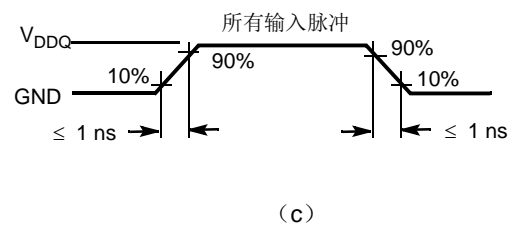
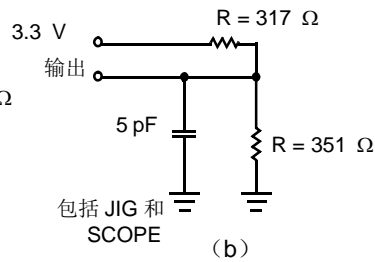
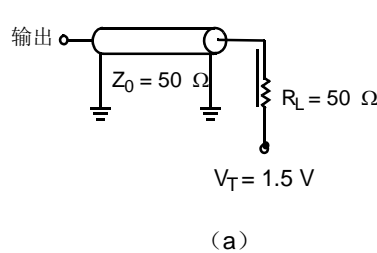
热电阻

参数	说明	测试条件	100-TQFP 封装	165 球 FBGA 封装	单位	
Θ_{JA}	热阻抗 (结至环境)	根据 EIA/JESD51 的要求, 测试条件遵循测试热阻的 标准测试方法和过程。	无气流 (0 m/s)	37.95	17.34	$^\circ\text{C/W}$
			存在气流 (1 m/s)	33.19	14.33	$^\circ\text{C/W}$
			存在气流 (3 m/s)	30.44	12.63	$^\circ\text{C/W}$
Θ_{JB}	热阻抗 (结至板)	--	24.07	8.95	$^\circ\text{C/W}$	
Θ_{JC}	热阻抗 (结至外壳)		8.36	3.50	$^\circ\text{C/W}$	

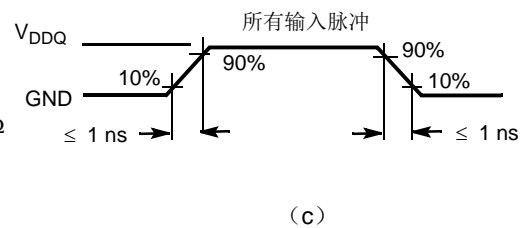
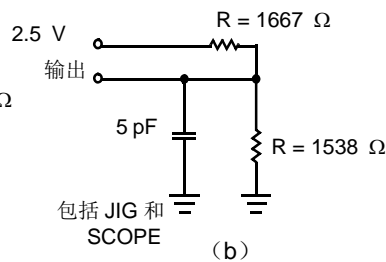
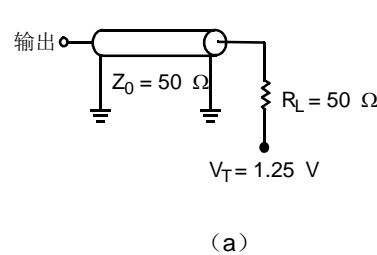
交流测试负载和波形

图 3. 交流测试负载和波形

3.3 V I/O 测试负载



2.5 V I/O 测试负载



开关特性

在工作范围内

参数 ^[20、21]	说明	-250		-200		-167		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
$t_{Power}^{[22]}$	从电压为 V_{CC} (典型值) 到第一次执行读取或写入操作的时间	1	-	1	-	1	-	ms
时钟								
t_{CYC}	时钟周期时间	4.0	-	5	-	6	-	ns
F_{MAX}	最大工作频率	-	250	-	200	-	167	MHz
t_{CH}	时钟为高电平的时间	1.5	-	2.0	-	2.4	-	ns
t_{CL}	时钟为低电平的时间	1.5	-	2.0	-	2.4	-	ns
输出时间								
t_{CO}	从 CLK 上升沿到数据输出有效的时间	-	2.5	-	3.2	-	3.4	ns
t_{EOV}	从 \overline{OE} 为低电平到输出有效的时间	-	2.6	-	3.0	-	3.4	ns
t_{DOH}	CLK 上升沿之后数据输出保持的时间	1.0	-	1.5	-	1.5	-	ns
t_{CHZ}	从时钟上升沿到数据输入 / 输出转为高阻态的时间 ^[23、24、25]	-	2.6	-	3.0	-	3.4	ns
t_{CLZ}	从时钟上升沿到数据输入 / 输出为低阻态的时间 ^[23、24、25]	1.0	-	1.3	-	1.5	-	ns
t_{EOHZ}	从 \overline{OE} 为高电平到输出为高阻态的时间 ^[23、24、25]	-	2.6	-	3.0	-	3.4	ns
t_{EOLZ}	从 \overline{OE} 为低电平到输出为低阻态的时间 ^[23、24、25]	0	-	0	-	0	-	ns
建立时间								
t_{AS}	CLK 上升沿之前地址建立的时间	1.2	-	1.4	-	1.5	-	ns
t_{DS}	CLK 上升沿之前数据输入建立的时间	1.2	-	1.4	-	1.5	-	ns
t_{CENS}	CLK 上升沿之前 \overline{CEN} 建立的时间	1.2	-	1.4	-	1.5	-	ns
t_{WES}	CLK 上升沿之前 \overline{WE} 和 \overline{BW}_x 建立的时间	1.2	-	1.4	-	1.5	-	ns
t_{ALS}	CLK 上升沿之前 $\overline{ADV/LD}$ 建立的时间	1.2	-	1.4	-	1.5	-	ns
t_{CES}	芯片选择建立时间	1.2	-	1.4	-	1.5	-	ns
保持时间								
t_{AH}	CLK 上升沿之后地址保持的时间	0.3	-	0.4	-	0.5	-	ns
t_{DH}	CLK 上升沿之后数据输入保持的时间	0.3	-	0.4	-	0.5	-	ns
t_{CENH}	CLK 上升沿之后 \overline{CEN} 保持的时间	0.3	-	0.4	-	0.5	-	ns
t_{WEH}	CLK 上升沿之后 \overline{WE} 和 \overline{BW}_x 保持的时间	0.3	-	0.4	-	0.5	-	ns
t_{ALH}	CLK 上升沿之后 $\overline{ADV/LD}$ 保持的时间	0.3	-	0.4	-	0.5	-	ns
t_{CEH}	CLK 上升沿之后芯片选择保持的时间	0.3	-	0.4	-	0.5	-	ns

注释:

20. $V_{DDQ} = 3.3V$ 时, 时序参考电压为 1.5V; $V_{DDQ} = 2.5V$ 时, 时序参考电压为 1.25V。

21. 除非另有说明, 否则测试条件都显示在第 23 页上的图 3 的 (a) 内。

22. 该器件内部使用了一个电压调节器; t_{Power} 是指启动读取 / 写入操作前供电电压超过 V_{DD} (最小值) 所需的时间。

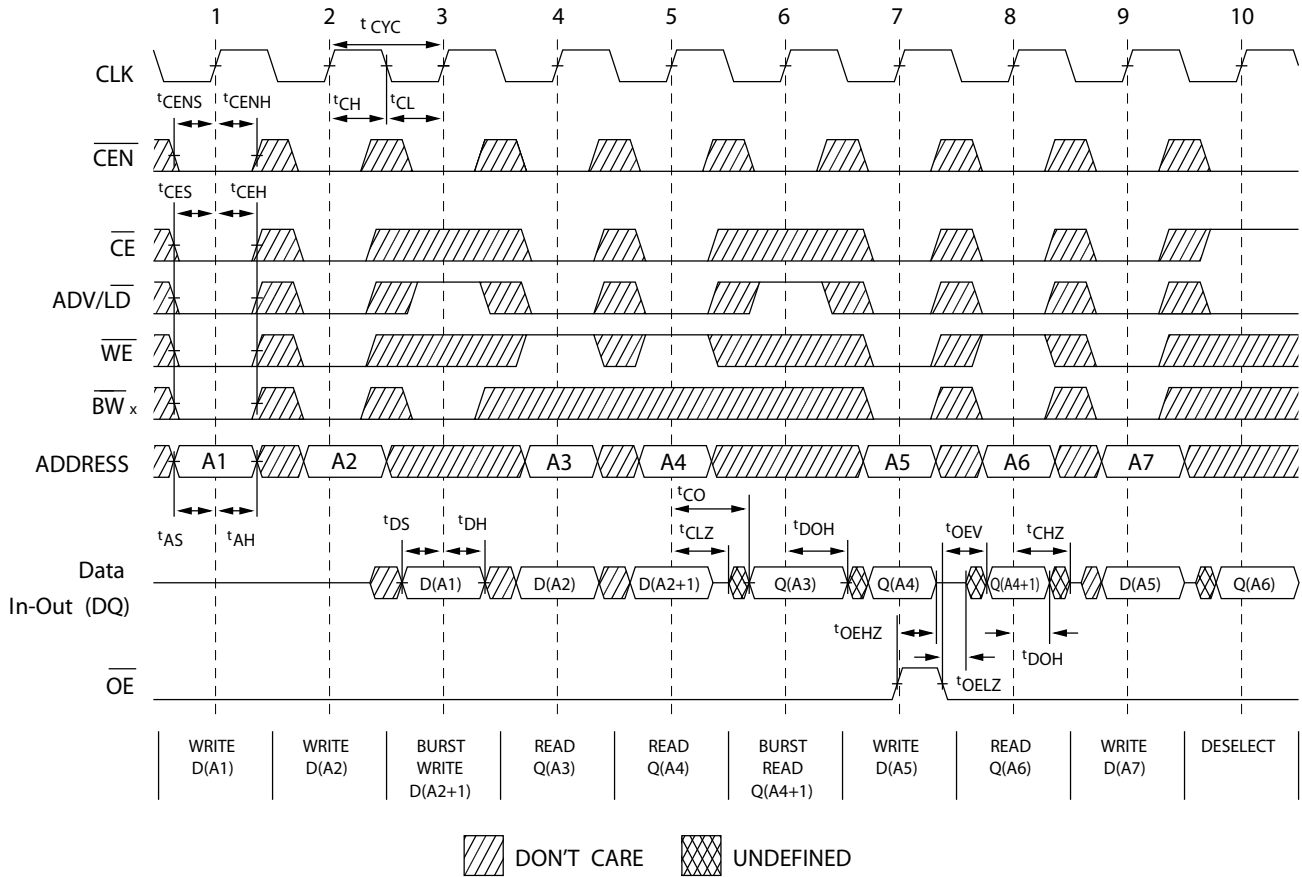
23. t_{CHZ} 、 t_{CLZ} 、 t_{EOLZ} 和 t_{EOHZ} 都是在第 23 页上的图 3 的 (b) 情况所示的交流测试条件下指定的。跃变在稳定状态电压 $\pm 200mV$ 的条件下测量。

24. 在任何给定的电压和温度情况下, t_{EOHZ} 小于 t_{EOLZ} ; t_{CHZ} 小于 t_{CLZ} , 这样在共享同一个数据总线时能够排除总线冲突。这些规范并不表示一个总线冲突状态, 但反映了在最坏的情况下得到保证的参数。器件设计的目的在于在同一个系统条件下进入低阻态前要进入高阻态。

25. 该参数为采样值, 并非 100% 经过了测试。

开关波形

图 4. 读取 / 写入 / 时序 [26、27、28]



注释:

26. 对于该波形, ZZ 被置为低电平。

27. 如果 CE 为低电平, CE₁ 和 CE₃ 均为低电平, CE₂ 则为高电平。如果 CE 为高电平, CE₁ 为高电平, 或 CE₂ 为低电平, 或 CE₃ 为高电平。

28. MODE 的状态会决定突发的顺序 (0 = 线性, 1 = 交错)。突发操作是可选的。

开关波形 (续)

图 5. NOP、STALL 和 DESELECT 周期 [29、30、31]

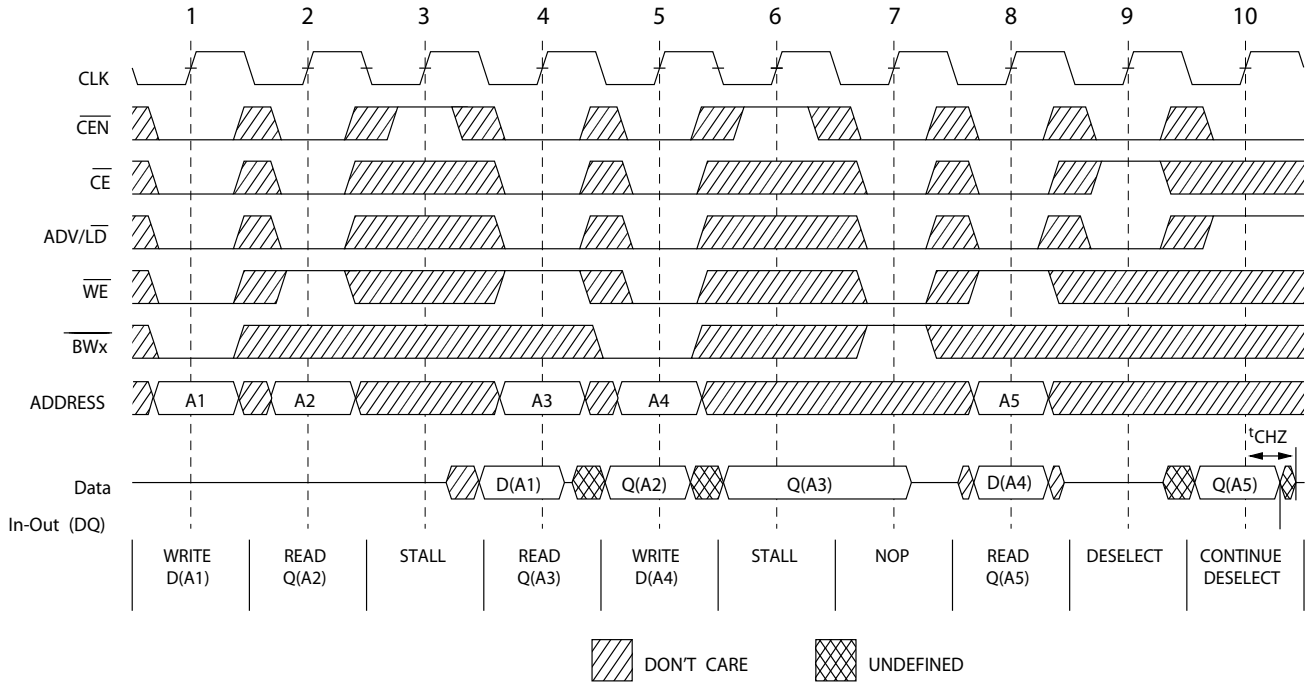
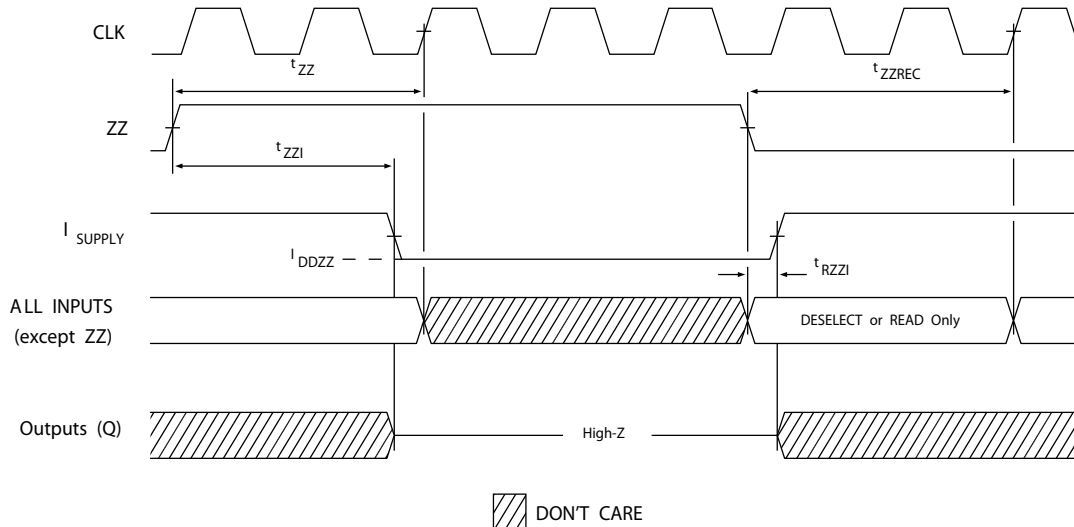


图 6. ZZ 模式时序 [32、33]



注释:

- 29. 对于该波形, ZZ 被置为低电平。
- 30. 如果 \overline{CE} 为低电平, \overline{CE}_1 和 \overline{CE}_3 均为低电平, \overline{CE}_2 则为高电平。如果 \overline{CE} 为高电平, \overline{CE}_1 为高电平, 或 \overline{CE}_2 为低电平, 或 \overline{CE}_3 为高电平。
- 31. IGNORE CLOCK EDGE 或 STALL 周期 (时钟 3) 说明 \overline{CEN} 用于创建一个暂停。在该周期中, 不执行写入操作。
- 32. 进入 ZZ 模式时, 必须取消选择器件。有关取消选择器件的所有可能信号条件, 请参考周期说明表。
- 33. 退出 ZZ 睡眠模式时, I/O 处于高阻态。

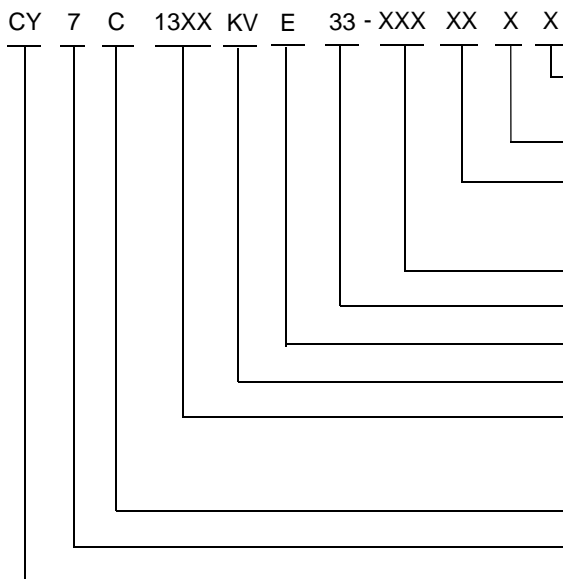
订购信息

赛普拉斯对此类产品提供了其他版本，它们可适用于多种配置并提供丰富功能。下表仅包含目前可以供应的器件列表。有关所有选项的完整列表，请访问赛普拉斯网站 www.cypress.com 并参考 <http://www.cypress.com/products> 上的产品汇总页，或联系您的当地销售代表。

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问 <http://www.cypress.com/go/datasheet/offices>。

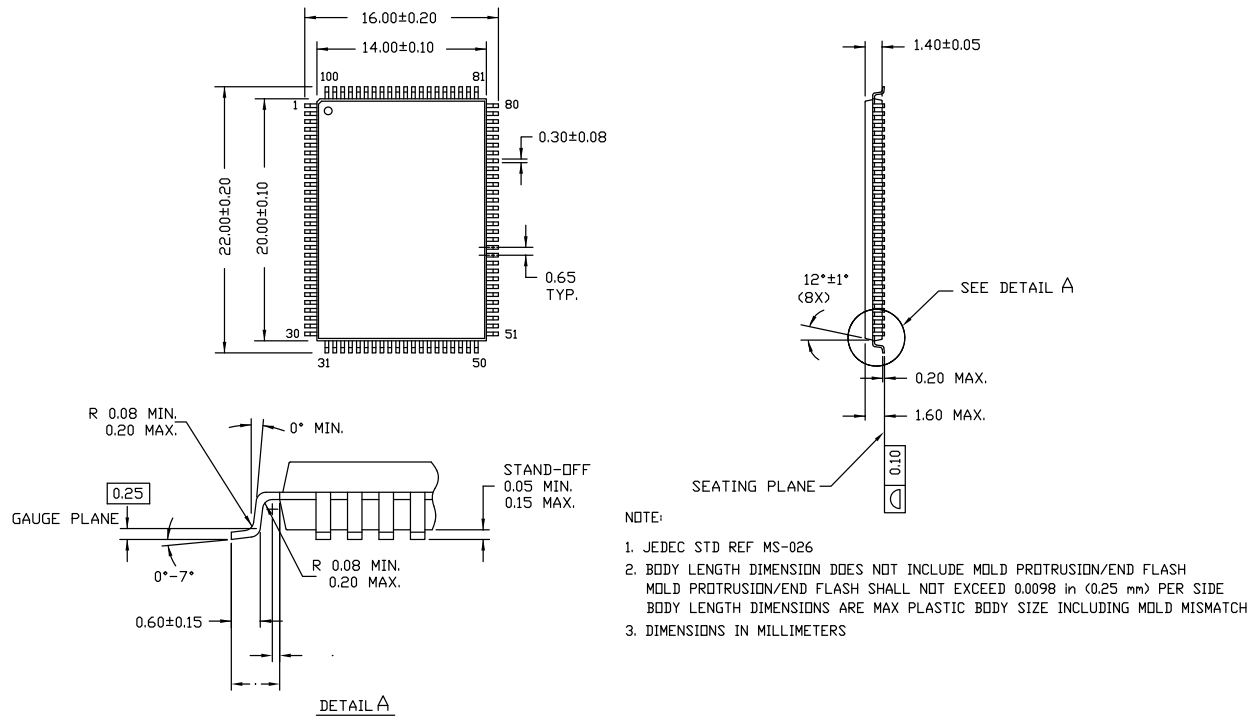
速度 (MHz)	订购代码	封装图	器件和封装类型	工作范围
167	CY7C1370KV33-167AXC	51-85050	100-TQFP (14 x 20 x 1.4 mm) 无铅	商业级
	CY7C1372KV33-167AXC			
	CY7C1370KV33-167BZXC	51-85180	165 球 FBGA (13 x 15 x 1.4 mm) 无铅	工业级
	CY7C1370KV33-167AXI	51-85050	100-TQFP (14 x 20 x 1.4 mm) 无铅	
	CY7C1370KVE33-167AXI			
	CY7C1372KV33-167AXI			
	CY7C1372KVE33-167AXI			
200	CY7C1370KV33-200AXC	51-85050	100-TQFP (14 x 20 x 1.4 mm) 无铅	商业级
	CY7C1372KV33-200AXC	51-85050	100-TQFP (14 x 20 x 1.4 mm) 无铅	工业级
	CY7C1370KV33-200AXI			
250	CY7C1370KV33-250AXC	51-85050	100-TQFP (14 x 20 x 1.4 mm) 无铅	商业级

订购代码定义



封装图

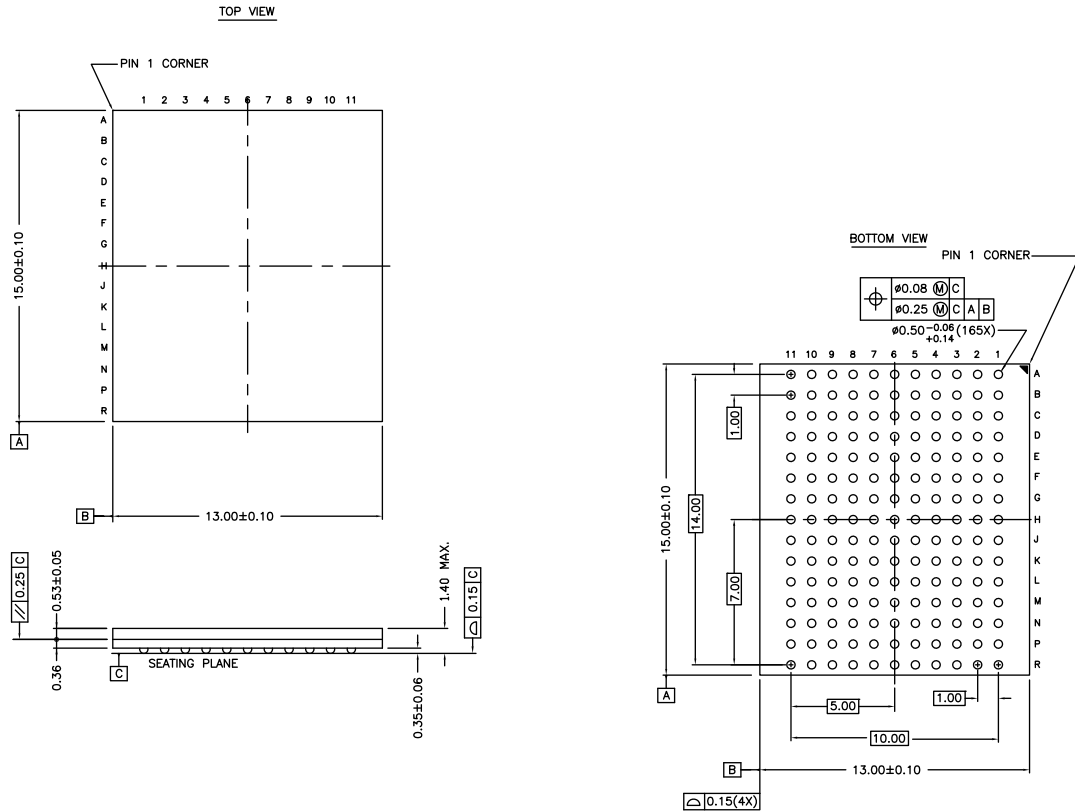
图 7. 100-TQFP (14 × 20 × 1.4 mm) A100RA 封装外形, 51-85050



51-85050 *E

封装图 (续)

图 8. 165 球 FBGA (13 × 15 × 1.4 mm) BB165D/BW165D (0.5 接口直径) 封装外形, 51-85180



NOTES :
 SOLDER PAD TYPE : NON-SOLDER MASK DEFINED (NSMD)
 JEDEC REFERENCE : MO-216 / ISSUE E
 PACKAGE CODE : BB0AC/BW0AC
 PACKAGE WEIGHT : SEE CYPRESS PACKAGE MATERIAL DECLARATION
 DATASHEET (PMDD) POSTED ON THE CYPRESS WEB.

51-85180 *G

缩略语

缩略语	说明
CE	芯片使能
$\overline{\text{CEN}}$	时钟使能
CMOS	互补金属氧化物半导体
FBGA	小间距球栅阵列
I/O	输入 / 输出
JTAG	联合测试行动小组
LMBU	逻辑多比特错误
LSB	最低有效位
LSBU	逻辑单比特错误
MSB	最高有效位
NoBL	无总线延迟
$\overline{\text{OE}}$	输出使能
SEL	单粒子门锁
SRAM	静态随机存取存储器
TAP	测试存取端口
TCK	测试时钟
TMS	测试模式选择
TDI	测试数据输入
TDO	测试数据输出
TQFP	薄型四方扁平封装
TTL	晶体管 - 晶体管逻辑
$\overline{\text{WE}}$	写入使能

文档规范

测量单位

符号	测量单位
°C	摄氏度
k Ω	千欧姆
MHz	兆赫兹
μA	微安
μs	微秒
mA	毫安
mV	毫伏
mm	毫米
ms	毫秒
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
ps	皮秒
V	伏特
W	瓦特

文档修订记录

文档标题 CY7C1370KV33/CY7C1370KVE33/CY7C1372KV33/CY7C1372KVE33, 带有 NoBL™ 架构的 18 Mbit (512 K × 36/1 M × 18) 流水线 SRAM (带 ECC) 文档编号: 001-98225				
版本	ECN 编号	变更者	提交日期	变更说明
**	4854108	LYAO	07/27/2015	本档版本号为 Rev**, 译自英文版 001-97836 Rev*A。
*A	5011924	YLIU	11/12/2015	本档版本号为 Rev*A, 译自英文版 001-97836 Rev*C。