

18 Mb (512 K × 36/1 M × 18) 流水线 DCD 同步 SRAM

特性

- 支持总线的运行速度高达 200 MHz
- 可用速度为 200 MHz 和 167 MHz
- 流水线操作的输入和输出寄存器
- 优化于性能（双周期取消选择）
- 无需等待状态的深入宽展
- 3.3 V 内核电源 (V_{DD})
- 2.5 V 或 3.3 V 的 I/O 供电电源 (V_{DDQ})
- 快速的时钟至输出的时间
 - 3 ns（对于 200 MHz 器件）
- 提供了高性能的 3-1-1-1 访问速率
- 用户可选的突发计数器支持交错或线性突发序列
- 独立的处理器和控制器地址选通
- 同步自定时写入
- 异步输出使能
- CY7C1386KV33 适用于 JEDEC 标准无铅 100-TQFP。
CY7C1387KV33 适用于 JEDEC 标准无铅 100-TQFP。
- 支持 ZZ 睡眠模式选项

功能描述

CY7C1386KV33/CY7C1387KV33 SRAM 集成了 512 K × 36/1 M × 18 SRAM 单元、先进的同步外围电路和用于内部突发操作的 2 位计数器。通过上升沿上触发的时钟输入 (CLK) 所控制的寄存器对所有同步输入进行门控。同步输入包括所有地址、所有数据输入、地址流水线芯片使能 (\overline{CE}_1)、深度扩展芯片使能 (\overline{CE}_2 和 \overline{CE}_3)、突发控制输入 (\overline{ADSC} 、 \overline{ADSP} 、和 \overline{ADV})、写使能 (\overline{BW}_x 和 \overline{BWE}) 以及全局写入 (\overline{GW})。异步输入包括输出使能 (\overline{OE}) 和 ZZ 引脚。

当地址探针处理器 (\overline{ADSP}) 或地址探针控制器 (\overline{ADSC}) 处于活动状态时，地址和芯片使能信号都被寄存在时钟的上升沿上。当 Advance 引脚 (\overline{ADV}) 控制后续突发地址时，会内部生成它们。

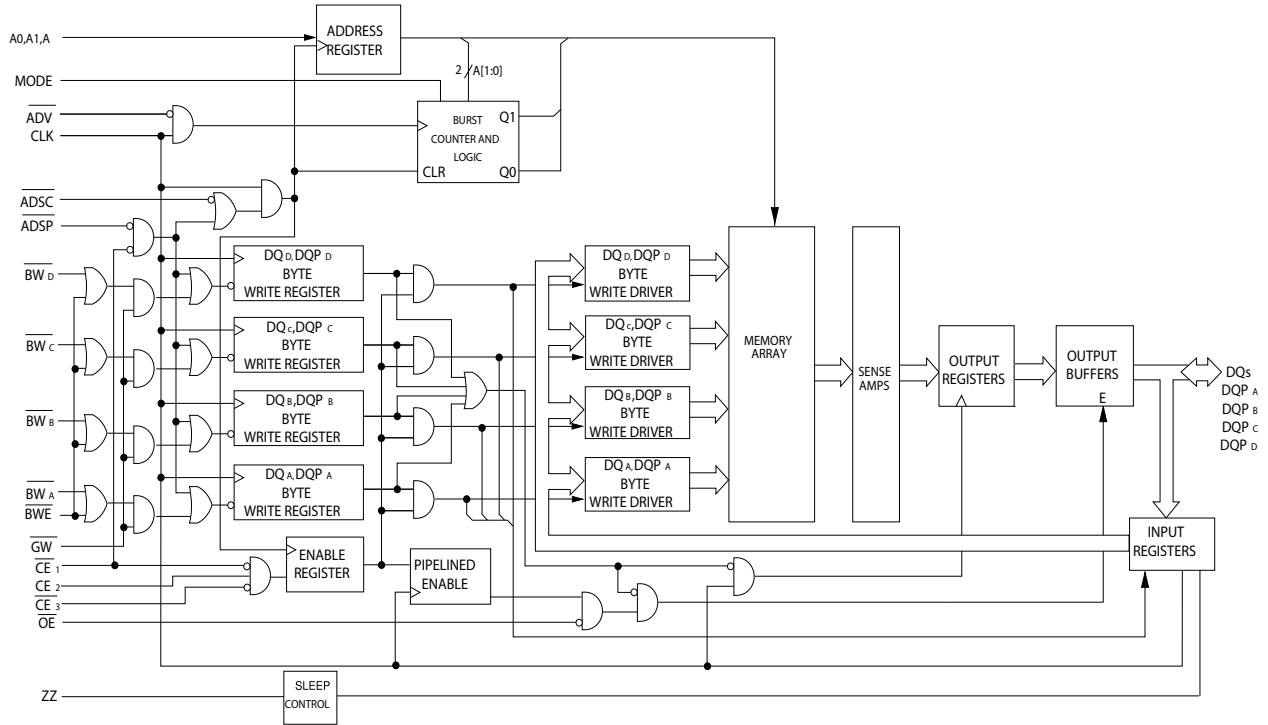
地址、数据输入和写控制被寄存在芯片上，以便初始自定时写周期。该器件支持字节写操作（欲了解更详细的信息，请参考第 5 页上的引脚配置和第 9 页上的真值表）。当字节写控制输入控制写周期时，该周期的宽度可以是一至四个字节。当 \overline{GW} 为低电平有效时，将对所有字节进行写操作。该器件包含了一个附加的流水线使能寄存器，当执行一个取消选择指令时，它会延长关闭输出的时间，并提供额外的一个缓冲周期。通过该特性可以进行深入扩展而不会影响到系统的性能。

CY7C1386KV33/CY7C1387KV33 运行时的内核供电电压等于或高于 +3.3 V，而所有输出运行时的供电电压为 +2.5 或 +3.3 V。所有输入和输出都符合 JEDEC 标准和 JESD8-5 标准。

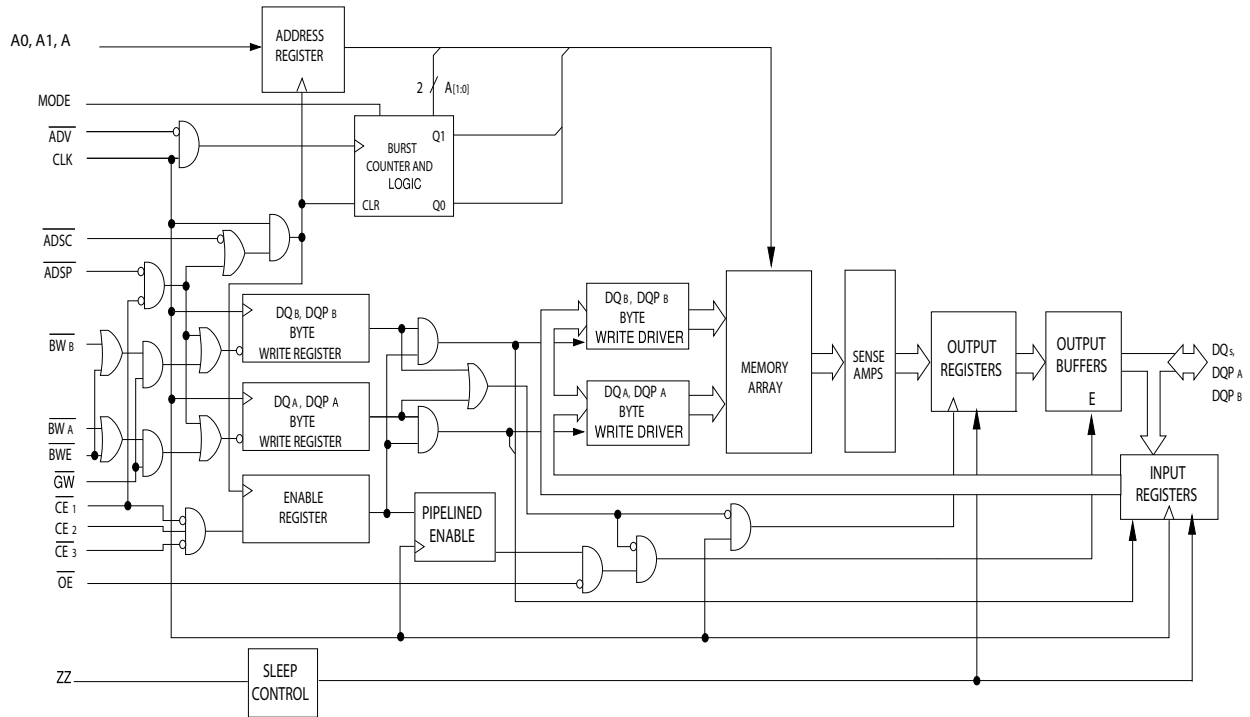
产品选择指南

说明		200 MHz	167 MHz	单位
最长访问时间		3.0	3.4	ns
最大工作电流	× 18	158	143	mA
	× 36	178	163	

逻辑框图 — CY7C1386KV33



逻辑框图 — CY7C1387KV33



目录

引脚配置	5	电容	13
引脚定义	6	热阻抗	13
功能概述	7	交流测试负载和波形	13
单一读访问	7	切换特性	14
ADSP 启动的单一写入访问	7	切换波形	15
ADSC 启动的单一写入访问	7	订购信息	19
突发序列	7	订购代码定义	19
睡眠模式	8	封装图	20
交错突发地址表	8	缩略语	21
线性突发地址表	8	文档常规	21
ZZ 模式的电气特性	8	测量单位	21
真值表	9	文档修订记录	22
读 / 写操作的真值表	10	销售、解决方案和法律信息	23
读 / 写操作真值表	10	全球销售和 design 支持	23
最大额定值	11	产品	23
工作范围	11	PSoC [®] 解决方案	23
抗中子软失效	11	赛普拉斯开发者社区	23
电气特性	11	技术支持	23

引脚定义

名称	I/O	说明
A ₀ 、A ₁ 、A	输入 同步	用于选择地址的地址输入。如果 $\overline{\text{ADSP}}$ 或 $\overline{\text{ADSC}}$ 为低电平有效，这些输入将采样在 CLK 的上升沿上，并 CE ₁ 、CE ₂ 和 CE ₃ 被有效采样。A ₁ :A ₀ 将输入到 2 位计数器。
$\overline{\text{BW}}_{\text{A}}$ 、 $\overline{\text{BW}}_{\text{B}}$ $\overline{\text{BW}}_{\text{C}}$ 、 $\overline{\text{BW}}_{\text{D}}$	输入 同步	低电平有效的字节写选择输入。同 $\overline{\text{BWE}}$ 结合使用，用于将字节写入到 SRAM 内。在 CLK 时钟的上升沿上被采样。
$\overline{\text{GW}}$	输入 同步	低电平有效的全局写使能输入。当在 CLK 上升沿上将该输入置为低电平时，将会执行全局写入（可以写入所有字节，无论 $\overline{\text{BW}}_{\text{x}}$ 和 $\overline{\text{BWE}}$ 上的值如何）。
$\overline{\text{BWE}}$	输入 同步	低电平有效的字节写入使能输入。在 CLK 时钟的上升沿上被采样。必须将该信号置为低电平，以执行字节写入。
CLK	时钟输入	时钟输入。用于将所有同步输入捕获到器件内。另外，在进行突发操作期间，当 $\overline{\text{ADV}}$ 被置为低电平时，可以使用该输入来递增突发计数器。
$\overline{\text{CE}}_1$	输入 同步	低电平有效的芯片使能 1 输入。在 CLK 时钟的上升沿上被采样。同 CE ₂ 和 $\overline{\text{CE}}_3$ 一起使用时，可以选择或取消选择器件。如果 $\overline{\text{CE}}_1$ 为高电平，则忽略 $\overline{\text{ADSP}}$ 。只有加载了新的外部地址时， $\overline{\text{CE}}_1$ 才被采样。
CE ₂	输入 同步	高电平有效的芯片使能 2 输入。在 CLK 时钟的上升沿上被采样。同 $\overline{\text{CE}}_1$ 和 $\overline{\text{CE}}_3$ 一起使用时，可以选择或取消选择器件。只有加载了新的外部地址时，CE ₂ 才被采样。
$\overline{\text{CE}}_3$	输入 同步	低电平有效的芯片使能 3 输入。在 CLK 时钟的上升沿上被采样。同 $\overline{\text{CE}}_1$ 和 CE ₂ 一起使用时，可以选择或取消选择器件。只有加载了新的外部地址时， $\overline{\text{CE}}_3$ 才被采样。
$\overline{\text{OE}}$	异步输入	输出使能，异步输入，低电平有效。用于控制 I/O 引脚的方向。被置为低电平时，I/O 引脚作为输出使用。取消置为高电平有效时，各 DQ 引脚均为三态，并作为输入数据引脚使用。 $\overline{\text{OE}}$ 退出取消选择状态后，在读周期的第一个时钟周期，该信号被屏蔽。
$\overline{\text{ADV}}$	输入 同步	高级输入信号在 CLK 时钟的上升沿上被采样，低电平有效。被激活时，它将自动递增突发周期中的地址。
$\overline{\text{ADSP}}$	输入 同步	处理器中的地址探针，在 CLK 时钟的上升沿上被采样，低电平有效。被置为低电平时，发送到器件的地址将在地址寄存器中被捕获。还会将 A ₁ :A ₀ 加载到突发计数器中。 $\overline{\text{ADSP}}$ 和 $\overline{\text{ADSC}}$ 均被激活时，只有 $\overline{\text{ADSP}}$ 被检测。 $\overline{\text{CE}}_1$ 被置为高电平时， $\overline{\text{ADSP}}$ 被忽略。
$\overline{\text{ADSC}}$	输入 同步	控制器中的地址探针，在 CLK 时钟的上升沿上被采样，低电平有效。被置为低电平时，将在地址寄存器中捕获发送到器件的地址。还会将 A ₁ :A ₀ 加载到突发计数器中。 $\overline{\text{ADSP}}$ 和 $\overline{\text{ADSC}}$ 均被激活时，只有 $\overline{\text{ADSC}}$ 被检测。
ZZ	异步输入	ZZ “睡眠” 输入，高电平有效。该引脚被置为高电平时，器件会处于非时间关键睡眠状态，并保存数据的完整性。正常工作时，必须将该引脚设为低电平。ZZ 引脚具有内部下拉电阻。
DQ _s 、DQP _x	同步 I/O	双向数据 I/O 线。作为输入使用时，这些线将数据发送到片上数据寄存器内，该操作在 CLK 的上升沿上触发。作为输出使用时，在读周期的前一个时钟上升沿内，它们将发送存储器中所存地址指定位置上的数据。这些引脚的方向由 $\overline{\text{OE}}$ 控制。将 $\overline{\text{OE}}$ 置为低电平时，这些引脚作为输出使用。将该信号置为高电平时，DQ _s 和 DQP _x 都处于三态。
V _{DD}	电源	器件内核的电源输入。
V _{SS}	接地	器件内核的接地引脚。
V _{SSQ}	I/O 接地	I/O 电路的接地引脚。
V _{DDQ}	I/O 供电电源	I/O 电路的电源电压。

引脚定义 (续)

名称	I/O	说明
MODE	静态输入	选择突发顺序。 连接到 GND 时, 将选择线性突发序列。被连接到 V_{DD} 或处于悬空状态时, 将选择交错突发序列。这是一个短接 (strap) 引脚, 并在器件运行时应保持该引脚的静态状态。Mode 引脚具有一个内部上拉电阻。
NC	-	无连接。 该引脚未被内部连接到芯片。
NC/ (36 M、72 M、144 M、288 M、576 M、1 G)	-	未连接这些引脚。 在芯片容量扩展为 36 M、72 M、144 M、288 M、576 M 以及 1G 的情况下将使用这些引脚。

功能概述

所有同步输入均通过由时钟的上升沿控制的输入寄存器。所有数据输出均通过时钟的上升沿控制的输出寄存器。

CY7C1386KV33/CY7C1387KV33 支持各个采用了线性或交错突发序列的系统中的辅助缓存。线性突发序列适用于使用线性突发序列的处理器。用户可以选择突发顺序, 并通过采样 MODE 输入可以确定该顺序。通过处理器地址选通 (ADSP) 或控制器地址选通 (ADSC) 开始进行访问。ADV 输入控制突发序列的地址增加。2 位的片上环绕式突发计数器捕获突发序列中的第一个地址, 并自动递增其余突发访问的地址。

字节写操作取决于字节写使能 (\overline{BWE}) 和字节写选择 (\overline{BW}_X) 输入。全局写使能 (\overline{GW}) 覆盖了所有字节写输入, 并将数据写入到所有四个字节内。通过片上同步自定时写电路, 可轻松实现所有写操作。

该器件提供了各个同步芯片选择: \overline{CE}_1 、 \overline{CE}_2 、 \overline{CE}_3 以及一个异步输出使能 (\overline{OE}), 从而很容易能够进行组选择和输出三态控制。如果 \overline{CE}_1 为高电平, 将忽略 ADSP。

单一读访问

如果在时钟上升沿上满足以下条件, 将启动该访问: (1) \overline{ADSP} 或 \overline{ADSC} 被置为低电平, (2) 各个芯片选择均有效, (3) 写信号 (\overline{GW} , \overline{BWE}) 被取消置为高电平。如果 \overline{CE}_1 为高电平, 则 \overline{ADSP} 将被忽略。发送到地址输入的地址被存储在地址增加逻辑和地址寄存器中, 同时被发送到存储器内核中。相应数据被传输到输出寄存器的输入端。在下一个时钟的上升沿上, 如果 \overline{OE} 为低电平有效, 那么数据将在 t_{CO} 时长内通过输出寄存器发送到数据总线上。只能发生一个例外的是, 当 SRAM 从取消选择状态转到选择状态时, 其输出在第一次访问周期内一直处于三态。第一次访问周期结束后, \overline{OE} 信号会控制这些输出。连续的单一读取周期得到支持。

CY7C1386KV33/CY7C1387KV33 是一个双周期取消选择器件。 \overline{SRAM} 在时钟上升沿上被取消选择 (由芯片选择和 \overline{ADSP} 或 \overline{ADSC} 信号引起) 时, 在下一个时钟的上升沿后, 其输出将立即变为三态。

ADSP 启动的单一写入访问

如果在时钟上升沿上能够满足下面两个条件, 那么将启动写访问: (1) \overline{ADSP} 为低电平; (2) 芯片选择为有效。所发送的地址将被加载到地址寄存器和地址递增逻辑中, 同时被传输到存储器内核。在第一个周期内, 会忽略各个写信号 (\overline{GW} 、 \overline{BWE} 以及 \overline{BW}_X) 和 \overline{ADV} 输入。

\overline{ADSP} 触发的写访问需要占用两个时钟周期来完成。如果 \overline{GW} 在第二个时钟上升沿上被置为低电平, 那么发送到 \overline{DQ}_X 输入端的数据将被写入到存储器内核中相应的地址。如果 \overline{GW} 为高电平, 那么 \overline{BWE} 和 \overline{BW}_X 的信号将控制写操作。

CY7C1386KV33/CY7C1387KV33 提供了字节写入功能, 如写周期说明表中的内容所述。如果置位字节写入使能输入 (\overline{BWE}) 和所选的字节写入输入, 将会对所需的字节进行写操作。字节写入操作中未选中的字节将保持不变。通过所提供的同步自定时写入机制, 可以轻松进行写操作。

由于 CY7C1386KV33/CY7C1387KV33 是通用 I/O 器件, 所以将数据发送到 \overline{DQ} 输入前, 必须将输出使能 (\overline{OE}) 取消置为高电平。这样可使输出驱动模块处于三态。为安全起见, 无论 \overline{OE} 的状态如何, 每次检测到写周期时, \overline{DQ} 将自动进入三态。

ADSC 启动的单一写入访问

满足以下各个条件时, 会启动 \overline{ADSC} 写访问: (1) \overline{ADSC} 被置为低电平, (2) \overline{ADSP} 被取消置为高电平, (3) 芯片选择有效, (4) 写输入的相应组合 (\overline{GW} 、 \overline{BWE} 和 \overline{BW}_X) 被激活, 以便对所需字节进行写操作。想要完成 \overline{ADSC} 触发的写访问, 需要占用一个时钟周期。所发送的地址将被加载到地址寄存器和地址递增逻辑中, 同时被传输到存储器内核。在该周期内, \overline{ADV} 输入将被忽略。如果执行全局写操作, 发送至 \overline{DQ}_X 的数据将被写入到存储器内核中相应地址内。如果执行了字节写入, 则只会写入被选中的字节。字节写入操作中未选中的字节将保持不变。通过所提供的同步自定时写入机制, 可以轻松进行写操作。

由于 CY7C1386KV33/CY7C1387KV33 是通用 I/O 器件, 所以将数据发送到 \overline{DQ}_X 输入前, 必须将输出使能 (\overline{OE}) 取消置为高电平。这样可使输出驱动模块处于三态。为安全起见, 无论 \overline{OE} 的状态如何, 每次检测到写周期时, \overline{DQ}_X 将自动进入三态。

突发序列

CY7C1386KV33/CY7C1387KV33提供了2位包裹计数器；A_[1:0]将输入到该计数器中，它会实现交错或线性突发序列。用户可以通过 MODE 输入选择突发序列。

如果在时钟上升沿上将 \overline{ADV} 设置为低电平，则突发计数器会自动增加到突发序列中的下一个地址。读取和写入突发操作均受支持。

睡眠模式

ZZ 输入引脚是一个异步输入。激活 ZZ 后，SRAM 将进入节能的睡眠模式。进入或退出睡眠模式，需要占用两个时钟周期。在该模式中，数据完整性得到保证。不将进入睡眠模式时被挂起的访问视为有效访问，同时不能确保完成该操作。进入睡眠模式之前，必须取消选择该器件。ZZ 输入为低电平后，在 t_{ZZREC} 时间内，CE、ADSP 和 ADSC 必须保持无效状态。

交错突发地址表

(MODE = 悬空或 V_{DD})

第一个地址 A1:A0	第二个地址 A1:A0	第三个地址 A1:A0	第四个地址 A1:A0
00	01	10	11
01	00	11	10
10	11	00	01
11	10	01	00

线性突发地址表

(MODE = GND)

第一个地址 A1:A0	第二个地址 A1:A0	第三个地址 A1:A0	第四个地址 A1:A0
00	01	10	11
01	10	11	00
10	11	00	01
11	00	01	10

ZZ 模式的电气特性

参数	说明	测试条件	最小值	最大值	单位
I _{DDZZ}	睡眠模式下的待机电流	ZZ ≥ V _{DD} - 0.2 V	-	65	mA
t _{ZZS}	器件从运行状态到进入 ZZ 模式	ZZ ≥ V _{DD} - 0.2 V	-	2t _{CYC}	ns
t _{ZZREC}	ZZ 恢复时间	ZZ ≤ 0.2 V	2t _{CYC}	-	ns
t _{ZZI}	ZZ 从活动状态到进入睡眠电流的	该参数被采样	-	2t _{CYC}	ns
t _{RZZI}	从 ZZ 置为低电平到器件退出睡	采样数据	0	-	ns

真值表

下面显示的是 CY7C1386KV33 和 CY7C1387KV33 的真值表。[1、2、3、4、5]

说明	使用的地址	\overline{CE}_1	\overline{CE}_2	\overline{CE}_3	ZZ	\overline{ADSP}	\overline{ADSC}	\overline{ADV}	\overline{WRITE}	\overline{OE}	CLK	DQ
取消选择周期、断电	无	H	X	X	L	X	L	X	X	X	L-H	三态
取消选择周期、断电	无	L	L	X	L	L	X	X	X	X	L-H	三态
取消选择周期、断电	无	L	X	H	L	L	X	X	X	X	L-H	三态
取消选择周期、断电	无	L	L	X	L	H	L	X	X	X	L-H	三态
取消选择周期、断电	无	L	X	H	L	H	L	X	X	X	L-H	三态
睡眠模式、断电	无	X	X	X	H	X	X	X	X	X	X	三态
读周期、开始传输	外部地址	L	H	L	L	L	X	X	X	L	L-H	Q
读周期、开始传输	外部地址	L	H	L	L	L	X	X	X	H	L-H	三态
写周期、开始传输	外部地址	L	H	L	L	H	L	X	L	X	L-H	D
读周期、开始传输	外部地址	L	H	L	L	H	L	X	H	L	L-H	Q
读周期、开始传输	外部地址	L	H	L	L	H	L	X	H	H	L-H	三态
读周期、继续传输	下一个地址	X	X	X	L	H	H	L	H	L	L-H	Q
读周期、继续传输	下一个地址	X	X	X	L	H	H	L	H	H	L-H	三态
读周期、继续传输	下一个地址	H	X	X	L	X	H	L	H	L	L-H	Q
读周期、继续传输	下一个地址	H	X	X	L	X	H	L	H	H	L-H	三态
写入周期、继续传输	下一个地址	X	X	X	L	H	H	L	L	X	L-H	D
写入周期、继续传输	下一个地址	H	X	X	L	X	H	L	L	X	L-H	D
读周期、停止传输	当前地址	X	X	X	L	H	H	H	H	L	L-H	Q
读周期、停止传输	当前地址	X	X	X	L	H	H	H	H	H	L-H	三态
读周期、停止传输	当前地址	H	X	X	L	X	H	H	H	L	L-H	Q
读周期、停止传输	当前地址	H	X	X	L	X	H	H	H	H	L-H	三态
写周期、停止传输	当前地址	X	X	X	L	H	H	H	L	X	L-H	D
写周期、停止传输	当前地址	H	X	X	L	X	H	H	L	X	L-H	D

注释:

1. X = 无需关注, H = 逻辑高电平, L = 逻辑低电平。
2. 当信号使能写入任意一个或多个字节和 $\overline{BWE} = L$ 或 $\overline{GW} = L$ 时, $\overline{WRITE} = L$ 。所有字节写入使能信号、 \overline{BWE} 、 $\overline{GW} = H$ 时, $\overline{WRITE} = H$ 。
3. DQ 引脚由当前周期和 \overline{OE} 信号控制。 \overline{OE} 是异步信号,并不在时钟边沿上被采样。
4. 无论 \overline{GW} 、 \overline{BWE} 或 \overline{BW}_x 的状态如何,激活 \overline{ADSP} 时, SRAM 始终会启动读周期。 \overline{ADSP} 或 \overline{ADSC} 被激活后,在后续时钟周期中才能发生写操作。因此,启动写周期前,必须将 \overline{OE} 驱动为高电平,这样才能使输出处于三态。启动写周期后, \overline{OE} 的状态为“无需关注”。
5. \overline{OE} 是异步信号,并且不在时钟上升沿上被采样。该信号在写周期中被内部屏蔽。在读周期中, \overline{OE} 无效或取消选择器件时,所有数据位均是三态的;而 \overline{OE} 为低电平有效时,所有数据位均作为输出使用。

读 / 写操作的真值表

CY7C1382KV33 读 / 写操作的真值表如下所示。 [6、7]

函数 (CY7C1386KV33)	\overline{GW}	\overline{BWE}	\overline{BW}_D	\overline{BW}_C	\overline{BW}_B	\overline{BW}_A
读取	H	H	X	X	X	X
读取	H	L	H	H	H	H
写入字节 A — (DQ _A 和 DQP _A)	H	L	H	H	H	L
写入字节 B — (DQ _B 和 DQP _B)	H	L	H	H	L	H
写入字节 B、A	H	L	H	H	L	L
写入字节 C — (DQ _C 和 DQP _C)	H	L	H	L	H	H
写入字节 C、A	H	L	H	L	H	L
写入字节 C、B	H	L	H	L	L	H
写入字节 C、B 以及 A	H	L	H	L	L	L
写入字节 D — (DQ _D 和 DQP _D)	H	L	L	H	H	H
写入字节 D 和 A	H	L	L	H	H	L
写入字节 D 和 B	H	L	L	H	L	H
写入字节 D、B 以及 A	H	L	L	H	L	L
写入字节 D 和 C	H	L	L	L	H	H
写入字节 D、C 以及 A	H	L	L	L	H	L
写入字节 D、C 以及 B	H	L	L	L	L	H
写入所有字节	H	L	L	L	L	L
写入所有字节	L	X	X	X	X	X

读 / 写操作真值表

CY7C1387KV33 读 / 写操作的真值表如下所示。 [6、7]

函数 (CY7C1387KV33)	\overline{GW}	\overline{BWE}	\overline{BW}_B	\overline{BW}_A
读取	H	H	X	X
读取	H	L	H	H
写入字节 A — (DQ _A 和 DQP _A)	H	L	H	L
写入字节 B — (DQ _B 和 DQP _B)	H	L	L	H
写入所有字节	H	L	L	L
写入所有字节	L	X	X	X

注释:

6. DQ 引脚由当前周期和 \overline{OE} 信号控制。 \overline{OE} 是异步信号，并非在时钟边沿上被采样。
7. 该表仅列出了字节写入组合的一部分。 \overline{BW}_X 的任何组合都有效。根据有效的字节写入，将执行相应的写操作。

最大额定值

超过最大额定值可能会缩短器件的使用寿命。用户指南未经过测试。

存放温度 -65 °C 至 +150 °C
 通电状态下的环境温度 -55 °C 至 +125 °C
 V_{DD} 上相对于 GND 的供电电压 -0.5 V 至 4.6 V
 V_{DDQ} 上相对于 GND 的供电电压 -0.5 V 至 + V_{DD}
 应用于三态模式下的输出
 直流电压 -0.5 V 至 $V_{DDQ} + 0.5 V$
 直流输入电压 -0.5 V 至 $V_{DD} + 0.5 V$
 输出电流（低电平） 20 mA
 静电放电电压
 （根据 MIL-STD-883, 方法 3015） > 2001 V
 闩锁电流 > 200 mA

工作范围

范围	环境温度	V_{DD}	V_{DDQ}
商业级	0 °C ~ +70 °C	3.3 V - 5% / +10%	2.5 V - 5% ~ V_{DD}

抗中子软失效

参数	说明	测试条件	典型值	最大值 *	单位
LSBU (无 ECC 的器件)	逻辑单比特错误	25 °C	197	216	FIT/Mb
LMBU	逻辑多比特错误	25 °C	0	0.01	FIT/Mb
SEL	单粒子闩锁	85 °C	0	0.1	FIT/Dev

* 测试期间未出现 LMBU 或 SEL 事件; 该列为统计得出的 χ^2 , 按 95% 置信区间计算。如需详细信息, 请参考应用笔记 AN 54908 “加速抗中子 SER 测试和陆生故障率的计算”。

电气特性

在工作范围内

参数 [8、9]	说明	测试条件	最小值	最大值	单位
V_{DD}	供电电压		3.135	3.6	V
V_{DDQ}	I/O 供电电压	3.3 V I/O	3.135	V_{DD}	V
		2.5 V I/O	2.375	2.625	V
V_{OH}	输出高电压	3.3 V I/O, $I_{OH} = -4.0 \text{ mA}$	2.4	-	V
		2.5 V I/O, $I_{OH} = -1.0 \text{ mA}$	2.0	-	V
V_{OL}	输出低电压	3.3 V I/O, $I_{OL} = 8.0 \text{ mA}$	-	0.4	V
		2.5 V I/O, $I_{OL} = 1.0 \text{ mA}$	-	0.4	V
V_{IH}	输出高电压 [8]	3.3 V I/O	2.0	$V_{DD} + 0.3 \text{ V}$	V
		2.5 V I/O	1.7	$V_{DD} + 0.3 \text{ V}$	V
V_{IL}	输出低电压 [8]	3.3 V I/O	-0.3	0.8	V
		2.5 V I/O	-0.3	0.7	V
I_X	输入漏电流 (ZZ 和 MODE 除外)	$GND \leq V_I \leq V_{DDQ}$	-5	5	μA
		MODE 的输入电流	输入 = V_{SS}	-30	-
	ZZ 的输入电流	输入 = V_{SS}	-5	-	μA
		输入 = V_{DD}	-	30	μA
I_{OZ}	输出漏电流	$GND \leq V_I \leq V_{DDQ}$, 输出被禁用	-5	5	μA

注释:

8. 过冲: $V_{IH(AC)} < V_{DD} + 1.5 \text{ V}$ (脉冲宽度小于 $t_{CYC}/2$), 下冲: $V_{IL(AC)} > -2 \text{ V}$ (脉冲宽度小于 $t_{CYC}/2$)。
 9. $T_{Power-up}$: 假设从 0 V 的电压线性上升至 $V_{DD(min)}$ 最少占用 200 ms。在此期间, $V_{IH} < V_{DD}$ 和 $V_{DDQ} \leq V_{DD}$ 。

电气特性 (续)

在工作范围内

参数 ^[8, 9]	说明	测试条件		最小值	最大值	单位	
I_{DD}	V_{DD} 的工作电流	$V_{DD} = \text{最大值}, I_{OUT} = 0 \text{ mA},$ $f = f_{MAX} = 1/t_{CYC}$	5 ns 周期, 200 MHz	× 18	–	180	mA
				× 36	–	200	
			6 ns 周期, 167 MHz	× 18	–	158	
				× 36	–	178	
I_{SB1}	自动 CE 断电电流 — TTL 输入	最大 V_{DD} , 取消选择器件, $V_{IN} \geq V_{IH}$ 或 $V_{IN} \leq V_{IL}$, $f = f_{MAX} = 1/t_{CYC}$	5 ns 周期, 200 MHz	× 18	–	75	mA
				× 36	–	80	
			6 ns 周期, 167 MHz	× 18	–	75	
				× 36	–	80	
I_{SB2}	自动 CE 断电电流 — CMOS 输入	最大 V_{DD} , 取消选择器件, $V_{IN} \leq 0.3 \text{ V}$ 或 $V_{IN} \geq V_{DDQ} - 0.3 \text{ V},$ $f = 0$	所有速度范围	× 18	–	65	mA
				× 36	–	70	
I_{SB3}	自动 CE 断电电流 — CMOS 输入	最大 V_{DD} , 取消选择器件, $V_{IN} \leq 0.3 \text{ V}$ 或 $V_{IN} \geq V_{DDQ} - 0.3 \text{ V},$ $f = f_{MAX} = 1/t_{CYC}$	5 ns 周期, 200 MHz	× 18	–	75	mA
				× 36	–	80	
			6 ns 周期, 167 MHz	× 18	–	75	
				× 36	–	80	
I_{SB4}	自动 CE 断电电流 — TTL 输入	最大 V_{DD} , 取消选择器件, $V_{IN} \geq V_{IH}$ 或 $V_{IN} \leq V_{IL}, f = 0$	所有速度范围	× 18	–	65	mA
				× 36	–	70	

电容

参数	说明	测试条件	100-TQFP 封装	单位
C_{IN}	输入电容	$T_A = 25\text{ }^\circ\text{C}$, $f = 1\text{ MHz}$, $V_{DD} = 3.3\text{ V}$, $V_{DDQ} = 2.5\text{ V}$	5	pF
C_{CLK}	时钟输入电容		5	pF
C_{IO}	输入 / 输出电容		5	pF

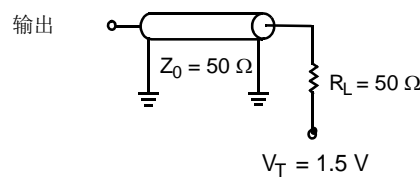
热阻抗

参数	说明	测试条件	100-TQFP 封装	单位	
Θ_{JA}	热阻抗 (结至环境)	根据 EIA/JESD51 的要求, 测试条件遵循测试热阻的标准测试方法和过程。	无气流 (0 m/s)	37.95	$^\circ\text{C/W}$
			存在气流 (1 m/s)	33.19	$^\circ\text{C/W}$
			存在气流 (3 m/s)	30.44	$^\circ\text{C/W}$
Θ_{JB}	热阻抗 (结至板)		--	24.07	$^\circ\text{C/W}$
Θ_{JC}	热阻抗 (结到外壳)			8.36	$^\circ\text{C/W}$

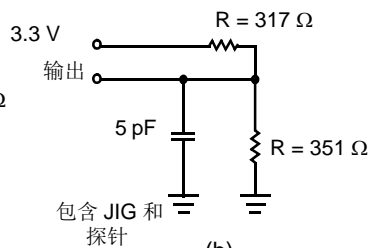
交流测试负载和波形

图 2. 交流测试负载和波形

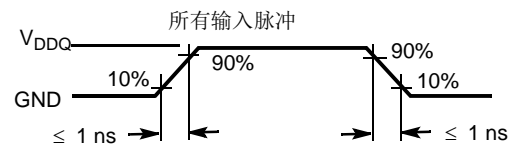
3.3 V I/O 测试负载



(a)

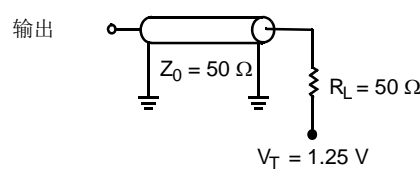


(b)

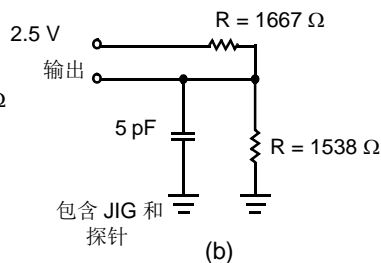


(c)

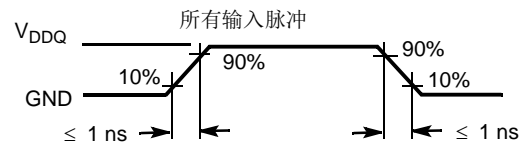
2.5 V I/O 测试负载



(a)



(b)



(c)

切换特性

在工作范围内

参数 ^[10、11]	说明	-200		-167		单位
		最小值	最大值	最小值	最大值	
t _{POWER}	从电压为 V _{DD} （典型值）到第一次访问的时间 ^[12]	1	—	1	—	ms
时钟						
t _{CYC}	时钟周期时间	5.0	—	6.0	—	ns
t _{CH}	时钟为高电平的时间	2.0	—	2.2	—	ns
t _{CL}	时钟为低电平的时间	2.0	—	2.2	—	ns
输出时间						
t _{CO}	CLK 上升沿后数据输出有效的时间	—	3.0	—	3.4	ns
t _{DOH}	CLK 上升沿后数据输出的保持时间	1.3	—	1.3	—	ns
t _{CLZ}	从时钟上升沿到数据输入 / 输出为低阻态的时间 ^[13、14、15]	1.3	—	1.3	—	ns
t _{CHZ}	从时钟上升沿到数据总线（Q）转为高阻态的时间 ^[13、14、15]	—	3.0	—	3.4	ns
t _{OE_V}	从 \overline{OE} 为低电平到输出有效的时间	—	3.0	—	3.4	ns
t _{OE_{LZ}}	\overline{OE} 为低电平到输出为低阻态的时间 ^[13、14、15]	0	—	0	—	ns
t _{OE_{HZ}}	\overline{OE} 为高电平到输出为高阻态的时间 ^[13、14、15]	—	3.0	—	3.4	ns
建立时间						
t _{AS}	CLK 上升沿前的地址建立时间	1.4	—	1.5	—	ns
t _{ADS}	CLK 上升沿前的 \overline{ADSC} 、 \overline{ADSP} 建立时间	1.4	—	1.5	—	ns
t _{ADVS}	CLK 上升沿前的 \overline{ADV} 建立时间	1.4	—	1.5	—	ns
t _{WES}	CLK 上升沿前的 \overline{GW} 、 \overline{BWE} 、 \overline{BW}_X 建立时间	1.4	—	1.5	—	ns
t _{DS}	CLK 上升沿前的数据输入建立时间	1.4	—	1.5	—	ns
t _{CES}	CLK 上升沿前的芯片使能建立时间	1.4	—	1.5	—	ns
保持时间						
t _{AH}	CLK 上升沿后的地址保持时间	0.4	—	0.5	—	ns
t _{ADH}	CLK 上升沿后的 \overline{ADSP} 、 \overline{ADSC} 保持时间	0.4	—	0.5	—	ns
t _{ADVH}	CLK 上升沿后的 \overline{ADV} 保持时间	0.4	—	0.5	—	ns
t _{WEH}	CLK 上升沿后 \overline{GW} 、 \overline{BWE} 、 \overline{BW}_X 保持的时间	0.4	—	0.5	—	ns
t _{DH}	CLK 上升沿后数据输入保持时间	0.4	—	0.5	—	ns
t _{CEH}	CLK 上升沿过后芯片使能的保持时间	0.4	—	0.5	—	ns

注释:

10. V_{DDQ} = 3.3 V 时，时序参考电压为 1.5 V；V_{DDQ} = 2.5 V 时，时序参考电压为 1.25 V。

11. 除非另有说明，否则测试条件都如第 13 页上的图 2 的 (a) 情况显示。

12. 该器件内部拥有一个电压调节器；t_{POWER} 是指启动读操作或写操作前所提供的电源必须大于 V_{DD}（最小值）所需的时间。

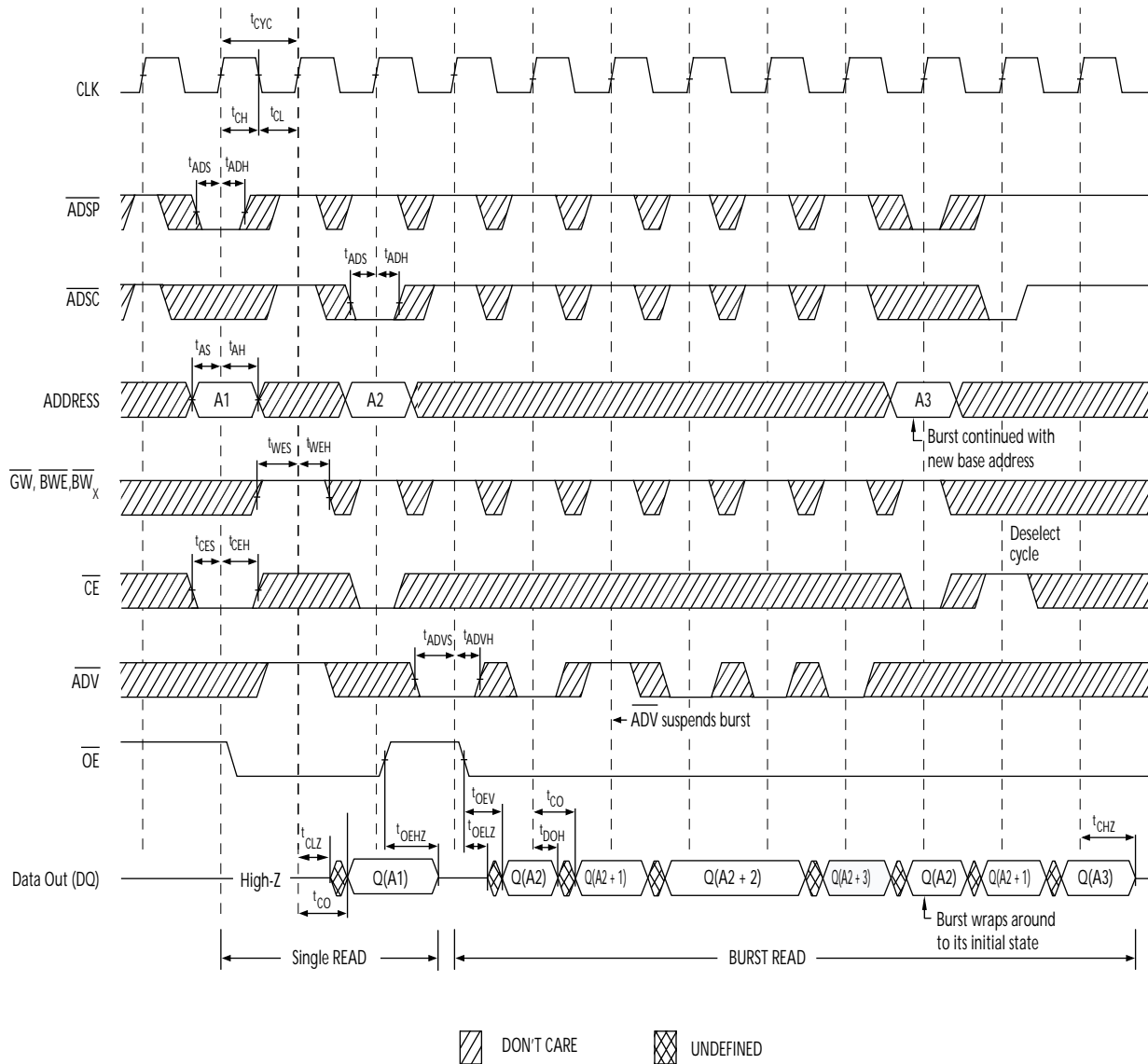
13. t_{CHZ}、t_{CLZ}、t_{OE_{LZ}} 以及 t_{OE_{HZ}} 都在第 13 页上的图 2 的 (b) 情况所示的交流电测试条件下指定的。跃变在稳定状态电压 ± 200 mV 的条件下测量。

14. 在任何给定的电压和温度中，t_{OE_{HZ}} 小于 t_{OE_{LZ}}；t_{CHZ} 小于 t_{CLZ}，这样在共享同一个数据总线时可以排除各 SRAM 间的总线冲突。这些规范并不表示一个总线冲突条件，但反映了在最坏情况下得到保证的参数。器件设计是为了在同一个系统条件下进入低阻态前要先进入高阻态。

15. 该参数定期采样，并非 100% 经过了测试。

切换波形

图 3. 读周期时序 [16]

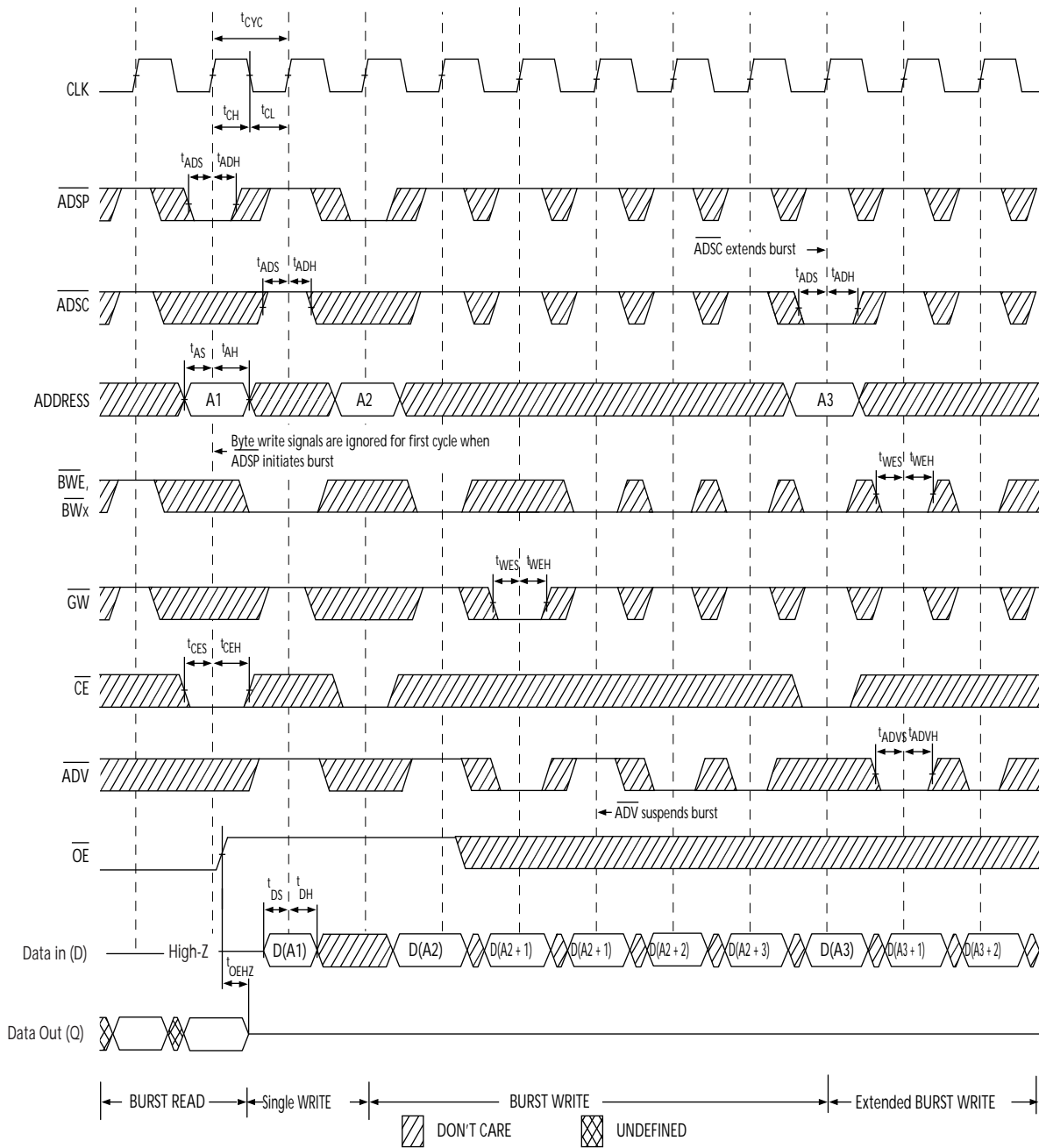


注意:

16. 在该框图中, 当 \overline{CE} 为低电平时: \overline{CE}_1 为低电平, CE_2 为高电平以及 \overline{CE}_3 为低电平。当 \overline{CE} 为高电平时: \overline{CE}_1 为高电平或 CE_2 为低电平, 或者 \overline{CE}_3 为高电平。

切换波形 (续)

图 4. 写周期时序 [17、18]

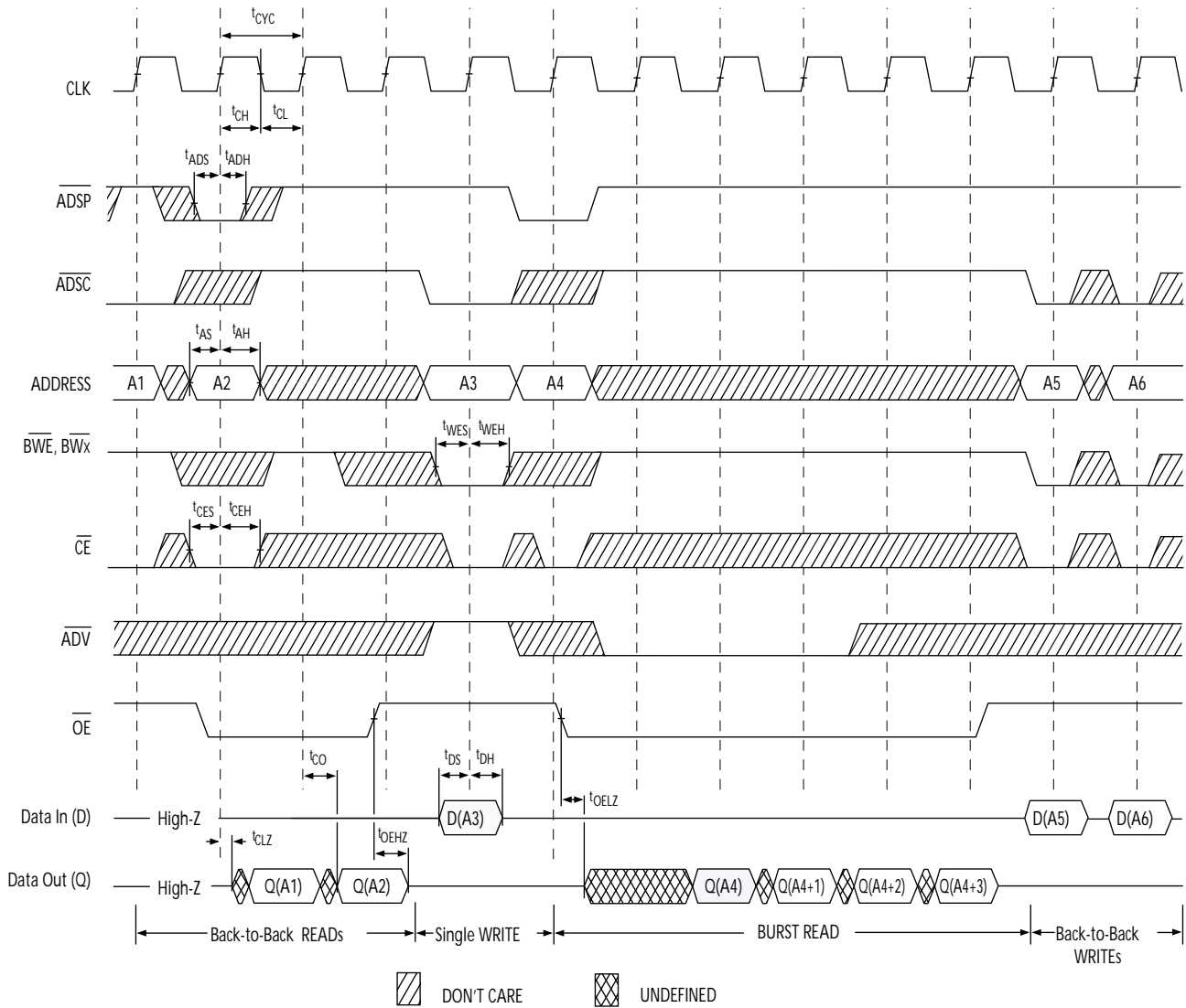


注释:

17. 在该框图中, 当 \overline{CE} 为低电平时: \overline{CE}_1 为低电平, CE_2 为高电平, 另外 \overline{CE}_3 为低电平。如果 \overline{CE} 为高电平: \overline{CE}_1 为高电平, 或 CE_2 为低电平, 或 \overline{CE}_3 为高电平。
18. 通过将 \overline{GW} 设为低电平, 或将 \overline{GW} 设为高电平、 \overline{BWE} 以及 \overline{BW}_x 设为低电平, 可以启动全宽写周期。

切换波形 (续)

图 5. 读 / 写周期时序 [19、20、21]



注释:

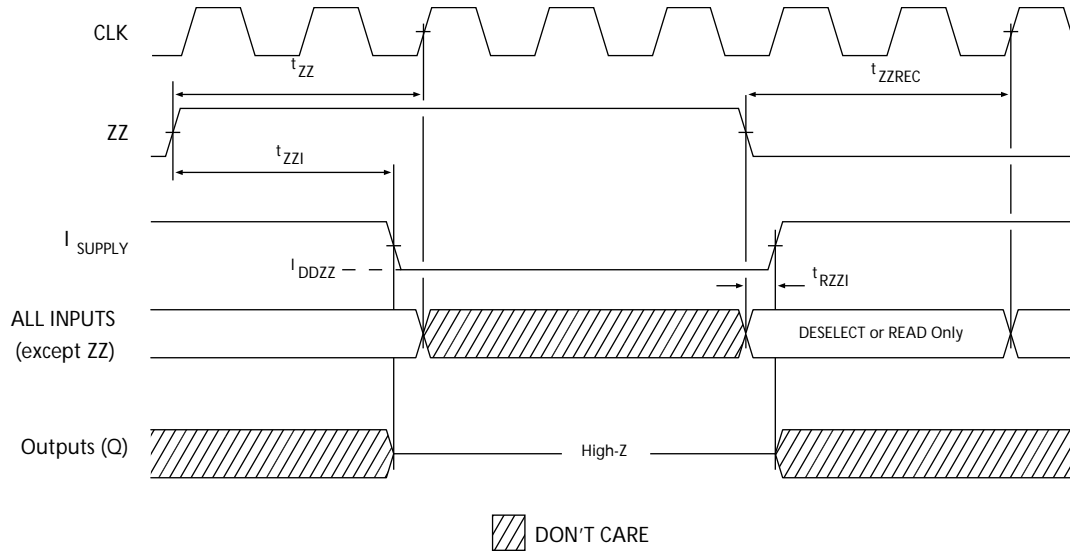
19. 在该框图中, 当 \overline{CE} 为低电平时: \overline{CE}_1 为低电平, CE_2 为高电平, 另外 \overline{CE}_3 为低电平。当 \overline{CE} 为高电平时: \overline{CE}_1 为高电平, 或 CE_2 为低电平, 或 \overline{CE}_3 为高电平。

20. 如果一个新读取访问并非由 ADSP 或 ADSC 启动, 那么写周期发生后, 数据总线 (Q) 一直处于高阻态。

21. GW 为高电平。

切换波形 (续)

图 6. ZZ 模式时序 [22、23]



注释:

- 22. 进入 ZZ 模式时, 必须取消选择该器件。有关取消选择器件的所有可能信号条件, 请参考周期说明表。
- 23. 退出 ZZ 睡眠模式时, DQ 处于高阻态。

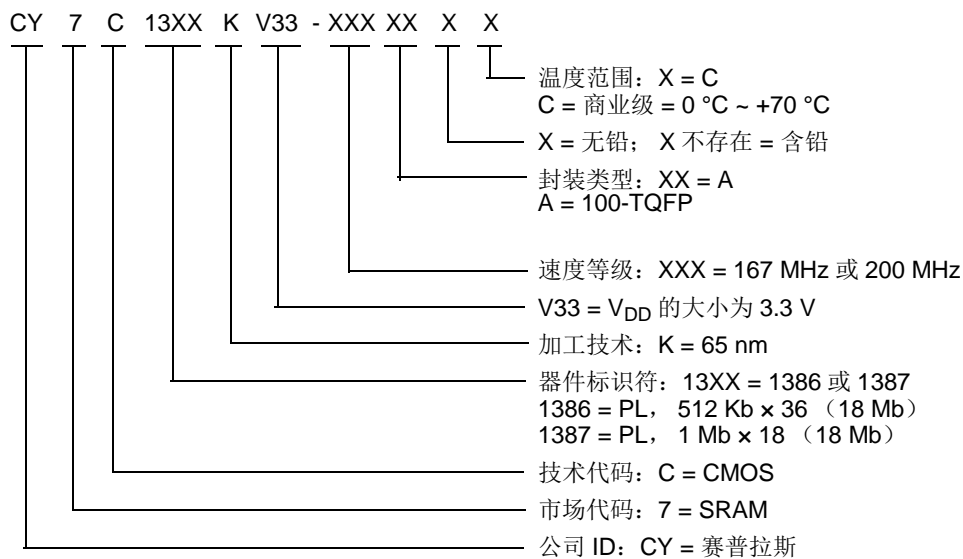
订购信息

下表仅包含了当前可用的器件。如果您未能找到所需的器件，请与您当地销售代表联系。如需更多信息，请访问赛普拉斯公司网站 www.cypress.com，并参考 <http://www.cypress.com/products> 上的产品总结页。

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要查找离您最近的办事处，请访问 <http://www.cypress.com/go/datasheet/offices>。

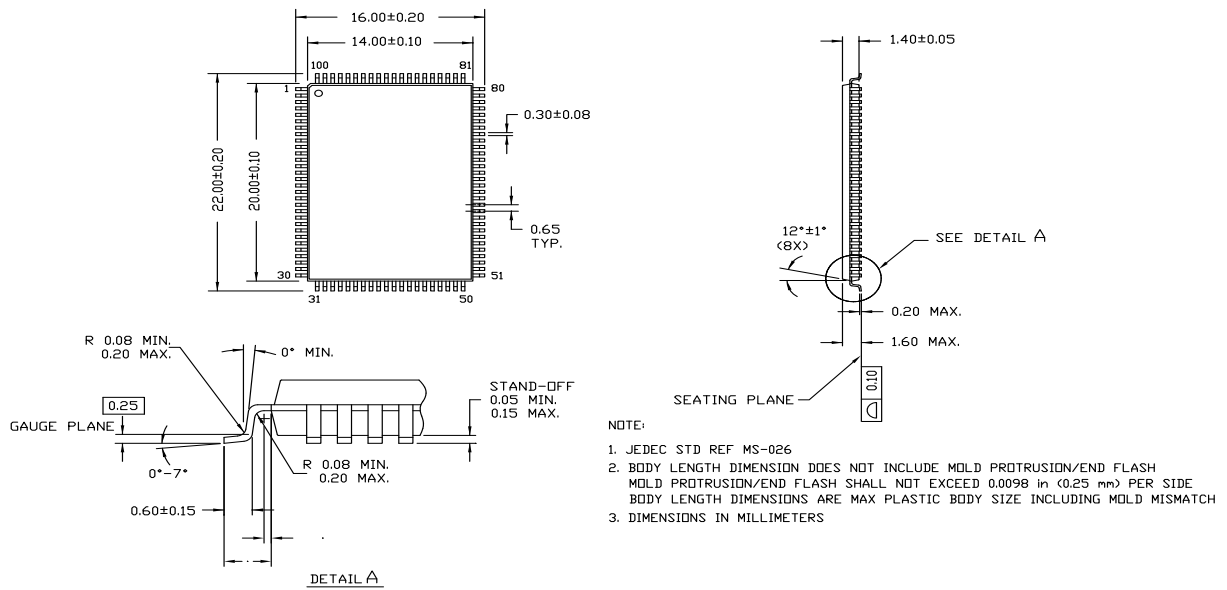
速度 (MHz)	订购代码	封装图	器件和封装类型	工作范围
167	CY7C1386KV33-167AXC	51-85050	100-TQFP (14 × 20 × 1.4 mm) 无铅	商业级
	CY7C1387KV33-167AXC			
200	CY7C1386KV33-200AXC	51-85050	100-TQFP (14 × 20 × 1.4 mm) 无铅	商业级

订购代码定义



封装图

图 10. 100-TQFP (14 x 20 x 1.4 mm) A100RA 封装外形, 51-85050



51-85050 *E

缩略语

缩略语	说明
CE	芯片使能
CMOS	互补金属氧化物半导体
FBGA	小间距球栅阵列
I/O	输入 / 输出
LMBU	逻辑多比特错误
LSB	最低有效位
LSBU	逻辑单比特错误
MSB	最高有效位
\overline{OE}	输出使能
SEL	单粒子门锁
SRAM	静态随机存取存储器
TQFP	薄型四方扁平封装
TTL	晶体管 - 晶体管逻辑

文档常规

测量单位

符号	测量单位
°C	摄氏度
k Ω	千欧姆
MHz	兆赫兹
μ A	微安
μ s	微秒
mA	毫安
mV	毫伏
mm	毫米
ms	毫秒
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
ps	皮秒
V	伏特
W	瓦特

文档修订记录

文档标题: CY7C1386KV33/CY7C1387KV33, 18 Mb (512 K x 36/1 M x 18) 流水线 DCD 同步 SRAM 文档编号: 001-98224				
版本	ECN	变更者	提交日期	变更说明
**	4854103	LISZ	07/27/2015	本档版本号为 Rev**, 译自英文版 001-97893 Rev**。
*A	5013020	LISZ	11/16/2015	本档版本号为 Rev*A, 译自英文版 001-97893 Rev*B。