

NoBL™ アーキテクチャの 36M ビット (1M×36/2M×18) フロースルー SRAM

特長

- No Bus Latency™ (NoBL™) アーキテクチャは、書き込みサイクルと読み出しサイクル間のデッド サイクルを除去します。
- 待ち状態なしの最大 133MHz バス動作
 - データはすべてのクロックで転送
- ZBT™ とピン互換で、機能も ZBT™ と同様
- 内部セルフタイム出力バッファ制御 (OE 信号の使用が不要になる)
- フロースルーの動作用レジスタ付き入力
- バイト書き込み機能
- 3.3V、2.5V I/O 電源供給
- クロック～出力の時間が速い
 - 6.5 ns (デバイス速度が 133MHz の場合)
- クロックの有効化と動作停止用クロック イネーブル ($\overline{\text{CEN}}$)
- セルフタイム同期書き込み
- 非同期出力イネーブル
- CY7C1461KV33、CY7C1463KV33 は、JEDEC 準拠の鉛フリー 100 ピン TQFP パッケージで提供
- 深さの拡張を簡易化するために有効になった 3 個のチップ
- ZZ モードまたは CE 選択解除による自動電源切断機能
- バースト機能 — リニア/インターリーブ バースト シーケンス
- スタンドバイ時低消費電力

機能詳細

CY7C1461KV33/CY7C1463KV33 は、3.3 V で動作する 1M×36/2M×18 構成の同期フロースルー バースト SRAM であり、待ち状態なしの真の無限連続読み書き動作に対応するために設計されています。CY7C1461KV33/CY7C1463KV33 は、データがクロック サイクル毎に転送される連続的読み書き処理の有効化に必要な高度な NoBL 論理を備えています。この機能は、頻繁な読み書き転送が必要なシステム内の SRAM のデータ スループットを大幅に増加させます。

全ての同期入力は、クロックの立ち上がりエッジで制御される入力レジスタを通過します。クロック入力がクロック イネーブル ($\overline{\text{CEN}}$) 信号により有効にされます。この信号は、デアサートされると、動作を停止し、以前のクロック サイクルを延長します。クロック立ち上がりからの最大アクセス遅延は 6.5ns (デバイス速度が 133MHz の場合) です。

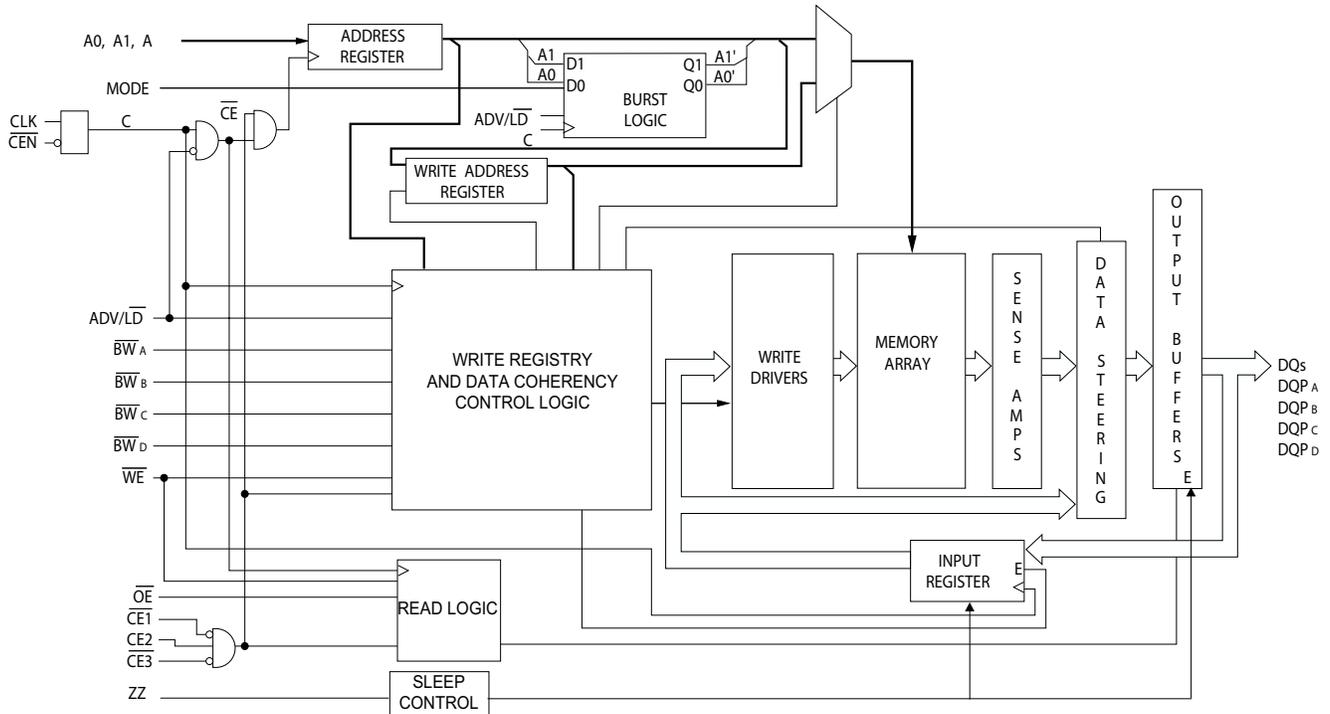
書き込み動作は、バイト書き込みセレクト信号 ($\overline{\text{BW}}_X$) および 1 つの書き込みイネーブル ($\overline{\text{WE}}$) 入力で制御されます。全ての書き込みは、内蔵のセルフタイム同期書き込み回路で制御されます。

3 つの同期チップ セレクト ($\overline{\text{CE}}_1$ 、 $\overline{\text{CE}}_2$ 、 $\overline{\text{CE}}_3$) と非同期出力イネーブル ($\overline{\text{OE}}$) は、バンクを容易に選択し、出力ピンのトライステートを制御するために提供されます。バス競合を回避するために、出力ドライバーは、書き込みシーケンスの間同時にトライステートになります。

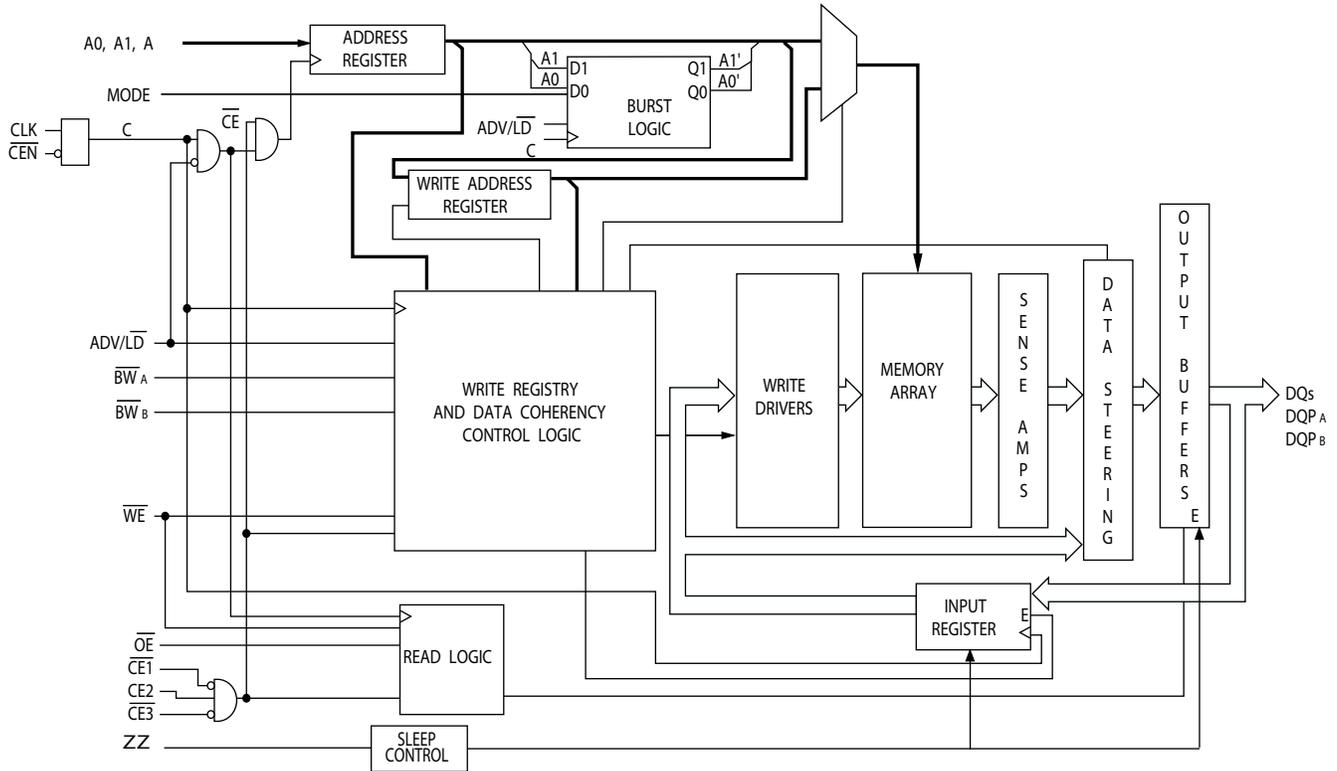
セレクションガイド

説明		133MHz	単位
最大アクセス時間		6.5	ns
最大動作電流	×18	150	mA
	×36	170	

論理ブロック図－ CY7C1461KV33



論理ブロック図－ CY7C1463KV33

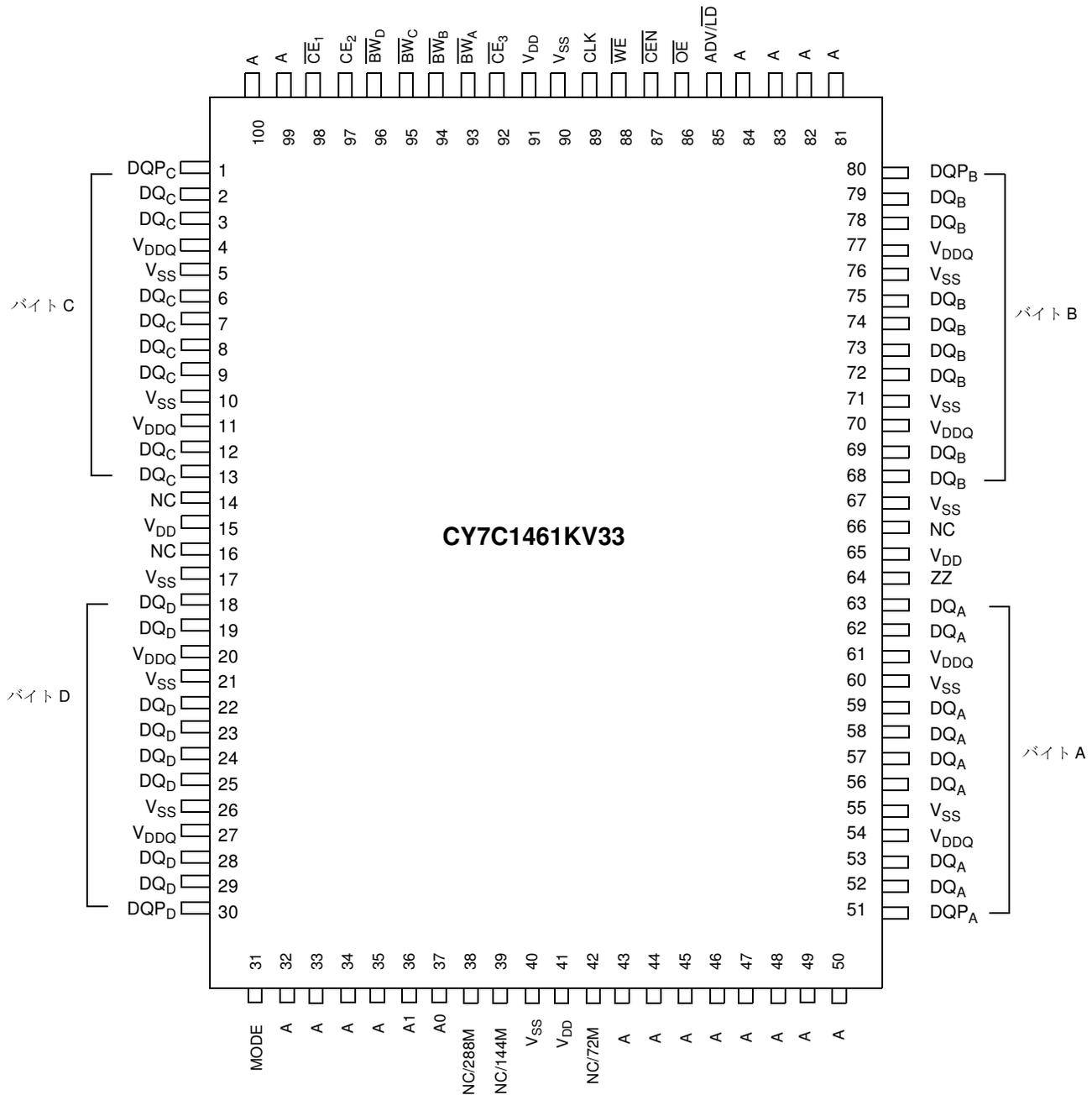


目次

ピンのコンフィギュレーション.....	5	静電容量.....	14
ピン機能.....	7	熱抵抗.....	14
機能概要.....	8	AC テストの負荷および波形.....	14
シングル読み出しアクセス.....	8	スイッチング特性.....	15
バースト読み出しアクセス.....	8	スイッチング波形.....	16
シングル書き込みアクセス.....	8	注文情報.....	19
バースト書き込みアクセス.....	9	注文コードの定義.....	19
スリープモード.....	9	パッケージ図.....	20
インターリーブバーストアドレス表.....	9	略語.....	21
リニアバーストアドレス表.....	9	本書の表記法.....	21
ZZモード電気的特性.....	9	測定単位.....	21
真理値表.....	10	改訂履歴.....	22
書き込み／読み出しの部分真理値表.....	11	セールス、ソリューションおよび法律情報.....	23
書き込み／読み出しの部分真理値表.....	11	ワールドワイドな販売と設計サポート.....	23
最大定格.....	12	製品.....	23
動作範囲.....	12	PSoC®ソリューション.....	23
中性子ソフトエラー耐性.....	12	サイプレス開発者コミュニティ.....	23
電気的特性.....	12	テクニカルサポート.....	23

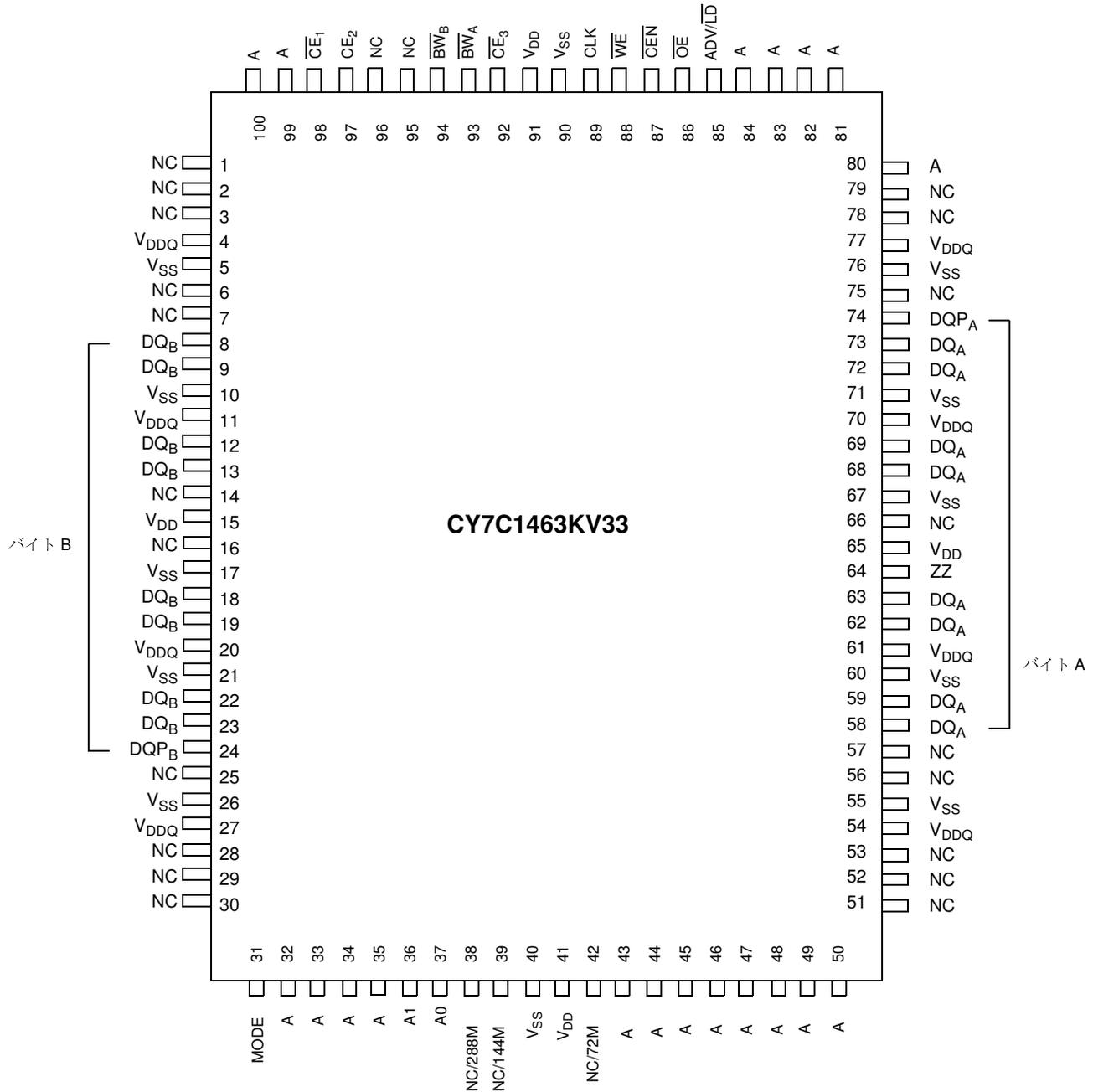
ピンのコンフィギュレーション

図 1. 100 ピン TQFP パッケージのピン配置



ピンのコンフィギュレーション (続き)

図 2. 100 ピン TQFP パッケージのピン配置



ピン機能

ピン名	I/O	説明
A ₀ , A ₁ , A	入力-同期	アドレス入力。 アドレス位置の1つを選択するために使用。CLKの立ち上がりエッジでサンプリング A _[1:0] は2ビットカウンタに供給される
\overline{BW}_A , \overline{BW}_B , \overline{BW}_C , \overline{BW}_D	入力-同期	バイト書き込み選択入力、アクティブLOW。 SRAMへバイト書き込みを駆動するために \overline{WE} で有効にする。CLKの立ち上がりエッジでサンプリング
\overline{WE}	入力-同期	書き込みイネーブル入力、アクティブLOW。 \overline{CEN} がアクティブLOWの場合、CLKの立ち上がりエッジでサンプリング。バイト書き込みを開始するためにこの信号をLOWにアサートすることが必要
ADV/ \overline{LD}	入力-同期	アドバンス/ロード入力。 オンチップのアドレスカウンタを増加する、または新しいアドレスをロードするために使用されるこの入力がHIGHになり、 \overline{CEN} がLOWにアサートされると内部バーストカウンタが増加される。LOWの場合、アクセスの度に新しいアドレスをデバイスにロードすることが可能。選択解除した後、新しいアドレスをロードするために、ADV/ \overline{LD} をLOWに駆動する必要がある
CLK	入力-クロック	クロック入力。 デバイスへの全ての同期入力を取り込むために使用。CLKは \overline{CEN} により有効にされる。CLKは、 \overline{CEN} がアクティブLOWの場合のみに有効になる
\overline{CE}_1	入力-同期	チップイネーブル1入力、アクティブLOW。 CLKの立ち上がりエッジでサンプリング。デバイスを選択/選択解除するために \overline{CE}_2 と \overline{CE}_3 と併用
\overline{CE}_2	入力-同期	チップイネーブル2入力、アクティブHIGH。 CLKの立ち上がりエッジでサンプリング。デバイスを選択/選択解除するために \overline{CE}_1 と \overline{CE}_3 と併用
\overline{CE}_3	入力-同期	チップイネーブル3入力、アクティブLOW。 CLKの立ち上がりエッジでサンプリング。デバイスを選択/選択解除するために \overline{CE}_1 と \overline{CE}_2 と併用
\overline{OE}	入力-非同期	出力イネーブル、非同期入力、アクティブLOW。 I/Oピンの方向を制御するために、デバイスに内蔵された同期論理ブロックと組み合わせる。この入力がLOWの場合、I/Oピンは出力として動作可能。HIGHにアサートされた時、I/Oピンはトライステートになり、入力データピンとして機能。 \overline{OE} は、書き込みシーケンスのデータ転送の間や選択解除の状態から復帰してから最初のクロックサイクルの間、またはデバイスが選択解除された時にマスクされる
\overline{CEN}	入力-同期	クロックイネーブル入力、アクティブLOW。 LOWにアサートされると、クロック信号はSRAMにより認められる。HIGHにアサートされた場合、クロック信号はマスクされる。 \overline{CEN} をアサートしてもデバイスはまだ選択解除されないため、 \overline{CEN} は、必要に応じて以前のサイクルを延長するために使用可能
ZZ	入力-非同期	ZZ「スリープ」入力。 アクティブHIGH入力により、デバイスはデータの統合性が保持されている非タイムクリティカルな「スリープ」状態に入る。通常動作では、このピンをLOWにする、またはフローティング状態のままにすることが必要。ZZピンは内部プルダウン抵抗に接続
DQ _s	I/O-同期	双方向データ I/O ライン。 入力として機能している場合、これらのI/Oラインはデータをオンチップデータレジスタに供給。このデータ供給はCLKの立ち上がりエッジでトリガされる。出力として機能している場合、読み出しサイクル中に供給されたアドレスにより指定されるメモリ位置に含まれるデータを送信。このピンの方向は \overline{OE} で制御。 \overline{OE} がLOWにアサートされた時、このピンは出力として機能。HIGHの場合、DQ _s とDQP _[A:D] は、トライステート状態になる。 \overline{OE} の状態に関わらず、出力は、書き込みシーケンスのデータ転送の間、または選択解除された状態から復帰した時、またはデバイスが選択解除された時から最初のクロックサイクルの間に自動的にトライステート状態に移行
DQP _x	I/O-同期	双方向データパリティ I/O ライン。 機能的に、これら信号はDQ _s と同一。書き込みシーケンスの間、DQP _x はBW _x で制御
MODE	入力ストラップピン	モード入力。 デバイスのバースト順を選択。GNDに接続された場合、リニアバーストシーケンスを選択。V _{DD} に接続するまたはフローティングのままにする時、インターリーブバーストシーケンスが選択される
V _{DD}	電源	デバイスコアへの電源入力
V _{DDQ}	I/O電源	I/O回路の電源

ピン機能 (続き)

ピン名	I/O	説明
V _{SS}	グランド	デバイスのグランド
NC	該当なし	未接続。ダイに内部的に接続されていない
NC/72M	該当なし	ダイに接続されていない。すべての電圧レベルに接続可能
NC/144M	該当なし	ダイに接続されていない。すべての電圧レベルに接続可能
NC/288M	該当なし	ダイに接続されていない。すべての電圧レベルに接続可能
NC/576M	該当なし	ダイに接続されていない。すべての電圧レベルに接続可能
NC/1G	該当なし	ダイに接続されていない。すべての電圧レベルに接続可能

機能概要

CY7C1461KV33/CY7C1463KV33 は、読み書き処理中に待ち状態を除去するために専用設計されている同期フラスルーバースト SRAM です。全ての同期入力は、クロックの立ち上がりエッジで制御される入力レジスタに取り込まれます。クロック信号は、クロック イネーブル入力信号 (CEN) により有効にされます。CEN が HIGH の場合、クロック信号は有効にされず、すべての内部状態は保持されます。すべての同期動作は、CEN により可能になります。クロック立ち上がりからの最大アクセス遅延 (t_{CDV}) は 6.5ns (デバイス速度が 133MHz の場合) です。

クロックの立ち上がりエッジで全ての3つのチップイネーブル (CE₁, CE₂, CE₃) をアクティブにアサートすることでアクセスを開始することができます。(CEN) がアクティブ LOW であり、ADV/LD が LOW にアサートされた時、デバイスに送信されたアドレスはラッチされます。アクセスは、書き込みイネーブル (WE) の状態に応じて、読み出しまたは書き込み動作が行われます。BW_X はバイト書き込み動作を行うために使用できます。

書き込み動作は書き込みイネーブル (WE) により可能になります。全ての書き込みは、内蔵のセルフタイム同期書き込み回路で簡素化されます。

3つの同期チップイネーブル (CE₁, CE₂, CE₃) および非同期出力イネーブル (OE) は深度の拡大を簡単にします。全ての動作 (読み出し、書き込み、選択解除) はパイプライン化されます。次の動作用に新しいアドレスをロードするために、デバイスが選択解除された後、ADV/LD を LOW に駆動する必要があります。

シングル読み出しアクセス

クロックの立ち上がりエッジで以下の条件が満たされると、読み出しアクセスが開始されます。

- CEN は LOW にアサートされます。
- CE₁, CE₂ および CE₃ はすべてアクティブにアサートされません。
- 書き込みイネーブル入力信号 WE が HIGH にアサートされません。
- ADV/LD は LOW にアサートされます。

アドレス入力に供給されたアドレスはアドレスレジスタにラッチされ、メモリアレイおよび制御論理回路に送信されます。制御論理回路は読み出しアクセスが実行中であると判定し、要求されたデータが出力レジスタの入力に伝播することを可能にします。OE がアクティブ LOW になるなら、データは 6.5ns (133MHz デバイス) 以内に使用可能になります。読み出しアク

セスの最初のクロックの後、出力バッファは OE および内部制御論理回路で制御されます。デバイスが要求のデータを出力するためには、OE を LOW に駆動する必要があります。後続のクロックでは、他の処理 (読み込み/書き込み/選択解除) は開始できます。そのため、クロック立ち上がり時に SRAM がチップイネーブル信号のいずれかにより選択解除されると、その出力はトライステートになります。

バースト読み出しアクセス

CY7C1461KV33/CY7C1463KV33 は、バーストカウンタを内蔵しており、単一のアドレスを送信しアドレス入力を再アサートせずに最大4回の読み出しを行うことを可能にします。シングル読み出しアクセスの節で説明したように、新しいアドレスを SRAM にロードするために ADV/LD を LOW に駆動する必要があります。バーストカウンタのシーケンスは MODE 入力信号で決まります。MODE 入力信号は、LOW にするとリニアバーストモードを選択し、HIGH にするとインターリーブバーストシーケンスを選択します。両方のバーストカウンタはバーストシーケンスに A0 と A1 ビットを使用し、上限までインクリメントされたらラップアラウンドします。ADV/LD 入力信号を HIGH にすると、チップイネーブルまたは WE の状態にかかわらず内部バーストカウンタはインクリメントします。WE はバーストサイクルの始まりにラッチされます。そのため、アクセスタイプ (読み出しか書き込み) はバーストシーケンスにわたって変わりません。

シングル書き込みアクセス

クロックの立ち上がりで次の要件が満たされると、書き込みアクセスは開始されます: (1) CEN が LOW にアサート、(2) CE₁, CE₂, CE₃ がすべてアクティブにアサート、(3) 書き込み信号 WE が LOW にアサートされます。アドレスバスに送信されたアドレスはアドレスレジスタにロードされます。書き込み信号は制御論理回路にラッチされます。OE 入力信号の状態にかかわらずデータラインは自動的にトライステートになります。これにより、外部論理回路は DQs と DQP_X にデータを供給できます。

次のクロック立ち上がりでは、DQs と DQP_X (または書き込み動作のサブセット (詳細は 10 ページの真値表を参照)) 入力に送信されたデータはデバイスにラッチされ、書き込みが完了します。このサイクルで追加のアクセス (読み出し/書き込み/選択解除) を開始できます。

書き込み処理中に書き込まれたデータは BW_X 信号で制御されます。CY7C1461KV33/CY7C1463KV33 は、真値表で説明されたバイト書き込み機能を備えています。書き込みイネーブル入力 (WE) と選択したバイト書き込み選択をアサートすると、所望のバイトのみが選択的に書き込まれます。バイト書き込み動作中に選択されないバイトは、不変のままです。書き込み動作を簡素化するためにセルフタイム同期書き込みメカニズムが提供

されています。簡単なバイト書き込み処理に簡素化可能な読み出し/変更/書き込みシーケンスを大幅に簡素化するために、バイト書き込み機能が組み込まれています。

CY7C1461KV33/CY7C1463KV33 は、共通 I/O デバイスであるため、出力がアクティブの時にデータをデバイスに駆動してはなりません。データを DQs と DQP_X 入力にデータ供給する前に OE を HIGH にデアサートすることができます。このようにすると、出力ドライバがトライステートになります。予防策として、OE の状態にかかわらず、書き込みサイクルが検出される度に DQs と DQP_X は自動的にトライステートになります。

バースト書き込みアクセス

CY7C1461KV33/CY7C1463KV33 は、バーストカウンタを内蔵しており、単一のアドレスを送信しアドレス入力を再アサートせずに最大 4 回の書き込みを行うことを可能にします。シングル書き込みアクセスの節で前述したように、初期アドレスをロードするために ADV/LD を LOW に駆動する必要があります。次のクロック立ち上がりで ADV/LD が HIGH に駆動されると、チップイネーブル (CE₁, CE₂, CE₃) および WE 入力は無視され、バーストカウンタはインクリメントされます。正しいデータバイトを書き込むために、バースト書き込みの各サイクルで正しい BW_X 入力を駆動する必要があります。

スリープモード

ZZ 入力ピンは非同期入力です。ZZ をアサートすると、SRAM は省電力スリープモードに入ります。このスリープモードへの移行および復帰には 2 クロック サイクルかかります。このモードでは、データの統合性が保証されます。スリープモードに入った時に保留中のアクセスは有効として見なされず、動作完了も保証されません。デバイスはスリープモードに入る前に、選択解除する必要があります。ZZ 入力 LOW に戻った後、

ZZ モード電气的特性

パラメーター	説明	テスト条件	Min	Max	単位
I _{DDZZ}	スリープモードスタンバイ電流	ZZ ≥ V _{DD} - 0.2V	-	89	mA
t _{ZZS}	デバイス動作から ZZ までの時間	ZZ ≥ V _{DD} - 0.2V	-	2t _{CYC}	ns
t _{ZZREC}	ZZ 復帰時間	ZZ ≤ 0.2V	2t _{CYC}	-	ns
t _{ZZI}	ZZ アクティブからスリープ電流までの時間	このパラメーターはサンプリングされた値である	-	2t _{CYC}	ns
t _{RZZI}	ZZ 非アクティブからスリープ電流終了までの時間	このパラメーターはサンプリングされた値である	0	-	ns

CE₁, CE₂ および CE₃ は tzzREC の間非アクティブのままにする必要があります。

インターリーブ バースト アドレス表

(MODE = 開放または V_{DD})

1 番目のアドレス A1: A0	2 番目のアドレス A1: A0	3 番目のアドレス A1: A0	4 番目のアドレス A1: A0
00	01	10	11
01	00	11	10
10	11	00	01
11	10	01	00

リニア バースト アドレス表

(MODE = GND)

1 番目のアドレス A1: A0	2 番目のアドレス A1: A0	3 番目のアドレス A1: A0	4 番目のアドレス A1: A0
00	01	10	11
01	10	11	00
10	11	00	01
11	00	01	10

真理値表

以下は、CY7C1461KV33/CY7C1463KV33 の真理値表です。[1、2、3、4、5、6、7]

動作	使用するアドレス	CE ₁	CE ₂	CE ₃	ZZ	ADV/LD	WE	BW _x	OE	CEN	CLK	DQ
ディセレクトサイクル	無	H	X	X	L	L	X	X	X	L	L->H	トライステート
ディセレクトサイクル	無	X	X	H	L	L	X	X	X	L	L->H	トライステート
ディセレクトサイクル	無	X	L	X	L	L	X	X	X	L	L->H	トライステート
ディセレクトサイクル継続	無	X	X	X	L	H	X	X	X	L	L->H	トライステート
読み出しサイクル (バースト開始)	外部	L	H	L	L	L	H	X	L	L	L->H	データ出力 (Q)
読み出しサイクル (バースト継続)	後続	X	X	X	L	H	X	X	L	L	L->H	データ出力 (Q)
NOP / ダミー読み出し (バースト開始)	外部	L	H	L	L	L	H	X	H	L	L->H	トライステート
ダミー読み出し (バースト継続)	後続	X	X	X	L	H	X	X	H	L	L->H	トライステート
書き込みサイクル (バースト開始)	外部	L	H	L	L	L	L	L	X	L	L->H	データ入力 (D)
書き込みサイクル (バースト継続)	後続	X	X	X	L	H	X	L	X	L	L->H	データ入力 (D)
NOP / 書き込み中止 (バースト開始)	無	L	H	L	L	L	L	H	X	L	L->H	トライステート
書き込み中止 (バースト継続)	後続	X	X	X	L	H	X	H	X	L	L->H	トライステート
クロック エッジの無視 (ストール)	現行	X	X	X	L	X	X	X	X	H	L->H	-
スリープモード	無	X	X	X	H	X	X	X	X	X	X	トライステート

注

- X = 「ドントケア」。H = 論理 HIGH、L = 論理 LOW。 $\overline{BW}_x = L$ は、少なくとも 1 バイト書き込みセレクト信号がアクティブ、 $\overline{BW}_x = \text{有効}$ は、対象のバイト書き込みセレクト信号がアサートされることを示します。詳細については、真理値表を参照してください。
- 書き込みは、 \overline{BW}_x と WE で定義されます。読み書きと書き込みについては真理値表を参照してください。
- 書き込みサイクルが検出された場合、バイト書き込み中でも、すべての I/O はトライステートになります。
- DQ と \overline{DQP}_x ビン現行のサイクルと OE 信号によって制御されます。OE は非同期で、クロックと同期してサンプリングされません。
- CEN = H の場合は、待ち状態が挿入されます。
- デバイスの電源投入時は、OE に関わらず、各ピンは選択解除の状態、I/O はトライステートの状態です。
- OE は非同期で、クロック立ち上がりと同期してサンプリングされません。これは、書き込みサイクル中に内部的にマスキングされます。読み出しサイクルでは、OE が非アクティブ、またはデバイスが選択解除された場合、 \overline{DQP}_x はトライステートになり、OE がアクティブの場合は \overline{DQP}_x はデータを格納します。

書き込み／読み出しの部分真理値表

以下は CY7C1461KV33 の書き込み／読み出しの部分真理値表です。[8、9]

機能 (CY7C1461KV33)	\overline{WE}	\overline{BW}_A	\overline{BW}_B	\overline{BW}_C	\overline{BW}_D
読み出し	H	X	X	X	X
書き込み－バイト書き込みなし	L	H	H	H	H
バイト A 書き込み－(DQ _A と DQP _A)	L	L	H	H	H
バイト B 書き込み－(DQ _B と DQP _B)	L	H	L	H	H
バイト C 書き込み－(DQ _C と DQP _C)	L	H	H	L	H
バイト D 書き込み－(DQ _D と DQP _D)	L	H	H	H	L
すべてのバイト書き込み	L	L	L	L	L

書き込み／読み出しの部分真理値表

以下は CY7C1463KV33 の書き込み／読み出しの部分真理値表です。[8、9]

機能 (CY7C1463KV33)	\overline{WE}	\overline{BW}_B	\overline{BW}_a
読み出し	H	X	X
書き込み－バイト書き込みなし	L	H	H
バイト a 書き込み－(DQ _a と DQP _a)	L	H	L
バイト b 書き込み－(DQ _b 、DQP _b)	L	L	H
両バイト書き込み	L	L	L

注

8. X = 「ドントケア」。H = 論理 HIGH、L = 論理 LOW。 $\overline{BW}_x = L$ は、少なくとも 1 バイト書き込みセレクト信号がアクティブ、 $\overline{BW}_x = \text{有効}$ は、対象のバイト書き込みセレクト信号がアサートされることを示します。詳細については、真理値表を参照してください。
9. この表では、バイト書き込みの組み合わせの一部を示します。どの \overline{BW}_x の組み合わせも有効です。書き込みは、アクティブになるバイト書き込み信号に応じ

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザー ガイドラインはテストされていません。

保存温度 -65°C ~ +150°C

通電時の周囲温度
..... -55°C ~ +125°C

GND を基準とした V_{DD} -0.5V ~ +4.6V

GND を基準とした V_{DDQ} 上の電源電圧 -0.5V ~ + V_{DD}

トライステート状態の出力に

印加できる DC 電圧 -0.5V ~ $V_{DDQ}+0.5V$

DC 入力電圧 -0.5V ~ $V_{DD}+0.5V$

出力 (LOW) への電流 20mA

静電気放電電圧

(MIL-STD-883、Method 3015) > 2001V

ラッチアップ電流 >200mA

動作範囲

範囲	周囲温度	V_{DD}	V_{DDQ}
商用	0°C ~ +70°C	3.3V - 5% / +10%	2.5V - 5% ~ V_{DD}

中性子ソフト エラー耐性

パラメーター	説明	テスト条件	Typ	Max*	単位
LSBU	単一論理 ビット反転	25°C	197	216	FIT/Mb
LMBU	複数論理 ビット反転	25°C	0	0.01	FIT/Mb
SEL	シングル イベント ラッチアップ	85°C	0	0.1	FIT/Dev

* テスト中に LMBU または SEL イベントは発生しない; 本項は χ^2 分布の 95% 信頼上限を示します。詳細は、AN54908 「中性子の SER 加速試験と地上における故障率の計算」のアプリケーション ノートを参照

電気的特性

動作範囲において

パラメーター ^[10, 11]	説明	テスト条件	Min	Max	単位	
V_{DD}	電源電圧		3.135	3.6	V	
V_{DDQ}	I/O 電源電圧	3.3V I/O の場合	3.135	V_{DD}	V	
		2.5V I/O の場合	2.375	2.625	V	
V_{OH}	出力 HIGH 電圧	3.3V I/O、 $I_{OH} = -4.0mA$ の場合	2.4	-	V	
		2.5V I/O、 $I_{OH} = -1.0mA$ の場合	2.0	-	V	
V_{OL}	出力 LOW 電圧	3.3V I/O、 $I_{OL} = 8.0mA$ の場合	-	0.4	V	
		2.5V I/O、 $I_{OL} = 1.0mA$ の場合	-	0.4	V	
V_{IH}	入力 HIGH 電圧 ^[10]	3.3V I/O の場合	2.0	$V_{DD} + 0.3V$	V	
		2.5V I/O の場合	1.7	$V_{DD} + 0.3V$	V	
V_{IL}	入力 LOW 電圧 ^[10]	3.3V I/O の場合	-0.3	0.8	V	
		2.5V I/O の場合	-0.3	0.7	V	
I_x	入力リーク電流 (ZZ と MODE を除く)	$GND \leq V_I \leq V_{DDQ}$	-5	5	μA	
		MODE の入力電流	入力 = V_{SS}	-30	-	μA
		入力 = V_{DD}	-	5	μA	
		ZZ の入力電流	入力 = V_{SS}	-5	-	μA
入力 = V_{DD}	-	30	μA			
I_{oz}	出力リーク電流	$GND \leq V_I \leq V_{DDQ}$ 、出力が無効	-5	5	μA	

注

10. オーバーシュート: $V_{IH}(AC) < V_{DD} + 1.5V$ (パルス幅は $t_{CYC}/2$ 未満)、アンダーシュート: $V_{IL}(AC) > -2V$ (パルス幅は $t_{CYC}/2$ 未満)

11. $T_{Power-up}$: 200ms 以内に 0V から $V_{DD}(\min.)$ までの直線傾斜を前提としています。この間では、 $V_{IH} < V_{DD}$ 、 $V_{DDQ} \leq V_{DD}$ 。

電気的特性 (続き)

動作範囲において

パラメーター ^[10, 11]	説明	テスト条件		Min	Max	単位	
I _{DD}	V _{DD} 動作時供給電流	V _{DD} = Max、 I _{OJT} = 0mA、 f = f _{MAX} = 1/t _{CYC}	7.5ns のサイクル、 133MHz	×18	–	150	mA
				×36	–	170	
I _{SB1}	自動 CE パワーダウン電流 – TTL 入力	V _{DD} = Max、 デバイス選択解除済み、 V _{IN} ≥ V _{IH} または V _{IN} ≤ V _{IL} 、 f = f _{MAX} 、 入力切り替え	7.5ns のサイクル、 133MHz	×18	–	85	mA
				×36	–	90	
I _{SB2}	自動 CE パワーダウン電流 – CMOS 入力	V _{DD} = Max、 デバイス選択解除済み、 V _{IN} ≤ 0.3V、 V _{IN} ≥ V _{DD} – 0.3 V、 f = 0、 入力が静止状態にある	7.5ns のサイクル、 133MHz	×18	–	75	mA
				×36	–	80	
I _{SB3}	自動 CE パワーダウン電流 – CMOS 入力	V _{DD} = Max、 デバイス選択解除、 V _{IN} ≤ 0.3V または V _{IN} ≥ V _{DDQ} – 0.3V、 f = f _{MAX} 、 入力切り替え	7.5ns のサイクル、 133MHz	×18	–	85	mA
				×36	–	90	
I _{SB4}	自動 CE パワーダウン電流 – TTL 入力	V _{DD} = Max、 デバイス選択解除、 V _{IN} ≥ V _{DD} – 0.3V または V _{IN} ≤ 0.3V、 f = 0、 入力が静止状態にある	7.5ns のサイクル、 133MHz	×18	–	75	mA
				×36	–	80	

静電容量

下表では、容量のパラメーターを示します

パラメーター [12]	説明	テスト条件	100ピンTQFP 最大値	単位
C_{IN}	入力静電容量	$T_A = 25^\circ\text{C}$ 、 $f = 1\text{MHz}$ 、 $V_{DD} = 3.3\text{V}$ 、 $V_{DDQ} = 2.5\text{V}$	5	pF
C_{CLK}	クロック入力静電容量		5	pF
C_{IO}	入力/出力静電容量		5	pF

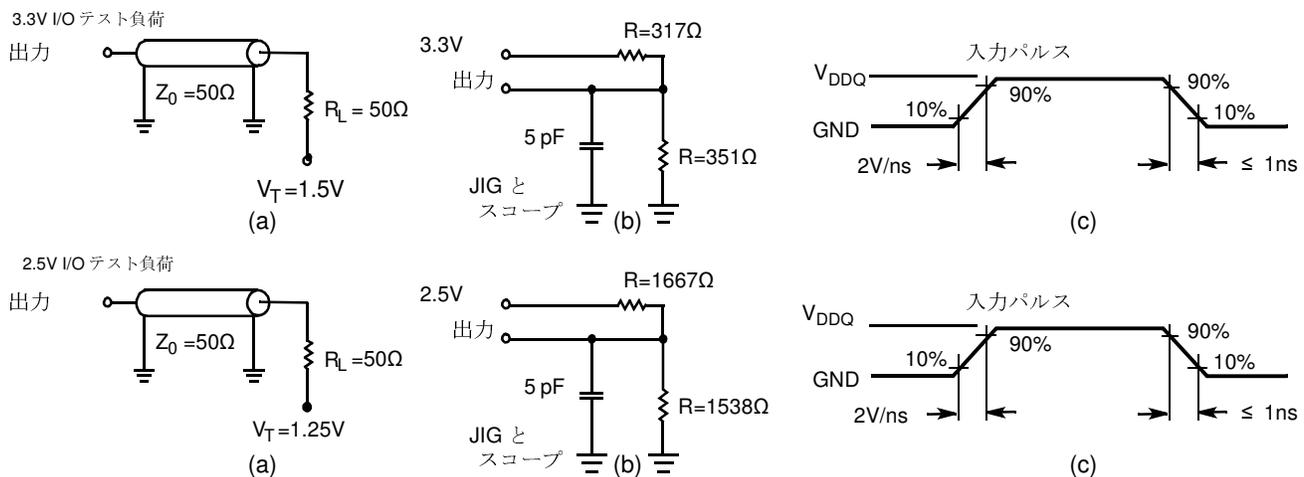
熱抵抗

下表では、熱抵抗のパラメーターを示します。

パラメーター [12]	説明	テスト条件	100ピンTQFP パッケージ	単位	
Q_{JA}	熱抵抗 (接合部から周囲)	テスト条件は、EIA/JESD51による、熱インピーダンスを測定するための標準的なテスト方法と手順に従う	エア (0メートル/秒) 静止付	$^\circ\text{C/W}$	
Q_{JC}	熱抵抗 (接合部からケース)		エアフロー (1メートル/秒)		35.36
			エアフロー (3メートル/秒)		31.30
					28.86
Q_{JB}	熱抵抗 (ジャンクションボードへ)		7.52		
			28.89		

AC テストの負荷および波形

図 3. AC テストの負荷と波形



注

12. 開発時とこれらのパラメーターに影響を与える可能性のある設計/プロセス変更があった後にテストされます。

スイッチング特性

動作範囲において

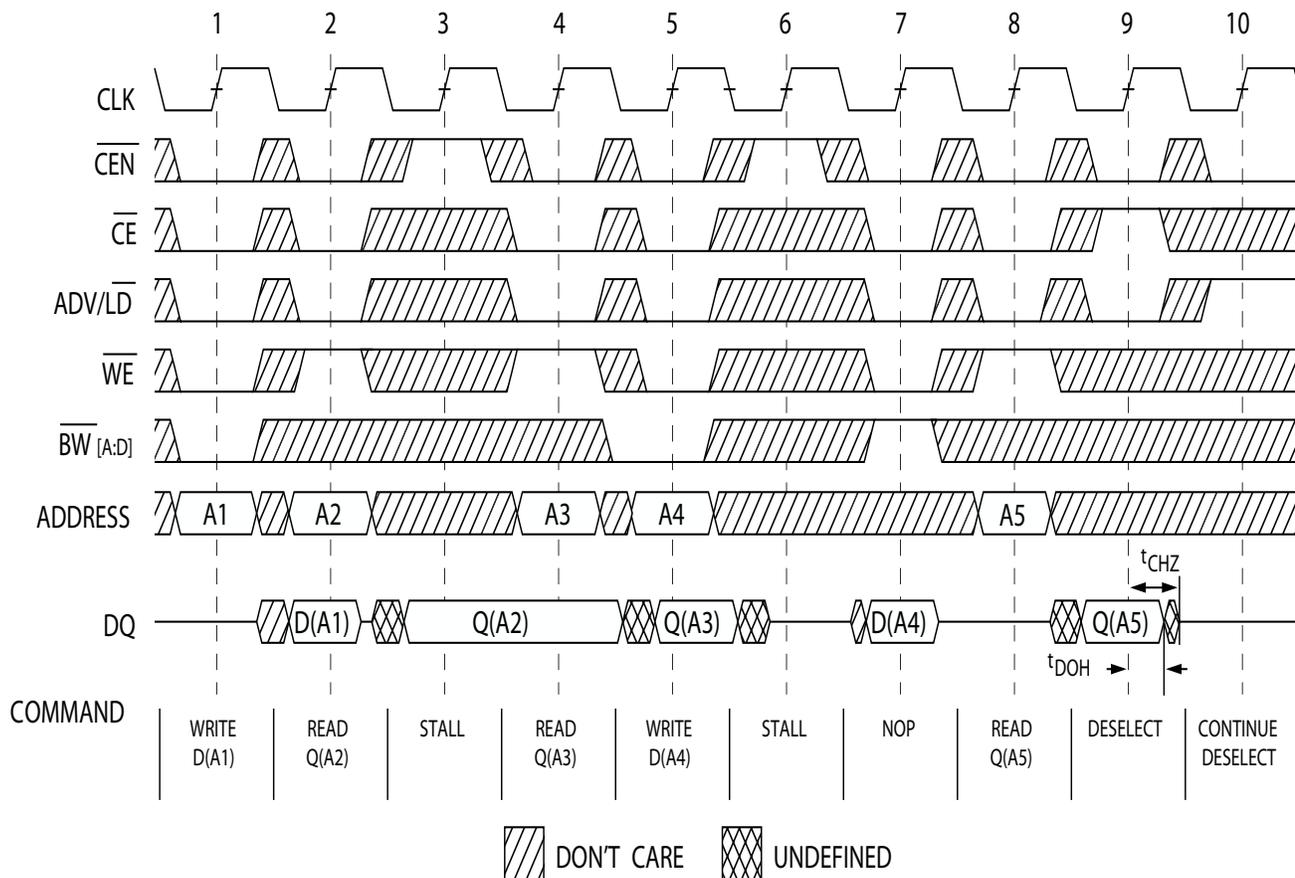
パラメーター ^[13, 14]	説明	133MHz		単位
		Min	Max	
t_{POWER} ^[15]		1	–	ms
クロック				
t_{CYC}	クロック サイクル期間	7.5	–	ns
t_{CH}	クロック HIGH	2.5	–	ns
t_{CL}	クロック LOW	2.5	–	ns
出力時間				
t_{CDV}	CLK 立ち上がり後のデータ出力有効時間	–	6.5	ns
t_{DOH}	CLK 立ち上がり後のデータ出力ホールド時間	2.5	–	ns
t_{CLZ}	クロックから Low Z までの時間 ^[16, 17, 18]	2.5	–	ns
t_{CHZ}	クロックから High Z までの時間 ^[16, 17, 18]	–	3.8	ns
t_{OEV}	\overline{OE} LOW から出力有効までの時間	–	3.0	ns
t_{OELZ}	\overline{OE} LOW から出力 Low Z までの時間 ^[16, 17, 18]	0	–	ns
t_{OEZH}	\overline{OE} HIGH から出力 High Z までの時間 ^[16, 17, 18]	–	3.0	ns
セットアップ時間				
t_{AS}	CLK 立ち上がり前のアドレス セットアップ時間	1.5	–	ns
t_{ALS}	CLK 立ち上がり前の $\overline{ADV}/\overline{LD}$ セットアップ時間	1.5	–	ns
t_{WES}	CLK 立ち上がり前の \overline{WE} 、 \overline{BW}_x セットアップ時間	1.5	–	ns
t_{CENS}	CLK 立ち上がり前の \overline{CEN} セットアップ時間	1.5	–	ns
t_{DS}	CLK 立ち上がり前のデータ入力セットアップ時間	1.5	–	ns
t_{CES}	CLK 立ち上がり前のチップ イネーブル セットアップ時間	1.5	–	ns
ホールド時間				
t_{AH}	CLK 立ち上がり後のアドレス ホールド時間	0.5	–	ns
t_{ALH}	CLK 立ち上がり後の $\overline{ADV}/\overline{LD}$ ホールド時間	0.5	–	ns
t_{WEH}	CLK 立ち上がり後の \overline{WE} 、 \overline{BW}_x ホールド時間	0.5	–	ns
t_{CENH}	CLK 立ち上がり後の \overline{CEN} ホールド時間	0.5	–	ns
t_{DH}	CLK 立ち上がり後のデータ入力ホールド時間	0.5	–	ns
t_{CEH}	CLK 立ち上がり後のチップ イネーブル ホールド時間	0.5	–	ns

注

13. タイミングのリファレンス電圧レベルは、 $V_{DDQ} = 3.3V$ の場合は 1.5V であり、 $V_{DDQ} = 2.5V$ の場合は 1.25V です。
14. 特記されていない限り、テスト条件は 14 ページの図 3 の (a) に示します。
15. このデバイスは電圧レギュレータを内蔵しています； t_{POWER} は、読み出しまたは書き込み処理が開始される前に、 $V_{DD(min)}$ を超えた電源を供給する必要がある時間です。
16. t_{CHZ} 、 t_{CLZ} 、 t_{OELZ} 、 t_{OEZH} は、14 ページの図 3 の (b) に示した AC テスト条件で指定されます。遷移は定常状態での電圧 $\pm 200mV$ の電圧レベルで測定されます。
17. 特定の電圧と温度において、同じデータバスを共用する時、SRAM 間のバス競合を回避するために、 t_{OEZH} は t_{OELZ} より少なく、 t_{CHZ} は t_{CLZ} より少ないです。これらの仕様では、バス競合条件を説明しませんが、最悪の場合のユーザー条件において保証されるパラメーターを示します。デバイスは、同じシステム条件の下で LOW Z の前に HIGH Z を達成するように設計されています。
18. このパラメーターはサンプリングされ、すべてのデバイスで試験されるわけではありません。

スイッチング波形(続き)

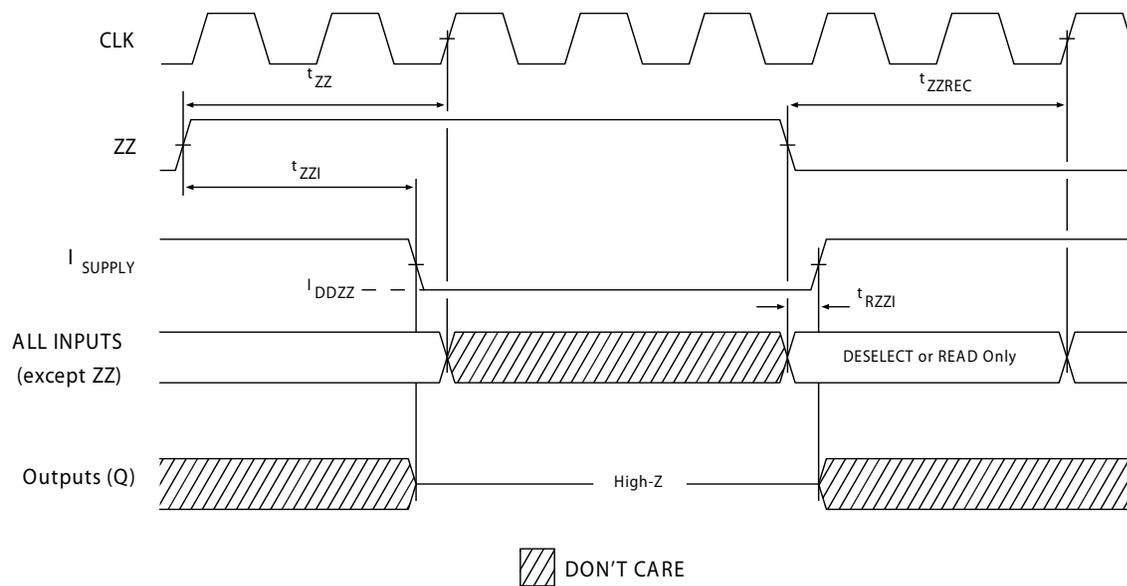
図 5. NOP、STALL、および DESELECT サイクル [22、23、24]



注
 22. この波形の場合は ZZ は LOW に保持されます。
 23. \overline{CE} が LOW の場合、 \overline{CE}_1 は LOW、 CE_2 は HIGH、 \overline{CE}_3 は LOW です。 \overline{CE} が HIGH の場合、 \overline{CE}_1 は HIGH、または CE_2 は LOW、または \overline{CE}_3 は HIGH です。

スイッチング波形 (続き)

図 6. ZZ モード タイミング [25, 26]



注
25. ZZ モードに入る時、デバイスを選択解除する必要があります。デバイスを選択解除するためのすべての可能な信号条件については、真理値表を参照してください。

注文情報

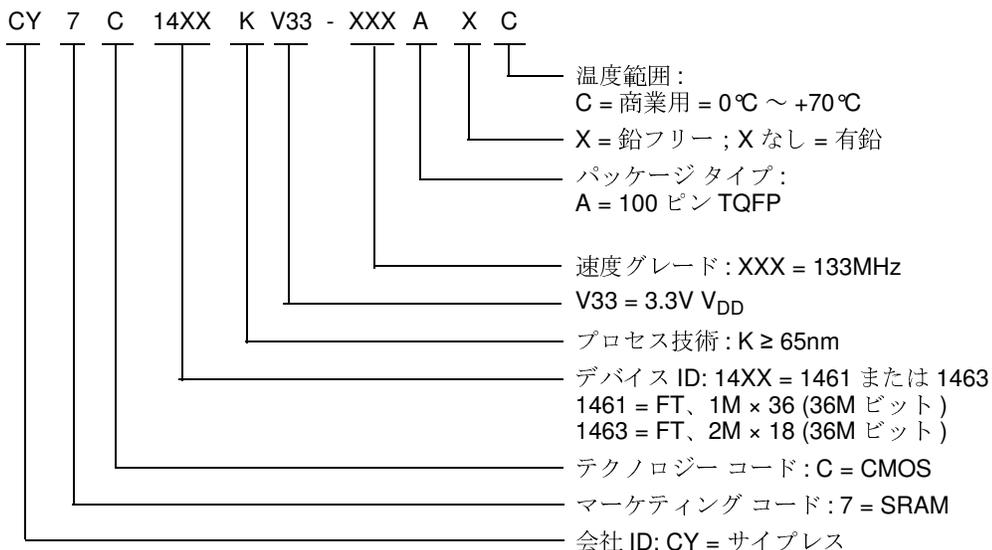
この製品の種類について、サイプレスは、様々なコンフィギュレーションおよび特長を持っている他の多くのバージョンを提供しています。以下の表には、現在在庫としてある部品のみを示します。

すべてのオプションの完全なリストについては、サイプレスのウェブサイト www.cypress.com にアクセスし、製品概要のページ <http://www.cypress.com/products> を参照し、または最寄りのサイプレスの販売代理店にお問い合わせください。

サイプレスは、事業所、ソリューションセンター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスの <http://www.cypress.com/go/datasheet/offices> をご覧ください。

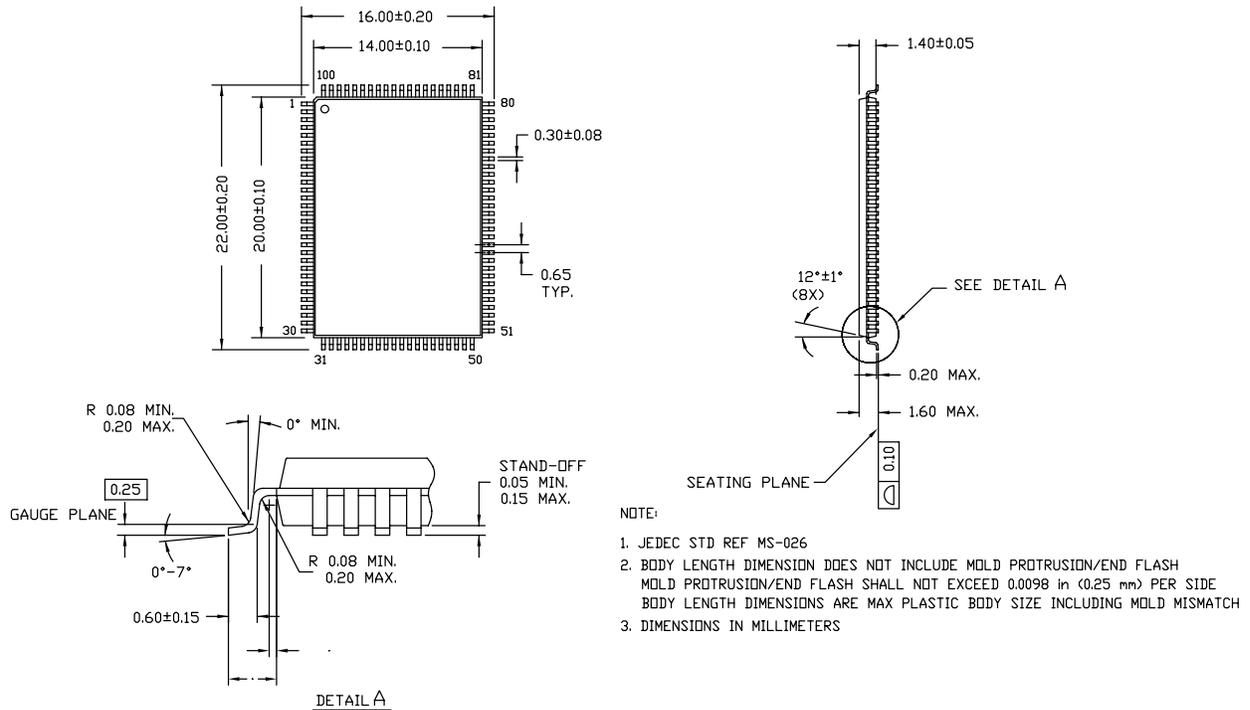
速度 (MHz)	注文コード	パッケージ図	製品とパッケージタイプ	動作範囲
133	CY7C1461KV33-133AXC	51-85050	100 ピン TQFP (14×20×1.4mm) 鉛フリー	商用
	CY7C1463KV33-133AXC			

注文コードの定義



パッケージ図

図 7. 100 ピン TQFP (14×20×1.4mm) A100RA パッケージ図、51-85050



51-85050 *E

略語

略語	説明
\overline{CE}	Chip Enable (チップイネーブル)
\overline{CEN}	Clock Enable (クロックイネーブル)
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
I/O	Input/Output (入力/出力)
NoBL	No Bus Latency (バスレイテンシーなし)
\overline{OE}	Output Enable (出力イネーブル)
SRAM	Static Random Access Memory (スタティックランダムアクセスメモリ)
TQFP	Thin Quad Flat Pack (薄型クアドフラットパッケージ)
\overline{WE}	Write Enable (書き込みイネーブル)

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
μA	マイクロアンペア
mA	ミリアンペア
mm	ミリメートル
ms	ミリ秒
ns	ナノ秒
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY7C1461KV33/CY7C1463KV33、NoBL™ アーキテクチャの 36M ビット (1M×36/2M×18) フロースルー SRAM 文書番号 : 001-96065				
版	ECN 番号	発行日	変更者	変更内容
**	4651000	02/04/2015	HZEN	これは英語版 001-66681 Rev. *D を翻訳した日本語版 001-96065 Rev. ** です。
*A	4718923	04/09/2015	PRIT	決勝への変換