

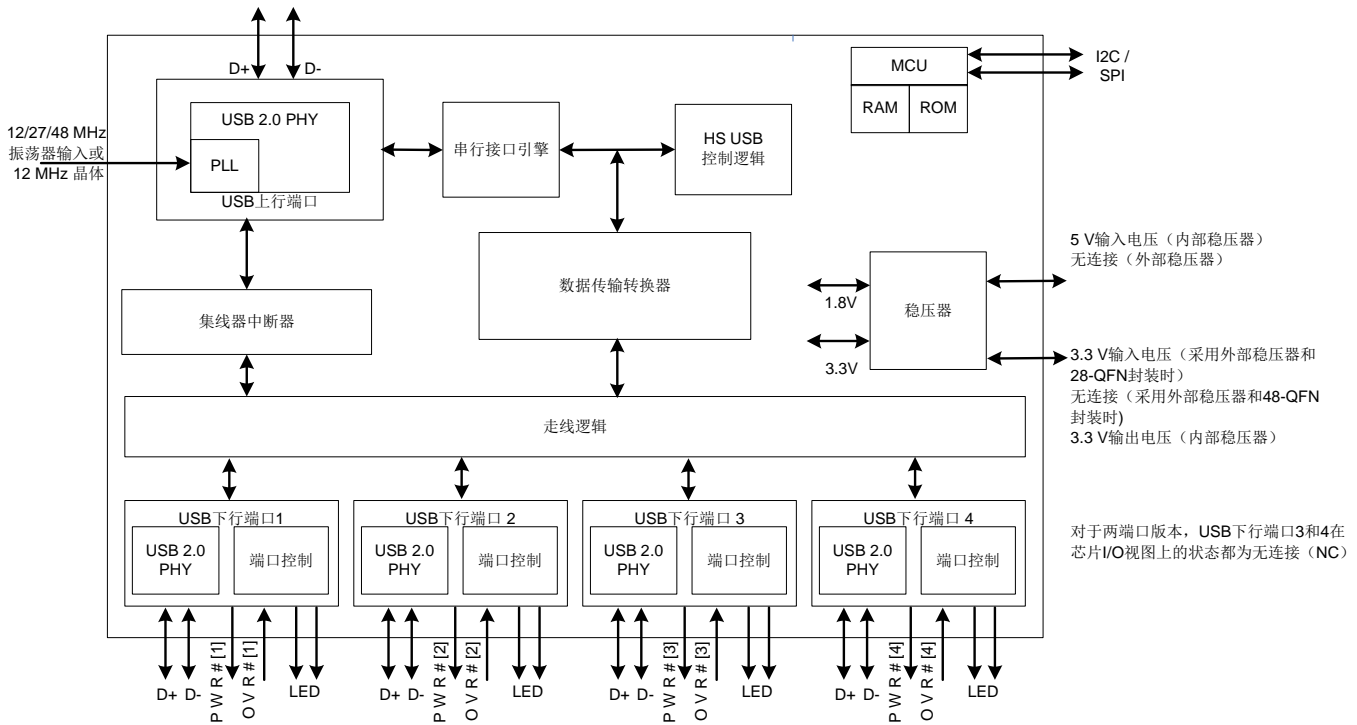
HX2VL™ 极低功耗 USB 2.0 集线控制器

特性

- 高性能低功耗的 USB 2.0 集线器，优化成低成本设计，将材料成本降至最低
- USB 2.0 集线控制器
 - 符合 USB 2.0 规格
 - 最多支持四个下行端口
 - 下行端口向后兼容 FS（全速）、LS（低速）
 - 采用单个数据传输转换器（TT），以降低成本
- 极低功耗
 - 支持总线供电和自供电模式
 - 可实现总线供电和自供电模式的自动切换
 - 单个微控制器单元（MCU），另外配有 2K 的 ROM 和 64 字节的 RAM
 - 最低功耗
- 高度集成的解决方案，可降低材料费用。
 - 内部稳压器 — 需提供一个 5 V 电源
 - 可连接外部稳压器提供的 3.3 V 电压
 - 集成了上行上拉电阻
 - 全部下行端口集成了下拉电阻

- 上行 / 下行端口集成了终端电阻
- 集成了端口状态指示灯控制
- 12 MHz +/- 500 ppm 的外部晶振支持 600 μW 驱动电平的（集成 PLL）时钟输入和可选的 27/48 MHz 振荡器时钟输入。
- 用于 ESD 恢复的内部掉电检测
- 下行端口管理
 - 支持单个和组合模式的电源管理
 - 过电流检测
 - 每个下行端口均有两个端口状态指示灯
 - 用于 EMI 管理的斜率控制
- 最大可配置性
 - 可通过外部 EEPROM 进行配置 VID 和 PID
 - 端口数、可移动端口 / 不可移动端口均通过 EEPROM 和 I/O 引脚配置进行配置
 - 可通过 I/O 引脚配置组合 / 单个模式的电源开关、参考时钟源和电源开关来使能引脚的极性
 - 可通过掩膜 ROM 来选择各个配置选项。
- 提供可节省空间的 48-TQFP 封装（7 × 7 mm）和 28-QFN 封装（5 × 5 mm）
- 支持 0 °C ~ 70 °C 的温度范围

框图 – CY7C6563X



更多有关的信息

赛普拉斯的网站 www.cypress.com 上提供了大量数据资料，有助您正确选择 HX2VL 器件用于设计，并使您能够快速和有效地将器件集成到设计中。要想获取完整的设计资源列表，请参考知识库文章 <http://www.cypress.com/?id=2411>。

- 概况：USB 产品系列、USB 路线图
- USB 2.0 集线控制器选择：HX2LP、HX2VL
- 应用笔记：赛普拉斯提供了大量的 USB 应用笔记，包括了从基本到高级的广泛主题。下面列出的是 HX2VL 入门的相关应用笔记：
 - AN15454 — 使用 EZ-USB HX2LP™/HX2VL 的总线供电 USB 集线器设计
 - AN72332 — 使用赛普拉斯 USB 2.0 集线器（HX2VL）的系统设计指南
 - AN69235 — 从 HX2/HX2LP 转换为 HX2VL
- 参考设计：
 - CY4608 — HX2VL 集线器（极低功耗、符合 USB 2.0 规格、具有 4 个端口）的开发套件
 - CY4607 — HX2VL 集线器（极低功耗、符合 USB 2.0 规格、具有 4 个端口）的开发套件
- 模型：HX2VL（CY7C65632/34/42）— IBIS

HX2VL 开发套件

HX2VL 开发套件电路板是一款用于演示 HX2VL 器件（CY7C65632、CY7C65634）特性的工具。在该设计初始阶段，开发人员可以通过该电路板了解芯片的特性和限制，然后进行整个设计。该开发套件提供了电路板硬件、PC 应用软件和 EEPROM 配置数据（.iic）文件相关的文档。

目录

| | | | |
|--------------------------|-----------|---|-----------|
| 简介 | 4 | 端口数配置 | 16 |
| HX2VL 架构 | 4 | 不可移动端口的配置 | 16 |
| USB 串行接口引擎 (SIE) | 4 | 参考时钟配置 | 17 |
| 高速 USB 控制逻辑 | 4 | 最大绝对额定值 | 18 |
| 集线器中继器 | 4 | 运行条件 | 18 |
| MCU (微控制器单元) | 4 | 电气特性 | 18 |
| 数据传输转换器 (TT) | 4 | 直流电气特性 | 18 |
| 端口控制 | 4 | 交流电气特性 | 19 |
| 应用 | 4 | 热阻 | 20 |
| 功能概述 | 5 | 订购信息 | 21 |
| 系统初始化 | 5 | 订购代码定义 | 21 |
| 枚举 | 5 | 封装图 | 22 |
| 上行端口 | 5 | 缩略语 | 24 |
| 下行端口 | 5 | 文档常规 | 24 |
| 电源开关 | 5 | 测量单位 | 24 |
| 过流检测 | 5 | HX2VL 的芯片勘误表, CY7C65632 产品系列 | 25 |
| 端口指示灯 | 5 | 受影响的器件型号 | 25 |
| 稳压器 | 6 | HX2VL 合格状态 | 25 |
| 外部稳压方案 | 6 | HX2VL 勘误表汇总 | 25 |
| 内部稳压方案 | 6 | 文档修订记录页 | 26 |
| 引脚配置 | 7 | 销售、解决方案和法律信息 | 27 |
| 引脚定义 | 11 | 全球销售和 design 支持 | 27 |
| 引脚定义 | 13 | 产品 | 27 |
| EEPROM 配置选项 | 15 | PSoC® 解决方案 | 27 |
| 引脚配置选项 | 16 | 赛普拉斯开发者社区 | 27 |
| 上电复位 | 16 | 技术支持 | 27 |
| 组合 / 单个电源开关模式 | 16 | | |
| 电源开关使能引脚极性 | 16 | | |

简介

HX2VL™ 是赛普拉斯新一代高性能和极低功耗的 USB 2.0 集线器控制系列。HX2VL 集成了上行和下行收发器、USB 串行接口引擎 (SIE)、USB 集线器控制、中继器逻辑以及数据传输转换器 (TT) 等逻辑。赛普拉斯还为该系统集成了多种外部组件，如稳压器和上拉/下拉电阻等，从而有效地减少了完成一个 USB 集线器系统所需的物料清单。

CY7C6563X 是 HX2VL 系列产品的一部分。此器件选项用于最多需要四个下行端口的低功耗和高性能应用。所有下行端口共享一个数据传输转换器 (TT)。CY7C6563X 可提供 48-TQFP 和 28-QFN 的两种封装。

赛普拉斯的世界级参考设计套件可支持所有器件选项，包括电路板原理图、物料清单、Gerber 文件、Orcad 文件以及详尽的设计文档。

HX2VL 架构

第 1 页上的框图 – CY7C6563X 展示了 HX2VL 单个数据传输转换器 (TT) 集线器的架构。

USB 串行接口引擎 (SIE)

通过串行接口引擎 (SIE) 可将 HX2VL 连接到 USB 主机上。串行接口引擎可处理下列的 USB 活动，独立于集线器控制模块。

- 位填充和解除填充
- 校验和生成和检查
- 令牌类型识别
- 地址检查

高速 USB 控制逻辑

“集线器控制”模块可协调枚举、暂停和恢复。它会生成相关状态和控制信号，以支持主机访问集线器。另外，它还包含了可将该集线器与主机同步的帧定时器。它的状态/控制寄存器可作为 MCU 固件的接口使用。

集线器中继器

集线器中继器可管理以相同速度运行的上行和下行端口间的连接。它支持全速和高速连接。根据 USB 2.0 规格，集线器中继器提供了下列各项功能：

- 建立和断开数据包边界上的连接
- 确保顺序地进入和退出“暂停”状态，包括正确处理远程唤醒。

MCU (微控制器单元)

HX2VL 具有一个 MCU，另外还配有 2 K 的 ROM 和 64 字节的 RAM。该 MCU 通过一个 12 MHz 的时钟运行，它能够从主机解码 USB 指令并对主机作出响应。此外，它还可以通过控制 GPIO 设置使客户更加灵活地进行操作，并控制与 EEPROM 进行的通信，从而读取扩展配置选项的信息。在工厂生产过程中，可以按照客户的各种要求对 MCU 进行相应编程。

数据传输转换器 (TT)

数据传输转换器 (TT) 能够转换数据的传输速度。数据操作转换器 (TT) 能在集线器高速运行 (上行端口连接至高速主机控制器) 并连接全速或低速器件时进行高速拆分数据，并将其转换为全速或低速数据操作。下行端口连接器件的运行速度决定了走线逻辑是否将端口与数据操作转换器 (TT) 或集线器中继器相连接。当上行主机和下行器件运行速度不同时，数据会通过数据传输转换器 (TT) 进行传输。在其他情况下，数据通过中继器进行传输。举例来说，如果全速或低速器件通过集线器与高速上行主机连接，那么数据将通过数据传输转换器 (TT) 传输。如果高速器件通过集线器与高速上行主机连接，那么数据将经过中继器传输。当集线器连接至全速上行主机控制器时，高速外设无法发挥其最高性能。这些器件仅能以全速运行。连接至此集线器的全速和低速器件以正常速度运行。

端口控制

下行“端口控制”模块可处理连接/断开、过流检测，以及电源使能和 LED 控制。它还能下行收发器生成控制信号。

应用

HX2VL 器件系列的典型应用：

- 扩展坞站
- 独立集线器
- 显示器集线器
- 多功能打印机
- 数字电视
- 高级端口复制器
- 键盘集线器
- 游戏控制台

功能概述

赛普拉斯 CY7C6563XUSB 2.0 集线器是可以提供最大传输效率的低功耗 USB 集线器解决方案。CY7C6563XUSB 2.0 集线器集成了用于全速运行的 1.5 kΩ 上行上拉电阻，以及用于所有上行和下行 D+ 和 D- 引脚的下行 15 kΩ 下拉电阻和串联中断电阻。从而为通过 USB 2.0 规格提供了内置支持，可使系统成本得以优化。

系统初始化

加电时，CY7C6563X 可选择从掩膜型 ROM 的默认设置中枚举，或读取外部 EEPROM 获取配置信息。从最基本的层面看，EEPROM 提供供货商 ID (VID) 和产品 ID (PID)，以便客户应用。对于其他更专业的应用，可指定其他的配置选项。请参考第 15 页上的 EEPROM 配置选项，了解相关信息。在将 EEPROM 内容加载为描述符之前，CY7C6563X 会验证校验和。

枚举

CY7C6563X 能够使能 D+ 上的上拉电阻，以指示给上行集线器它的存在；随后，会预计发生一个 USB 总线复位。USB 总线复位后，CY7C6563X 会处于无地址、未配置状态（配置值设为“0”）。进行枚举过程中，主机对集线器地址和配置进行设置。集线器配置完成后，便可以使用集线器的全部功能。

上行端口

上行端口包括发送器和接收器状态机。发送器和接收器以高速或全速运行，具体取决于当前的集线器配置。当集线器中继器连接至上行方向时，发送器状态机会监控上行方向的端口。该状态机防止集线器下行端口上的串音和断开事件传播并引起该集线器被禁用或与其他连接器断开。

下行端口

CY7C6563X 最多可支持四个下行端口，其中每个端口可在 EEPROM 配置中标记为可用或可移动，请参见第 15 页上的 EEPROM 配置选项。此外，它还可通过引脚短接进行配置，请参见第 16 页上的引脚配置选项。

CY7C6563X 的每个端口均具有下行 D+ 和 D- 下拉电阻。在配置集线器前，端口被驱动为单端零 (SE0，D+ 和 D- 均被驱动为低)，并被设置为未通电状态。集线器配置完成后，不会驱动各端口，主机可以通过向每个端口发送 “SetPortPower” 指令来为每个端口通电。端口通电后，任何连接或断开事件均可以被集线器检测到。端口状态的任何更改将由集线器通过状态更改端点 (端点 1) 向主机报告。

收到连接器件的端口发出的 “SetPortReset” (设置端口复位) 请求后，集线器进行如下操作：

- 在相应端口上执行 USB 复位
- 将端口置于使能状态
- 端口使能后，进行串音检测。

串音是在 EOF2 点后面端口上的非空闲状态。如果在一个已使能端口检测出串音，则该端口会被禁用。主机发出的 “ClearPortEnable” (清除端口使能) 请求也可禁用指定端口。

下行端口能通过主机的 “SetPortSuspend” (设置端口暂停) 请求来个别暂停。如果集线器未暂停，该端口的远程唤醒事件将通过集线器状态更改端点的端口更改指示反映至主机。如果集线器被暂停，则该端口的远程唤醒事件将被转送给主机。主机可通过发送 “ClearPortSuspend” 指令来恢复该端口。

电源开关

CY7C6563X 具有用于外部端口电源开关的接口信号。组合和单独 (每个端口) 配置由引脚短接支持，请参见第 16 页上的引脚配置选项。

枚举完成后，主机可通过向某个端口发送 “SetPortPower” 请求来为该端口供电。电源开关和过流检测通过连接至外部电源开关器件的各个控制信号 (PWR#[n] 和 OVR#[n]) 进行管理。电源开关均支持高/低电平使能，并通过通用 I/O 设置配置极性，请参见第 16 页上的引脚配置选项。

过流检测

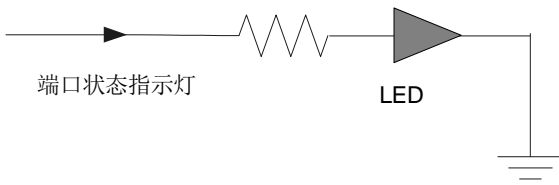
CY7C6563X 系列的 OVR#[n] 引脚与各外部电源开关端口的过流检测指示 (输出) 信号相连接。检测到过流状态后，集线器将过流状态报告给主机，并禁用与外部开关器件连接的 PWR#[n] 输出。OVR#[n] 的建立时间为 20ns。从过流检测到取消激活 PWR#[n] 需要 3 到 4ms 的时间。

端口指示灯

USB 2.0 端口指示灯也由 CY7C6563X 直接支持。根据规格，集线器的每个下行端口支持一个状态指示灯 (可选用)。下行端口指示灯的存在由集线器类别描述符的 7 位集线器特性字段指定。默认 CY7C6563X 描述符说明：支持端口指示灯。CY7C6563X 端口指示灯有两种运行模式：自动和手动。

上电时，CY7C6563X 默认为自动模式，端口指示灯颜色 (绿色、琥珀色、关闭) 指示 CY7C6563X 端口的功能状态。器件暂停时，LED 将被关闭。

图 1. 端口状态指示灯 LED



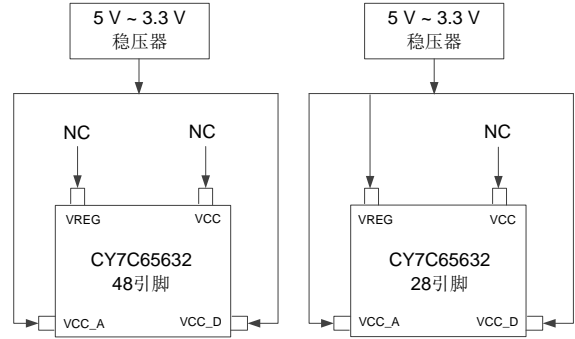
稳压器

CY7C6563X 需要 3.3 V 电压，以符合内核逻辑和 USB 物理层 (PHY) 的正常运行。此内置的低压差稳压器可将 USB 线缆 (Vbus) 的电源电压从 5 V 输入转换为 3.3 V。输入电压在 4.75 V 到 5.25 V 范围内时，内部参考电压电路可保证 3.3 V 的电压输出。此稳压器的最大电流负载为 150 mA，有足够容差提供给正常功耗低于 100 mA 的 CY7C6563X。此内置稳压器的静态电流为 28 μ A。

外部稳压方案

CY7C6563X 支持外部稳压和内部稳压方案。当选择外部稳压时，则 48 引脚封装的 VCC 和 VREG 保持为无连接开路。外部稳压器的 3.3 V 输出要连接至 VCC_A 和 VCC_D 引脚。此连接应在外部 (板上) 完成接通。对于 28 引脚封装，外部稳压器的 3.3 V 输出要连接至 VREG、VCC_A 和 VCC_D。VCC 引脚应保持为无连接开路。从外部输入的 3.3 V 电压中，内部生成 1.8 V 电压以供芯片内部使用。

图 2. 外部稳压方案

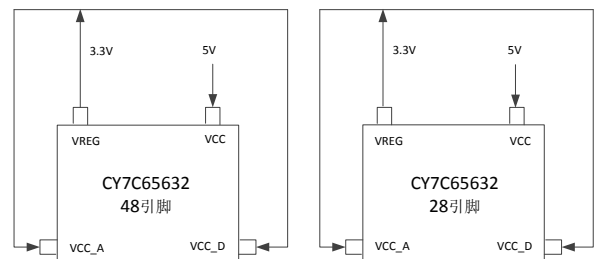


外部稳压方案

内部稳压方案

选择内置内部稳压器时，48 引脚和 28 引脚封装中的 VCC 引脚要连接至 5 V 电压。内置稳压器在内部生成 3.3 V 和 1.8 V 电压以供芯片内部使用。VREG 引脚的输出电压为 3.3 V，该引脚要在外部连接至 VCC_A 和 VCC_D。

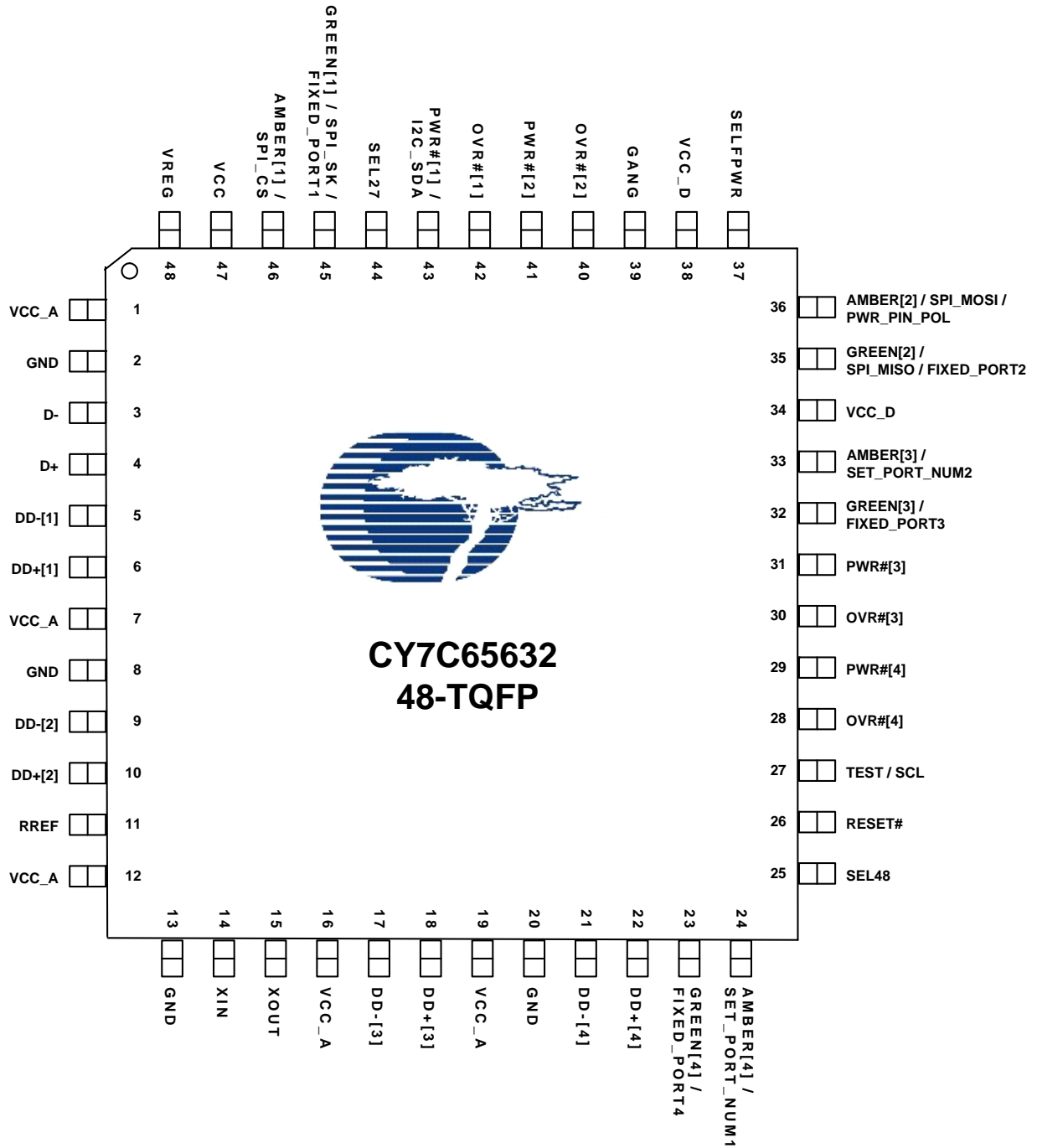
图 3. 内部稳压方案



内部稳压方案

引脚配置

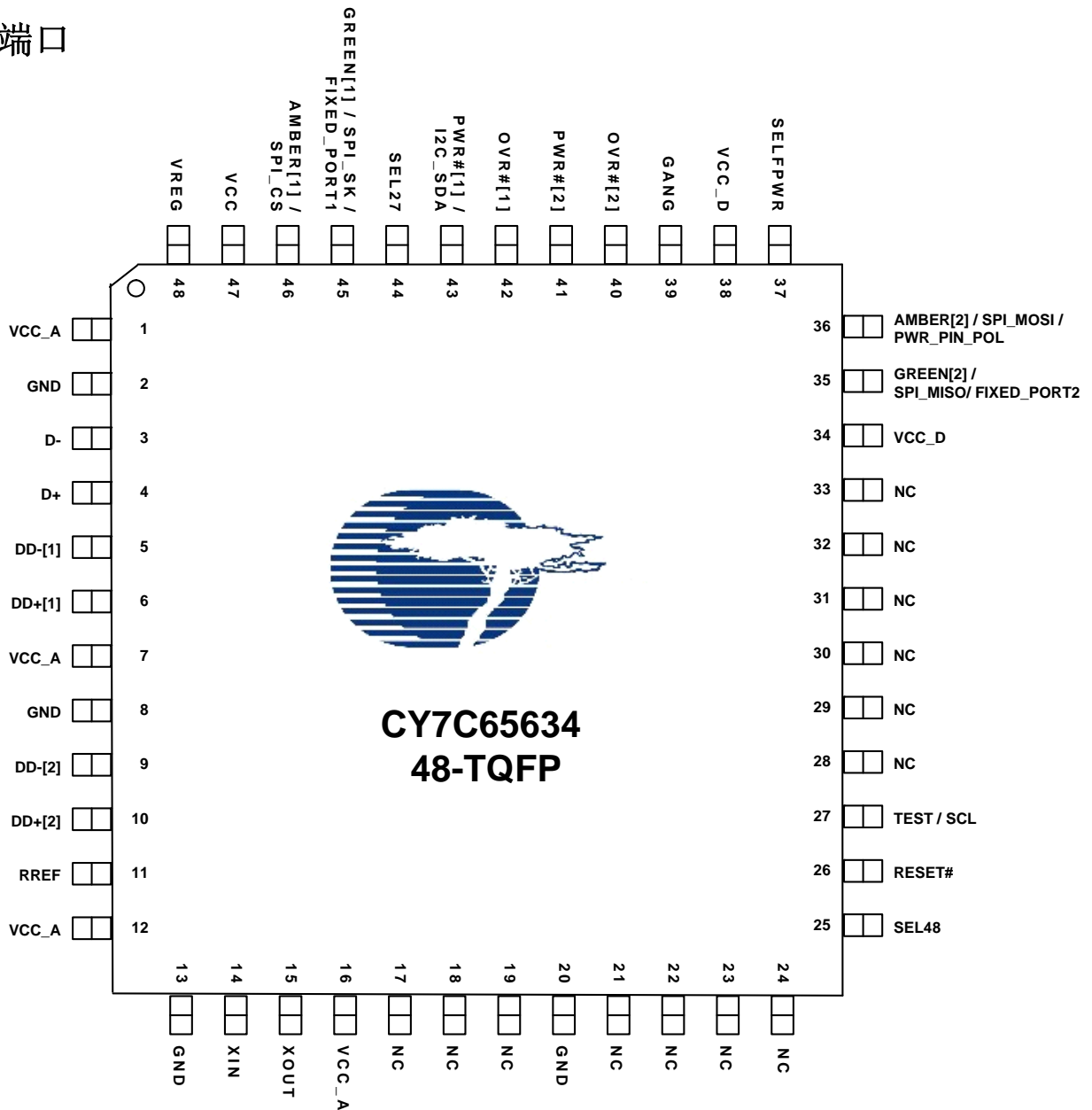
图 4. 48-TQFP (7 × 7 × 1.4 mm) 引脚分布



引脚配置 (续)

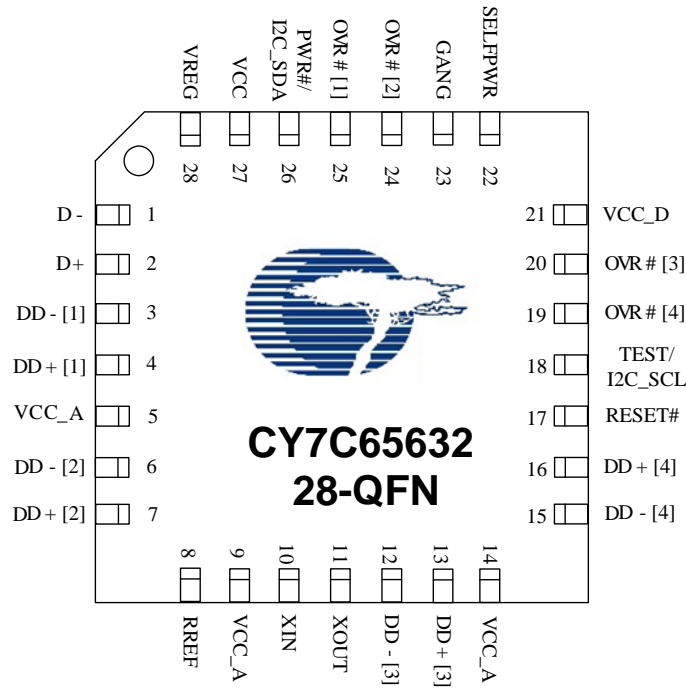
图 5. 48-TQFP (7 x 7 x 1.4 mm) 引脚分布

两端口



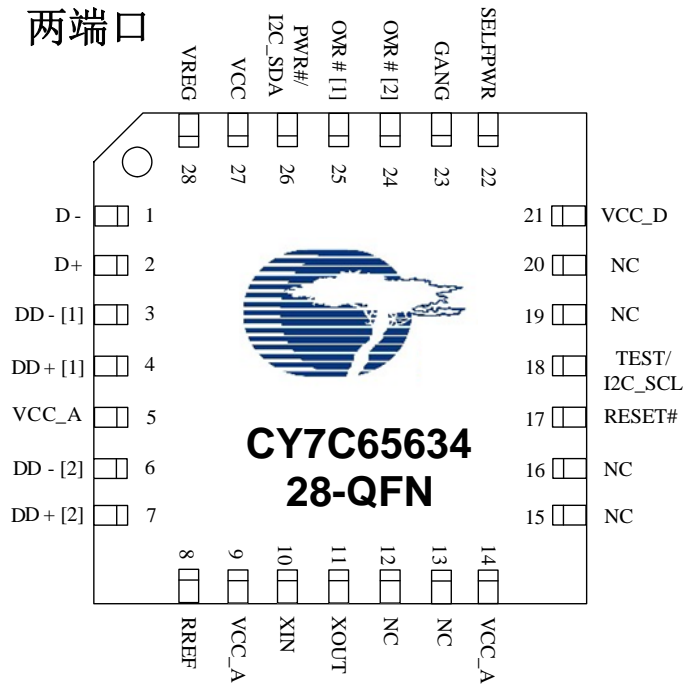
引脚配置 (续)

图 6. 28-QFN (5 × 5 × 0.8 mm) 引脚分布



引脚配置 (续)

图 7. 28-QFN (5 × 5 × 0.8 mm) 引脚分布



引脚定义

48-TQFP 封装

| 名称 | 引脚编号 | 类型 ^[1] | 说明 |
|--------------|---------|---|--|
| 电源和时钟 | | | |
| VCC_A | 1 | P | VCC_A : 连接到芯片的 3.3 V 模拟电源。 |
| VCC_A | 7 | P | VCC_A : 连接到芯片的 3.3 V 模拟电源。 |
| VCC_A | 12 | P | VCC_A : 连接到芯片的 3.3 V 模拟电源。 |
| VCC_A | 16 | P | VCC_A : 连接到芯片的 3.3 V 模拟电源。 |
| VCC_A | 19 | P | VCC_A : 连接到芯片的 3.3 V 模拟电源。在 CY7C65634 中处于无连接 (NC) 状态。 |
| VCC_D | 34 | P | VCC_D : 连接到芯片的 3.3 V 数字电源。 |
| VCC_D | 38 | P | VCC_D : 连接到芯片的 3.3 V 数字电源。 |
| VCC | 47 | P | VCC : 连接到内部稳压器的 5 V 输入电源, 如使用外部稳压器则不连接 |
| VREG | 48 | P | VREG : 内部稳压输出 5–3.3 V 电压。使用外部稳压器时不连接。 |
| GND | 2 | P | GND 。以最短路径接地。 |
| GND | 8 | P | GND 。以最短路径接地。 |
| GND | 13 | P | GND 。以最短路径接地。 |
| GND | 20 | P | GND 。以最短路径接地。 |
| XIN | 14 | I | 12 MHz 晶振时钟输入, 或 12/27/48 MHz 时钟输入。 |
| XOUT | 15 | O | 12 MHz 晶振输出 |
| SEL48/SEL27 | 25 / 44 | I | 时钟源输入选择。 00: 保留 01: 48 MHz 振荡器输入 10: 27 MHz 振荡器输入 11: 12 MHz 晶振或振荡器输入 |
| RESET# | 26 | I | 低电平有效复位 。外部复位输入, 默认配有 10 kΩ 的上拉电阻; 当 RESET 设置为低电平时, 全芯片将复位至初始状态。 |
| SELPWR | 37 | I | 自供电 。选择自供电或总线供电输入: 0 为总线供电, 1 为自供电。 |
| GANG | 39 | I/O | GANG (组合)。加电复位后, 默认为输入模式。 组合模式 : 输入值为 1 -> 输出值为 0 时可正常运行, 为 1 时将被暂停。 单个模式 : 输入值为 1 -> 输出值为 1 时可正常运行, 为 0 时将被暂停。 详细内容请参考“引脚配置选项”部分的组合/单个电源切换模式。 |
| RREF | 11 | I/O | 必须用 649 Ω 的电阻将 RREF 接地 |
| 系统接口 | | | |
| 测试 I2C_SCL | 27 | I(R _{DN}) I/O (R _{DN}) | 测试 : 数值 0 表示正常运行, 数值 1 表示芯片处于测试模式。 I2C_SCL : 可以作为 I2C 时钟引脚使用来访问 I2C EEPROM。 |
| 上行端口 | | | |
| D- | 3 | I/O/Z | 上行 D- 信号。 |
| D+ | 4 | I/O/Z | 上行 D+ 信号。 |

注释:

1. 引脚类型: I = 输入, O = 输出, P = 电源 / 接地, Z = 高阻态, R_{DN} = 焊盘内部下拉电阻, R_{UP} = 焊盘内部上拉电阻。
2. 如果各个引脚被设置为逻辑高电平, 那么不能将它们作为 LED 指示灯使用。除非当这些引脚被重新配置为输出, 在经过 60 ms 的上电复位 (POR) 过程后, 有另外的电路设计将高逻辑电平断开。

引脚定义 (续)
48-TQFP 封装

| 名称 | 引脚编号 | 类型 ^[1] | 说明 |
|--|------|--|---|
| 下行端口 1 | | | |
| DD-[1] | 5 | I/O/Z | 下行 D- 信号。端口 1 的下行 D- 信号。 |
| DD+[1] | 6 | I/O/Z | 下行 D+ 信号。端口 1 的下行 D+ 信号。 |
| AMBER[1] ^[1,2] SPI_CS | 46 | O (R _{DN}) O (R _{DN}) | LED 。琥珀色 LED 驱动器输出。支持端口指示灯。默认为高电平有效。 SPI_CS 。可作为芯片选择使用来访问外部 SPI EEPROM。 |
| GREEN ^[1,2] SPI_SK FIXED_PORT1 | 45 | O (R _{DN}) O (R _{DN}) I (R _{DN}) | LED 。绿色 LED 驱动器输出。支持端口指示灯。默认为高电平有效。 SPI_SK 。可作为 SPI 时钟使用来访问外部 SPI EEPROM。 FIXED_PORT1 。POR (上电复位) 时将端口 1 设为不可移动端口。请参考“引脚配置”部分内容。 |
| OVR#[1] | 42 | I (R _{UP}) | 低电平有效过流状态检测输入 。端口 1 的过流状态检测输入。 |
| PWR#[1] I2C_SDA | 43 | O/Z I/O | 电源开关驱动器输出 。默认为低电平有效。 I2C_SDA 。可作为 I2C 数据引脚, 与 I2C EEPROM 连接。 |
| 下行端口 2 | | | |
| DD-[2] | 9 | I/O/Z | 下行 D- 信号。端口 2 的下行 D- 信号。 |
| DD+[2] | 10 | I/O/Z | 下行 D+ 信号。端口 2 的下行 D+ 信号。 |
| AMBER[2] ^[2] SPI_MOSI PWR_PIN_POL | 36 | O (R _{DN}) O (R _{DN}) I (R _{DN}) | LED 。琥珀色 LED 驱动器输出。支持端口指示灯。默认为高电平有效。 SPI_MOSI 。可用作数据输出, 来访问外部 SPI EEPROM。 PWR_PIN_POL 。用于电源开关使能引脚的极性设置。请参考“配置”部分内容。 |
| GREEN[2] ^[2] SPI_MISO FIXED_PORT2 | 35 | O (R _{DN}) I (R _{DN}) I (R _{DN}) | LED 。绿色 LED 驱动器输出。支持端口指示灯。默认为高电平有效。 SPI_MISO 。可作为数据输入来访问外部 SPI EEPROM。 FIXED_PORT2 。上电复位时将端口 2 设为不可移动端口。请参考“配置”部分内容。 |
| OVR#[2] | 40 | I (R _{UP}) | 低电平有效过流状态检测输入 。端口 2 的过流状态检测输入。 |
| PWR#[2] | 41 | O/Z | 电源开关驱动器输出 。默认为低电平有效。 |
| 下行端口 3 | | | |
| DD-[3] | 17 | I/O/Z | 下行 D- 信号。在 CY7C65634 中处于无连接 (NC) 状态。 |
| DD+[3] | 18 | I/O/Z | 下行 D+ 信号。在 CY7C65634 中处于无连接 (NC) 状态。 |
| AMBER[3] ^[2] SET_PORT_NUM2 | 33 | O (R _{DN}) I (R _{DN}) | LED 。琥珀色 LED 驱动器输出。支持端口指示灯。默认为高电平有效。 SET_PORT_NUM2 。用于与 SET_PORT_NUM1 一同设置端口编号。请参考“引脚配置”部分内容。 在 CY7C65634 中处于无连接 (NC) 状态。 |
| GREEN[3] ^[2] FIXED_PORT3 | 32 | O (R _{DN}) I (R _{DN}) | LED 。绿色 LED 驱动器输出。支持端口指示灯。默认为高电平有效。 FIXED_PORT3 。上电复位时将端口 3 设置为不可移动端口。请参考“引脚配置”部分内容。 在 CY7C65634 中处于无连接 (NC) 状态。 |
| OVR#[3] | 30 | I (R _{UP}) | 低电平有效过流状态检测输入 。端口 3 的过流状态检测输入。 在 CY7C65634 中处于无连接 (NC) 状态。 |
| PWR#[3] | 31 | O/Z | 电源开关驱动器输出 。默认为低电平有效。 在 CY7C65634 中处于无连接 (NC) 状态。 |
| 下行端口 4 | | | |
| DD-[4] | 21 | I/O/Z | 下行 D- 信号。在 CY7C65634 中处于无连接 (NC) 状态。 |
| DD+[4] | 22 | I/O/Z | 下行 D+ 信号。在 CY7C65634 中处于无连接 (NC) 状态。 |

注释:

1. 引脚类型: I = 输入, O = 输出, P = 电源 / 接地, Z = 高阻态, R_{DN} = 焊盘内部下拉电阻, R_{UP} = 焊盘内部上拉电阻。
2. 如果各个引脚被设置为逻辑高电平, 那么不能将它们作为 LED 指示灯使用。除非当这些引脚被重新配置为输出, 在经过 60 ms 的上电复位 (POR) 过程后, 有另外的电路设计将高逻辑电平断开。

引脚定义 (续)
48-TQFP 封装

| 名称 | 引脚编号 | 类型 ^[1] | 说明 |
|--|------|--|---|
| AMBER[4] ^[2] SET_PORT_NUM1 | 24 | O (R _{DN}) I (R _{DN}) | LED 。琥珀色 LED 驱动器输出。支持端口指示灯。默认为高电平有效。 SET_PORT_NUM1 。用于与 SET_PORT_NUM2 一同设置端口编号。请参考“配置”部分内容。 在 CY7C65634 中处于无连接 (NC) 状态。 |
| GREEN[4] ^[2] FIXED_PORT4 | 23 | O (R _{DN}) I (R _{DN}) | LED 。绿色 LED 驱动器输出。支持端口指示灯。默认为高电平有效。 FIXED_PORT4 。上电复位时将端口 4 设为不可移动端口。请参考“配置”部分内容。 在 CY7C65634 中处于无连接 (NC) 状态。 |
| OVR#[4] | 28 | I (R _{UP}) | 低电平有效过流状态检测输入 。端口 4 的过流状态检测输入。 在 CY7C65634 中处于无连接 (NC) 状态。 |
| PWR#[4] | 29 | O/Z | 电源开关驱动器输出 。默认为低电平有效。 在 CY7C65634 中处于无连接 (NC) 状态。 |

注释:

1. 引脚类型: I = 输入, O = 输出, P = 电源 / 接地, Z = 高阻态, R_{DN} = 焊盘内部下拉电阻, R_{UP} = 焊盘内部上拉电阻。
2. 如果各个引脚被设置为逻辑高电平, 那么不能将它们作为 LED 指示灯使用。除非当这些引脚被重新配置为输出, 在经过 60 ms 的上电复位 (POR) 过程后, 有另外的电路设计将高逻辑电平断开。

引脚定义
28-QFN 封装

| 名称 | 引脚编号 | 类型 ^[2] | 说明 |
|---------------------|------|-------------------|---|
| 电源和时钟 | | | |
| VCC_A | 5 | P | VCC_A : 连接 3.3 V 模拟电源到芯片。 |
| VCC_A | 9 | P | VCC_A : 连接 3.3 V 模拟电源到芯片。 |
| VCC_A | 14 | P | VCC_A : 连接 3.3 V 模拟电源到芯片。 |
| VCC_D | 21 | P | VCC_D : 连接 3.3 V 数字电源到芯片。 |
| VCC | 27 | P | VCC : 连接到内部稳压器的 5 V 输入电源, 如使用外部稳压器则不连接 |
| VREG | 28 | P | VCC : 内部稳压的 5-3.3 V 稳压器输出; 使用外部稳压器时输入电压为 3.3 V。 |
| XIN | 10 | I | 12 MHz 晶振时钟输入, 或 12 MHz 时钟输入 |
| XOUT | 11 | O | 12 MHz 晶振输出 |
| RESET# | 17 | I | 低电平有效复位 。外部复位输入, 默认上拉 10 kΩ; 当 RESET 被设置为低电平时, 全芯片将被复位为初始状态 |
| SELPWR | 22 | I | 自供电 。选择自供电或总线供电的输入。0 为总线供电, 1 为自供电。 |
| GANG ^[5] | 23 | I/O | GANG (组合) 。上电复位后默认为输入模式。 组合模式 : 输入值为 1 -> 输出值为 0 表示可正常运行, 输出值为 1 表示被暂停。 单个模式 : 输入值为 1 -> 输出值为 1 时可正常运行, 为 0 时将被暂停。 详细内容请参考“引脚配置选项”部分的组合 / 单个电源切换模式。 |
| RREF | 8 | I/O | 必须使用 649 Ω 电阻将 RREF 接地 |

注释:

3. 引脚类型: I = 输入, O = 输出, P = 电源 / 接地, Z = 高阻态, R_{DN} = 焊盘内部下拉电阻, R_{UP} = 焊盘内部上拉电阻。
4. PWR#/I2C_SDA 可用作 PWR# 或 I2C_SDA, 但不可同时用作两者。如果已经连接了 EEPROM, 那么引脚将作为 I2C_SDA 使用, 而不会切换到 PWR# 模式 (48-TQFP 封装 IC 会切换)。
5. 在组合模式下, 只有 OVR#1 信号 (25 号引脚) 被使能。

引脚定义 (续)
28-QFN 封装

| 名称 | 引脚编号 | 类型 ^[2] | 说明 |
|--------------------------------|------|--|---|
| 系统接口 | | | |
| 测试 I2C_SCL | 18 | I (R _{DN}) I/O (R _{DN}) | 测试: 0: 值表示正常运行, 1 值表示芯片将处于测试模式。 I2C_SCL: 时钟引脚。 |
| PWR# ^[3] I2C_SDA | 26 | I/O | 电源 开关驱动器输出。 默认为低电平有效。 I2C_SDA: I2C 数据引脚。 |
| 上行端口 | | | |
| D- | 1 | I/O/Z | 上行 D- 信号。 |
| D+ | 2 | I/O/Z | 上行 D+ 信号。 |
| 下行端口 1 | | | |
| DD-[1] | 3 | I/O/Z | 下行 D- 信号。 |
| DD+[1] | 4 | I/O/Z | 下行 D+ 信号。 |
| OVR#[1] | 25 | I (R _{UP}) | 低电平有效过流状态检测输入。端口 1 的过流状态检测输入。 |
| 下行端口 2 | | | |
| DD-[2] | 6 | I/O/Z | 下行 D- 信号。 |
| DD+[2] | 7 | I/O/Z | 下行 D+ 信号。 |
| OVR#[2] | 24 | I (R _{UP}) | 低电平有效过流状态检测输入。端口 2 的过流状态检测输入。 |
| 下行端口 3 | | | |
| DD-[3] | 12 | I/O/Z | 下行 D- 信号。在 CY7C65634 中处于无连接 (NC) 状态。 |
| DD+[3] | 13 | I/O/Z | 下行 D+ 信号。在 CY7C65634 中处于无连接 (NC) 状态。 |
| OVR#[3] | 20 | I (R _{UP}) | 过流状态检测输入。默认为低电平有效。 在 CY7C65634 中处于无连接 (NC) 状态。 |
| 下行端口 4 | | | |
| DD-[4] | 15 | I/O/Z | 下行 D- 信号。在 CY7C65634 中处于无连接 (NC) 状态。 |
| DD+[4] | 16 | I/O/Z | 下行 D+ 信号。在 CY7C65634 中处于无连接 (NC) 状态。 |
| OVR#[4] | 19 | I (R _{UP}) | 过流状态检测输入。默认为低电平有效。 在 CY7C65634 中处于无连接 (NC) 状态。 |
| GND | 焊盘 | P | 芯片的接地引脚。它是芯片下方可软焊的裸焊盘。请参考第 23 页上的图 12。 |

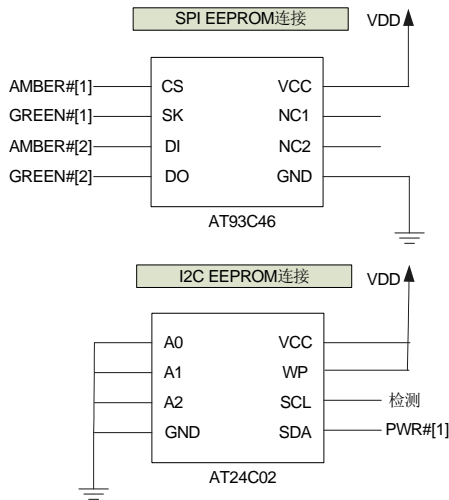
注释:

- 引脚类型: I = 输入, O = 输出, P = 电源 / 接地, Z = 高阻态, R_{DN} = 焊盘内部下拉电阻, R_{UP} = 焊盘内部上拉电阻。
- PWR#/I2C_SDA 可用作 PWR# 或 I2C_SDA, 但不可同时用作两者。如果已经连接了 EEPROM, 那么引脚将作为 I2C_SDA 使用, 而不会切换到 PWR# 模式 (48-TQFP 封装 IC 会切换)。
- 在组合模式下, 只有 OVR#1 信号 (25 号引脚) 被使能。

EEPROM 配置选项

使用 CY7C6563X 的系统可选择使用默认描述符来配置集线器。否则，它必须有一个外挂 EEPROM 以获得唯一的 VID 和 PID。CY7C6563X 可与 SPI（微细线）EEPROM（如 93C46）或 I2C EEPROM（如 24C02）进行通信。EEPROM 连接示例如下图所示。

图 8. EEPROM 连接



注意：28-QFN 封装仅支持 I2C EEPROM，如 ATMEL/24C02N_SU27 D、MICROCHIP/4LC028 SN0509 和 SEIKO/S24CS02AVH9。48-TQFP 封装包括 I2C 和 SPI EEPROM 连接选项。在这种情况下，用户可选用 SPI 或 I2C 连接与 EEPROM 通信。除上述系列外，48 引脚封装还支持 ATMEL/AT93C46DN-SH-T。HX2VL 仅可从 SPI EEPROM 读取。因此，EEPROM 的现场编程仅支持于使用 I2C 通信的 EEPROM。

CY7C6563X 在上电复位后对校验和进行验证，并在验证后从 EEPROM 加载配置。为了防止配置被覆盖，在有 SPI EEPROM 时会禁用 AMBER[1]。

| 字节 | 数值 |
|-----|----------|
| 00h | VID_LSB |
| 01h | VID_MSB |
| 02h | PID_LSB |
| 03h | PID_MSB |
| 04h | 校验和 |
| 05h | 保留 — FEh |
| 06h | 可移动端口 |
| 07h | 端口数 |
| 08h | 最大功率 |

| 字节 | 数值 |
|---------|-------------------|
| 09h~0Fh | 保留 — FFh |
| 10h | 供应商字符串长度 |
| 11h~3Fh | 供应商字符串 (ASCII 代码) |
| 40h | 产品字符串长度 |
| 41h~6Fh | 产品字符串 (ASCII 代码) |
| 70h | 序列号长度 |
| 71h~80h | 序列号字符串 |

默认供应商 ID (VID) 为 0x4B4，产品 ID (PID) 为 0x6570。

字节 0: VID (LSB)

供应商 ID 的最低有效位

字节 1: VID (MSB)

供应商 ID 的最高有效位

字节 2: PID (LSB)

产品 ID 的最低有效位

字节 3: PID (MSB)

产品 ID 的最高有效位

字节 4: 校验和

CY7C6563X 将忽略 EEPROM 设置，若校验和不等于是 VID_LSB + VID_MSB + PID_LSB + PID_MSB + 1 之和。

字节 5: 保留

设置为 FEh

字节 6: 可移动端口

可移动端口 [4:1] 作为数据位，用来标明相应下行端口所连接的器件是可移动的（设置为 0）还是不可移动的（设置为 1）。位 1 对应端口 1，位 2 对应端口 2，并依此类推。默认值为 0（可移动）。在集线器描述符中将这些位的值报告为：DeviceRemovable（器件可移动）字段。

位 0、5、6、7 的值均设置为 0。

字节 7: 端口数

端口数表示下行端口的数目。数值必须为 1~4，且默认值为 4。

字节 8: 最大功率

这值存储于配置描述符中的 bMax-Power 字段，表示从上行集线器要求的所需电流（递增值为 2 mA）。允许范围为 00h (0mA) ~ FAh (500 mA)。默认值为 32h (100 mA)

字节 9-15: 保留

设置为 FFh

字节 16: 供应商字符串长度

供应商字符串的长度

字节 17-63: 供应商字符串

供应商字符串的值。

字节 64: 产品字符串长度

产品字符串的长度

字节 65–111: 产品字符串

产品字符串的值。

字节 112: 序列号长度

序列号长度

字节 113 起: 序列号字符串

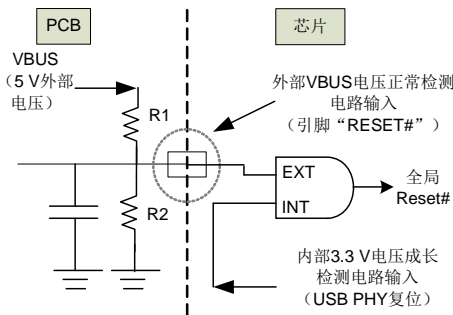
序列号字符串。

引脚配置选项

上电复位

上电复位可由外部复位或内部电路触发。芯片内核电源（3.3 V ± 10%）发生不稳定电源事件后，将启动内部复位。内部复位会在供电获得良好电压（2.5 V 至 2.8 V）之后 $2.7 \mu s \pm 1.2\%$ 释放。外部复位引脚将持续感应上行 VBUS 上的电压（5 V），如图所示。如有 USB 插拔或电压下降的事件，将会触发外部复位。可使用电阻 R1 和 R2 来配置该复位触发器。赛普拉斯建议应用于外部复位电路的复位时间应大于内部复位时间。

图 9. 上电复位电路



组合 / 单个电源开关模式

单个引脚，用于设置单个 / 组合模式和输出暂停标志。这样是为了减少引脚计数。在加电复位后 20 μs 内决定是单个模式还是组合模式。它的建立时间为 1 ns。在复位后 50 ms 至 60 ms，该引脚会更改为输出模式。其全局暂停后，CY7C6563X 会输出暂停标志。单个模式需要大于 100K 的下拉电阻，而组合模式则需要大于 100K 的上拉电阻。下图显示的是暂停 LED 指示灯的原理图。必须跟从 LED 的极性，否则暂停电流将会超出规格限制（2.5 mA）。

图 10. 电源开关模式

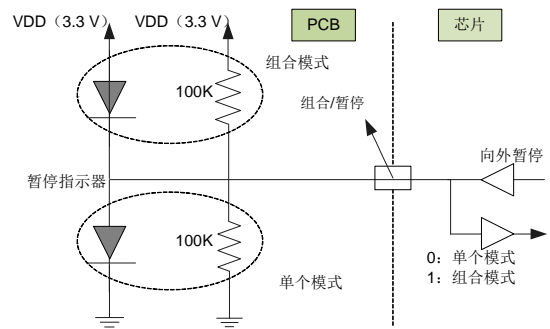


表 2. 48 引脚和 28 引脚封装所支持的特性

| 支持特性 | 48 引脚 | 28 引脚 |
|----------|-------|-------|
| 端口数配置 | 有 | 无 |
| 不可移动端口配置 | 有 | 无 |
| 参考时钟配置 | 有 | 无 |
| 电源开关使能极性 | 有 | 无 |
| LED 指示灯 | 有 | 无 |

电源开关使能引脚极性

通过引脚短接，引脚极性可设置为高电平有效（将 PWR_PIN_POL 引脚的值设置为 1）或低电平有效（将 PWR_PIN_POL 引脚的值设置为 0）。因此，两种电源开关也支持。28-QFN 封装 IC 不支持此特性。

端口数配置

除上述 EEPROM 配置外，集线器 2/3/4 端口的配置也支持使用引脚短接“SET_PORT_NUM1”和“SET_PORT_NUM2”，如下表所示。28-QFN 封装 IC 不支持引脚短接选项。

表 3. 使用引脚短接的端口数配置

| SET_PORT_NUM2 | SET_PORT_NUM1 | 端口数目 |
|---------------|---------------|-------------|
| 1 | 1 | 1（端口 1） |
| 1 | 0 | 2（端口 1/2） |
| 0 | 1 | 3（端口 1/2/3） |
| 0 | 0 | 4（全部端口） |

不可移动端口的配置

在嵌入式系统中，可在上电复位前通过引脚将相应的“FIXED_PORT#”引脚 1~4 短接为高，将始终与系统内部连接的下行端口设置为不可移动（始终连接）端口。上电复位时，如果引脚电平被拉高，那么相应端口将被设置为不可移动。28-QFN 封装 IC 不支持该特性。

参考时钟配置

集线器可支持可选的 27/48 MHz 的时钟源。如板上有 27/48 MHz 时钟，使用这项特性，系统集成人员可以去掉外部晶振，进一步降低 BOM 成本。此特性可通过下表所示的 GPIO 引脚配置提供。28-QFN 封装 IC 不支持该特性。

表 4. 参考时钟选项

| SEL48 | SEL27 | 时钟源 |
|-------|-------|-------------------|
| 0 | 1 | 48 MHz 振荡器输入 |
| 1 | 0 | 27 MHz 振荡器输入 |
| 1 | 1 | 12 MHz 晶振 / 振荡器输入 |

最大绝对额定值

超过最大额定值可能会缩短器件的使用寿命。用户指南未经过测试。

| | |
|---|------------------|
| 存放温度 | -55 °C 至 +100 °C |
| 环境温度 | 0 °C 至 +70 °C |
| 相对于接地电位的 5 V 供电电压 | -0.5 V 至 +6.0 V |
| 相对于接地电位的 3.3 V 供电电压 | -0.5 V 至 +3.6 V |
| 开漏输入端引脚的电压 (OVR#1-4、SELPWR、RESET#) | -0.5 V 至 +5.5 V |
| 数字 I/O 的 3.3 V 输入电压 | -0.5 V 至 +3.6 V |
| FOSC (振荡器或晶振频率) | 12 MHz ± 0.05% |

电气特性

直流电气特性

| 参数 | 说明 | 条件 | 最小值 | 典型值 | 最大值 | | 单位 |
|------------|----------|--------------------------------------|-------|-------|-------|-------|---------|
| | | | | | 外部稳压器 | 内部稳压器 | |
| P_D | 功率耗散 | 不包括 USB 信号 | 366.5 | - | 426.5 | | mW |
| V_{IH} | 输入高电平 | - | 2 | - | - | | V |
| V_{IL} | 输入低电平 | - | - | - | 0.8 | | |
| I_I | 输入漏电流 | 全速 / 低速 ($0 < V_{IN} < V_{CC}$) | -10 | - | +10 | | μA |
| | | 高速模式 ($0 < V_{IN} < V_{CC}$) | -5 | 0 | +5 | | |
| V_{OH} | 输出高电平 | $I_{OH} = 8 \text{ mA}$ | 2.4 | - | - | | V |
| V_{OL} | 输出低电压 | $I_{OL} = 8 \text{ mA}$ | - | - | 0.4 | | |
| R_{DN} | 焊盘内部下拉电阻 | - | 29 | 59 | 135 | | K |
| R_{UP} | 焊盘内部上拉电阻 | - | 80 | 108 | 140 | | |
| C_{IN} | 输入引脚电容 | 全速 / 低速模式 | - | - | 20 | | pF |
| | | 高速模式 | 4 | 4.5 | 5 | | |
| I_{SUSP} | 暂停电流 | - | - | 0.786 | 1.043 | 1.3 | mA |

注释:

- 器件连接和枚举后的电流测量。
- 无连接器件。

运行条件

| | |
|-------------------------|------------------|
| 环境温度 | 0 °C 至 +70 °C |
| 最高环境结温 | 0 °C 至 +125 °C |
| 相对于接地电位的 5 V 供电电压 | 4.75 V 至 +5.25 V |
| 接地电位的 3.3 V 供电电压 | 3.15 V 至 +3.6 V |
| USB 信号引脚的输入电压 | 0.5 V 至 +3.6 V |
| 开漏输入引脚电压 | -0.5 V 至 +5.0 V |
| 48-TQFP 封装的热特性 | 78.7 °C/W |
| 28-QFN 封装的热特性 | 33.3 °C/W |

电气特性 (续)
直流电气特性 (续)

| 参数 | 说明 | 条件 | 最小值 | 典型值 | 最大值 | | 单位 |
|-----------------|-------------|------------|------|------|-------|-------|----|
| | | | | | 外部稳压器 | 内部稳压器 | |
| I _{CC} | 供电电流 | | | | | | |
| | 4 个活跃端口 [6] | 全速主机, 全速器件 | - | 88.7 | 103.9 | 105.4 | mA |
| | | 高速主机, 高速器件 | - | 81.9 | 88.2 | 89.3 | |
| | | 高速主机, 全速器件 | - | 88.2 | 101.2 | 102.3 | |
| | 3 个活跃端口 | 全速主机, 全速器件 | - | 79.1 | 91.6 | 93 | |
| | | 高速主机, 高速器件 | - | 72.9 | 78.5 | 78.6 | |
| | | 高速主机, 全速器件 | - | 75.9 | 88.7 | 88.8 | |
| | 2 个活跃端口 | 全速主机, 全速器件 | - | 68.1 | 78.4 | 78.6 | |
| | | 高速主机, 高速器件 | - | 61.9 | 67.6 | 69.6 | |
| | | 高速主机, 全速器件 | - | 64.9 | 75.4 | 76.1 | |
| | 1 个活跃端口 | 全速主机, 全速器件 | - | 57.1 | 66.3 | 66.7 | |
| | | 高速主机, 高速器件 | - | 51.9 | 57.6 | 59.3 | |
| | | 高速主机, 全速器件 | - | 54.7 | 61.1 | 62.5 | |
| | 不活跃端口 [7] | 全速主机 | - | 42.8 | 48.9 | 50.3 | |
| 高速主机 | | - | 44.2 | 49.1 | 50.6 | | |

注释:

6. 器件连接和枚举后的电流测量。
7. 无连接器件。

交流电气特性

USB 收发器的低速、全速和高速模式均通过 USB 2.0 认证。

上行 USB 收发器和全部四个下行收发器均通过 USB-IF USB 2.0 电气认证测试。

48-TQFP 封装可支持使用 I²C 或 SPI 与 EEPROM 通信。28-QFN 封装仅支持 I²C 与 EEPROM 进行通信。

下表显示的是这两个 EEPROM 接口的交流电特性:

SPI EEPROM 接口的交流电特性

| 参数 | 参数 | 最小值 | 典型值 | 最大值 | 单位 |
|------------------|-------------|-----|-----|-----|----|
| t _{CSS} | CS 建立时间 | 3.0 | - | - | μs |
| t _{CSH} | CS 保持时间 | 3.0 | - | - | |
| t _{SKH} | SK 高电平时间 | 1.0 | - | - | |
| t _{SKL} | SK 低电平时间 | 2.2 | - | - | |
| t _{DIS} | DI 建立时间 | 1.8 | - | - | |
| t _{DIH} | DI 保持时间 | 2.4 | - | - | |
| t _{PD1} | 输出延迟时间为 '1' | - | - | 1.8 | |
| t _{PD0} | 输出延迟时间为 '0' | - | - | 1.8 | |

I²C EEPROM 接口的交流电特性

| 参数 | 参数 | 1.8 V – 5.5 V | | 2.5 V – 5.5 V | | 单位 |
|---------------------|-----------|---------------|-----|---------------|-----|-----|
| | | 最小值 | 最大值 | 最小值 | 最大值 | |
| f _{SCL} | SCL 时钟频率 | 0.0 | 100 | 0.0 | 400 | kHz |
| t _{LOW} | 时钟的低电平周期 | 4.7 | – | 1.2 | – | μs |
| t _{HIGH} | 时钟高周期 | 4.0 | – | 0.6 | – | |
| t _{SU:STA} | 启动状态的建立时间 | 4.7 | – | 0.6 | – | |
| t _{SU:STO} | 停止状态的建立时间 | 4.7 | – | 0.6 | – | |
| t _{HD:STA} | 启动状态的保持时间 | 4.0 | – | 0.6 | – | |
| t _{HD:STO} | 停止状态的保持时间 | 4.0 | – | 0.6 | – | |
| t _{SU:DAT} | 数据的建立时间 | 200.0 | – | 100.0 | – | ns |
| t _{HD:DAT} | 数据的保持时间 | 0 | – | 0 | – | |
| t _{DH} | 数据输出的保持时间 | 100 | – | 50 | – | |
| t _{AA} | 时钟至输出 | 0.1 | 4.5 | 0.1 | – | μs |
| t _{WR} | 写周期时间 | – | 10 | – | 5 | ns |

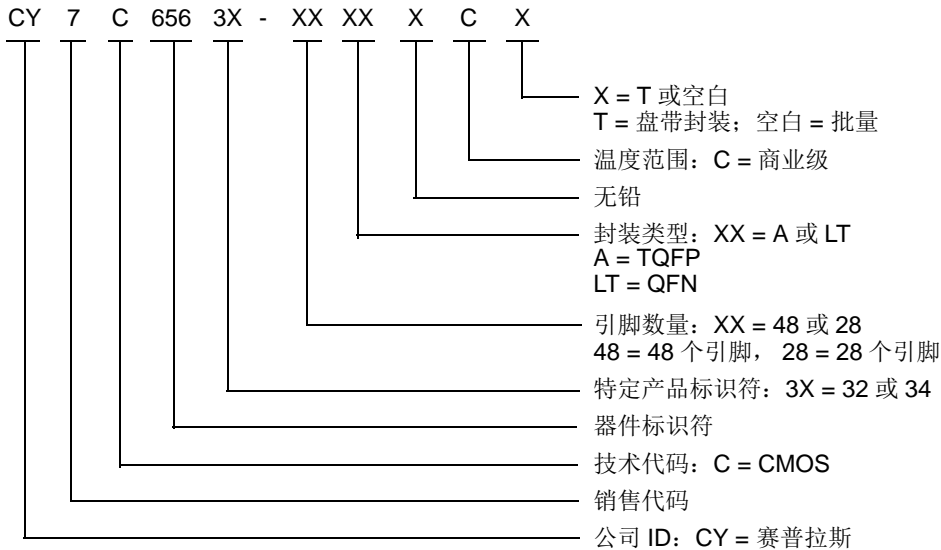
热阻

| 参数 | 说明 | 48-TQFP 封装 | 28-QFN 封装 | 单位 |
|-----------------|---------|------------|-----------|------|
| Θ _{JA} | 热阻 (结温) | 78.7 | 33.3 | °C/W |
| Θ _{JC} | 热阻 (壳温) | 35.3 | 18.4 | |

订购信息

| 订购代码 | 器件 | 封装类型 |
|-------------------|---|--------------|
| CY7C65632-48AXC | 集线器具有 4 个端口、1 个数据传输转换器 (可通过 GPIO 和 EEPROM 进行配置) | 48-TQFP 批量封装 |
| CY7C65632-28LTXC | 集线器具有 4 个端口、1 个数据传输转换器 (可通过 GPIO 和 EEPROM 进行配置) | 28-QFN 批量封装 |
| CY7C65632-48AXCT | 集线器具有 4 个端口、1 个数据传输转换器 (可通过 GPIO 和 EEPROM 进行配置) | 48-TQFP 盘带封装 |
| CY7C65632-28LTXCT | 集线器具有 4 个端口、1 个数据传输转换器 (可通过 GPIO 和 EEPROM 进行配置) | 28-QFN 盘带封装 |
| CY7C65634-48AXC | 集线器具有 2 个端口、1 个数据传输转换器 (可通过 GPIO 和 EEPROM 进行配置) | 48-TQFP 批量封装 |
| CY7C65634-28LTXC | 集线器具有 2 个端口、1 个数据传输转换器 (可通过 GPIO 和 EEPROM 进行配置) | 28-QFN 批量封装 |
| CY7C65634-48AXCT | 集线器具有 2 个端口、1 个数据传输转换器 (可通过 GPIO 和 EEPROM 进行配置) | 48-TQFP 盘带封装 |
| CY7C65634-28LTXCT | 集线器具有 2 个端口、1 个数据传输转换器 (可通过 GPIO 和 EEPROM 进行配置) | 28-QFN 盘带封装 |

订购代码定义

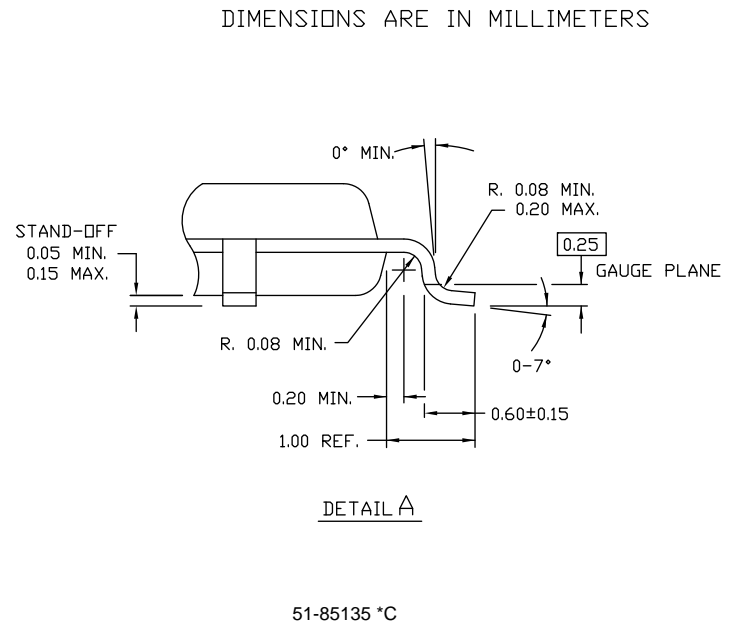
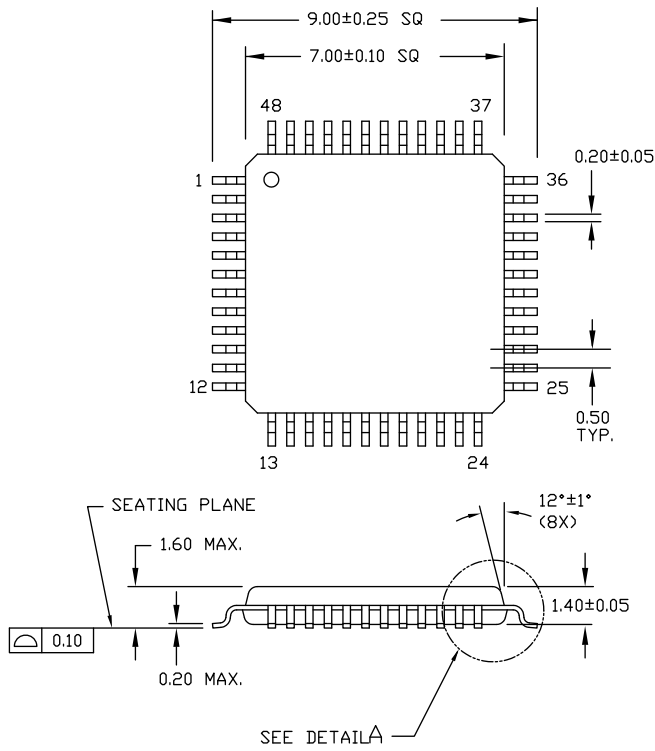


封装图

CY7C65632 的各种封装形式如下:

图 11. 48-TQFP (7 x 7 x 1.4 mm) A48 封装外形, 51-85135

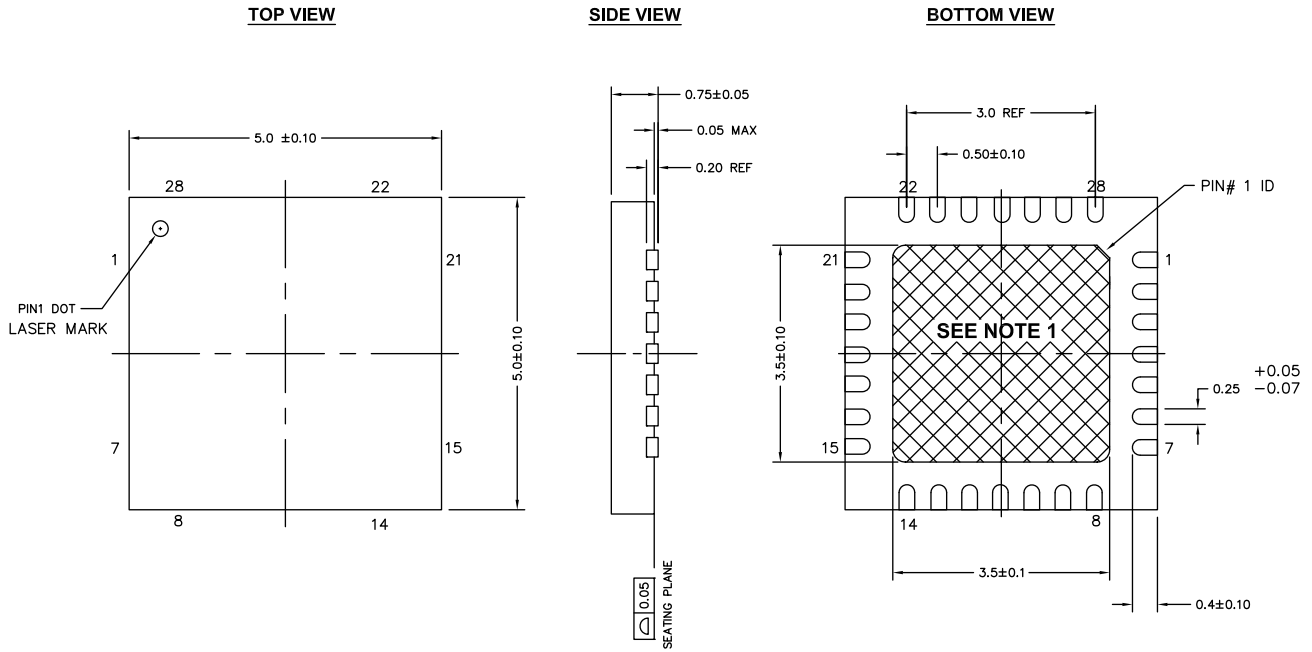
48 Lead Thin Plastic Quad Flatpack 7 X 7 X 1.4mm




封装图 (续)

CY7C65632 的各种封装形式如下:

图 12. 28-QFN (5 × 5 × 0.8 mm), LT28A (3.5 × 3.5 E 型焊盘), Sawn 封装外形, 001-64621



NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. BASED ON REF JEDEC # MO-220
3. PACKAGE WEIGHT: ~ 0.05 gr
4. DIMENSIONS ARE IN MILLIMETERS

001-64621 *A

缩略语

| 缩略语 | 说明 |
|--------|---|
| AC | 交流电 |
| ASCII | 美国标准代码，用于实现信息交换 |
| EEPROM | 电可擦可编程只读存储器 |
| EMI | 电磁干扰 |
| ESD | 静电放电 |
| GPIO | 通用输入 / 输出 |
| I/O | 输入 / 输出 |
| LED | 发光二极管 |
| LSB | 最低有效位 |
| MSB | 最高有效位 |
| PCB | 印刷电路板 |
| PLL | 锁相环 |
| POR | 上电复位 |
| PSoC® | Programmable System-on-Chip™ (可编程片上系统) |
| QFN | 四方扁平无引脚器件 |
| RAM | 随机存取存储器 |
| ROM | 只读存储器 |
| SIE | 串行接口引擎 |
| TQFP | 薄型四方扁平封装 |
| TT | 数据传输转换器 |
| USB | 通用串行总线 |

文档常规

测量单位

| 符号 | 测量单位 |
|-----|------|
| °C | 摄氏度 |
| kHz | 千赫兹 |
| kΩ | 千欧姆 |
| MHz | 兆赫兹 |
| μA | 微安 |
| μs | 微秒 |
| μW | 微瓦 |
| mA | 毫安 |
| mm | 毫米 |
| ms | 毫秒 |
| mW | 毫瓦 |
| ns | 纳秒 |
| Ω | 欧姆 |
| % | 百分比 |
| pF | 皮法 |
| ppm | 百万分率 |
| V | 伏特 |
| W | 瓦特 |

HX2VL 的芯片勘误表， CY7C65632 产品系列

本节介绍了 HX2VL、CY7C65632 的勘误表。勘误表中包括勘误触发条件、影响范围、可用解决方案和芯片修订适用性。若有任何问题，请联系您本地赛普拉斯销售代表。

受影响的器件型号

| 器件型号 | 器件特性 |
|-----------|----------------------------|
| CY7C65632 | USB 2.0 单个数据传输转换器 (TT) 集线器 |

HX2VL 合格状态

产品状态：正在生产

HX2VL 勘误表汇总

这是 HX2VL 勘误表的初始版本。到目前为止，HX2VL 没有发生任何问题。

文档修订记录页

| 文档标题: CY7C65632/CY7C65634, HX2VL™ 极低功耗 USB 2.0 集线控制器 文档编号: 001-79059 | | | | |
|---|---------|------|------------|--|
| 版本 | ECN | 变更者 | 提交日期 | 变更说明 |
| ** | 3613451 | SCHC | 05/10/2012 | 本档版本号为 Rev**, 译自英文版 001-67568 Rev*E。 |
| *A | 4877256 | PRVE | 08/08/2015 | 更新了封装图: 规范 51-85135 — 将版本从 *B 改为 *C。 规范 001-64621 — 将版本从 ** 改为 *A。 完成了 Sunset 审核。 |
| *B | 4982307 | SCHC | 10/28/2015 | 本档版本号为 Rev*B, 译自英文版 001-67568 Rev*H。 |