

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

プログラマブル システムオンチップ (PSoC™)

概要

PSoC™ 4 は、Arm® Cortex®-M0 CPU を内蔵したプログラマブル組込みシステム コントローラー ファミリの、拡張可能かつ再設定可能なプラットフォーム アーキテクチャです。プログラマブルで再設定可能なアナログ ブロックとデジタル ブロックを柔軟な自動配線で組み合わせて形成しています。このプラットフォームに基づいて設計される PSoC 4200L デバイス ファミリーは、マイクロコントローラーとデジタル プログラマブル ロジック、プログラマブル アナログ、プログラマブル インターコネクト、拡張型オフチップのセキュア メモリ、高性能アナログ-デジタル変換 (ADC)、コンパレータ モード付きのオペアンプ、標準通信とタイミング ペリフェラルを組み合わせて構成されます。新しいアプリケーションや設計ニーズのために、PSoC 4200L 製品には PSoC 4 プラットフォームのメンバーとの完全な互換性があります。プログラマブル アナログとデジタル サブシステムにより、設計は柔軟になり、インフィールド (in-field) の調整も可能になります。

特長

32 ビット MCU サブシステム

- 48MHz Arm Cortex-M0 CPU、シングル サイクルの乗算に対応
- 読み出し加速装置を備えた最大 256kB のフラッシュ
- 最大 32kB の SRAM
- 32 チャンネルの DMA エンジン

プログラマブル アナログ ブロック

- ディープスリープ モードで超低電流レベルで動作する 4 個のオペアンプ
- すべてのオペアンプは、再構成可能な高電流ピン駆動、高帯域幅内部駆動、ADC 入力バッファリング、およびすべてのピンへの入力接続を可能にする柔軟な接続性を持つコンパレータ モード
- 任意のピンでの汎用または静電容量センシング用途向けの 4 個の電流 DAC (IDAC)
- ディープスリープ モードで動作する 2 個の低消費電力コンパレータ

プログラマブル デジタル ブロック

- 8 個のプログラム可能なロジックブロック、それぞれに 8 個のマクロセルと 8 ビット データパス (ユニバーサル デジタル ブロックまたは UDB と呼ばれる)
- サイプレスが提供した周辺機器ライブラリ、ユーザー定義のステート マシン、Verilog 入力

低電圧 1.71V ~ 5.5V で動作

- ストップ モード時: 20nA 電流で GPIO ウェイクアップが有効
- ハイバネートおよびディープスリープ モードは、復帰時間と電力をトレードオフ

静電容量センシング

- 2 個のサイプレスの静電容量シグマ-デルタ (CSD) により、クラス最高の SNR (>5:1) および耐水性を提供
- サイプレスが提供するソフトウェア コンポーネントが整備され、静電容量センシングの設計を簡易化
- ハードウェア自動チューニング (SmartSense™)

セグメント LCD ドライブ

- すべてのピンに LCD 駆動を整備、最大 64 個の出力を提供 (コモンまたはセグメント)
- ピンごとに 4 ビット メモリを備えるディープスリープ モード動作

シリアル通信

- 実行時に I²C、SPI、または UART 機能に再設定できる 4 個の独立した再設定可能なシリアル通信ブロック (SCB)
- バッテリー充電器検出能力を備える 12Mビット/秒の USB フルスピード デバイス インターフェース
- 産業機器および車載向けネットワークに 2 個の独立 CAN ブロック

タイミングおよびパルス幅の変調

- 8 個の 16 ビット タイマー/カウンター パルス幅変調器 (TCPWM) ブロック
- 中央揃え、エッジ、および疑似ランダム モード
- モーター駆動や他の高信頼性デジタル ロジック アプリケーション用にキル信号のコンパレータ ベースのトリガー

最大 98 個のプログラム可能な GPIO

- 124 ボール VFBGA、64 ピン TQFP、48 ピン TQFP、および 68 ピン QFN パッケージ
- 最大 94 個のどの GPIO ピンも CapSense、アナログまたはデジタルに対応
- 駆動モード、駆動力、およびスルー レートはプログラム可能

PSoC Creator 設計環境

- 統合開発環境 (IDE) は回路図設計の入力とビルドを提供 (アナログとデジタル自動配線も備える)
- すべての固定機能およびプログラミング可能なペリフェラル向けのアプリケーション プログラミング インターフェース (API コンポーネント)

業界標準ツールとの互換性

- 回路図の入力後、開発は Arm ベース業界標準の開発ツールで行えます

詳細情報

サイプレスは、www.cypress.com に大量のデータを掲載しており、ユーザーがデザインに適切な PSoC デバイスを選択し、デバイスをデザインに迅速で効果的に統合する手助けをします。リソースの総合リストについては、知識ベース記事「[KBA86521, How to Design with PSoC 3, PSoC 4, and PSoC 5LP](#)」を参照してください。以下は PSoC 4 の要約です。

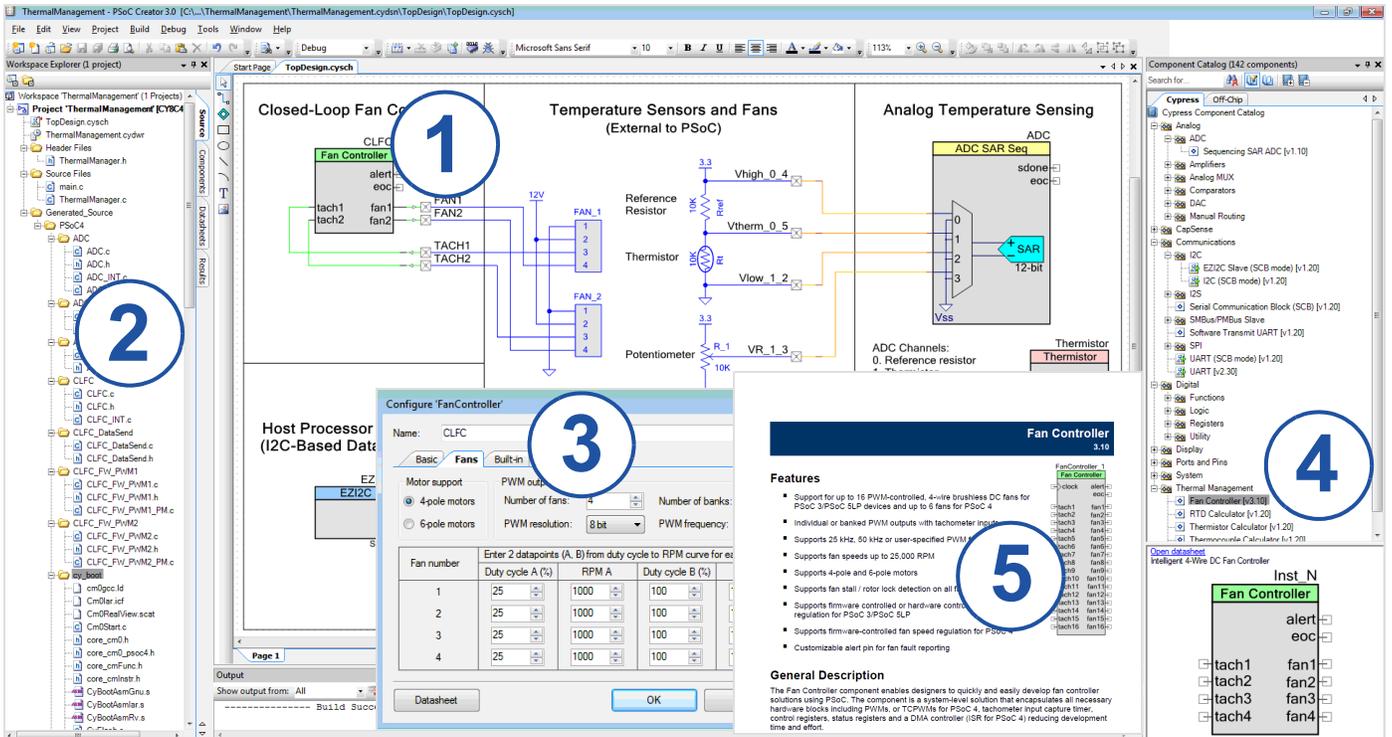
- 概要：PSoC ポートフォリオ、PSoC ロードマップ
 - 製品セレクト：PSoC 1、PSoC 3、PSoC 4、PSoC 5LP
また、PSoC Creator はデバイス選択ツールを含んでいます。
 - アプリケーション ノート：サイプレスは、基本レベルから高度なレベルまでの様々なトピックに触れる大量の PSoC アプリケーション ノートを提供しています。以下は、PSoC 4 入門用の推奨アプリケーション ノートです。
 - AN79953: PSoC 4 の入門
 - AN88619: PSoC 4 ハードウェア設計上の注意事項
 - AN86439: PSoC 4 GPIO ピンの使用
 - AN57821: 混合した信号回路基板レイアウト
 - AN81623: デジタル デザインのベストプラクティス
 - AN73854: ブートローダー入門
 - AN89610: Arm Cortex コード最適化
 - AN85951: PSoC 4 および PSoC アナログコプロセッサ CapSense デザインガイド
 - テクニカル リファレンス マニュアル (TRM) は二つのドキュメントがあります。
 - **アーキテクチャTRM**: 各 PSoC4 機能ブロックを詳細に説明します。
 - **レジスタ TRM**: 各 PSoC 4 レジスタを詳細に説明します。
 - 開発キット：
 - **CY8CKIT-042** (PSoC 4 Pioneer キット): 安価で使い易い開発プラットフォームです。このキットには、Arduino™ 準拠シールドおよび Digilent® Pmod™ ドーターカード専用コネクタを搭載します。
 - **CY8CKIT-046**, PSoC 4 L シリーズパイオニアキットは、使いやすく安価な開発プラットフォームです。このキットには、Arduino™ 互換シールド用のコネクタが含まれます。
 - **CY8CKIT-049**: 低コストのプロトタイプ プラットフォームです。このキットは PSoC 4 デバイスをサンプリングするための低コスト オプションです。
 - **CY8CKIT-001**: PSoC 1、PSoC 3、PSoC 4、または PSoC 5LP デバイス ファミリの共通開発プラットフォームです。
- MiniProg3 デバイスは、フラッシュのプログラミングとデバッグ用のインターフェースを提供します。

PSoC Creator

PSoC Creator は無料の Windows ベースの統合設計環境 (IDE) です。これは、同時に PSoC 3、PSoC 4、および PSoC 5LP ベースのシステムのハードウェアとファームウェア設計を可能にします。100 以上の事前検証済みで量産使用が可能な PSoC Component をサポートしているクラシックで使い慣れた回路図キャプチャを使ってデザインを作成します。[コンポーネント データシート](#)を参照してください。PSoC Creator で、以下のことを実現できます。

1. コンポーネント アイコンをドラッグ&ドロップして、メイン デザイン ワークスペースでハードウェア システム デザインを構築
2. PSoC Creator IDE の C コンパイラを使用してアプリケーションのファームウェアと PSoC ハードウェアを相互設計
3. コンフィギュレーション ツールを使ってコンポーネントを設定
4. 100 以上のコンポーネントのライブラリを利用
5. コンポーネント データシートを参照

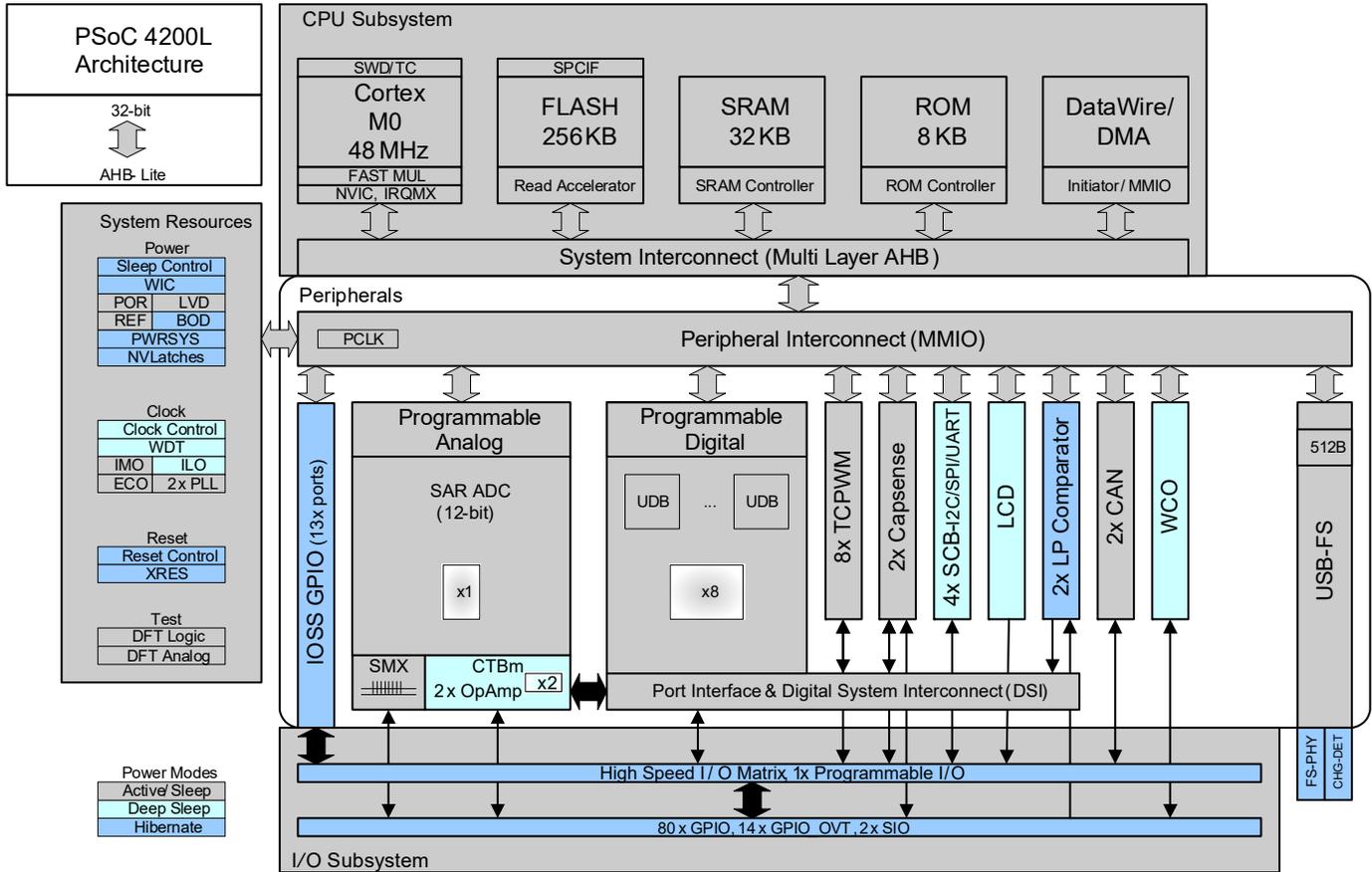
図 1. PSoC Creator 内の複数センサー サンプル プロジェクト



目次

PSoC 4200Lブロックダイヤグラム	4	絶対最大定格	17
機能の詳細	5	デバイス レベルの仕様	17
CPUおよびメモリ サブシステム	5	アナログ ペリフェラル	21
システム リソース	5	デジタル ペリフェラル	26
アナログ ブロック	6	メモリ	29
プログラマブル デジタル	7	システム リソース	30
固定機能のデジタル	8	注文情報	36
GPIO	9	製品番号の命名規則	37
SIO	9	パッケージ	38
特殊機能ペリフェラル	9	略語	41
ピン配置	10	本書の表記法	44
電源	15	測定単位	44
非安定化外部電源	15	改訂履歴	45
安定化外部電源	15	セールス、ソリューションおよび法律情報	46
開発サポート	16	ワールドワイド販売と設計サポート	46
資料	16	製品	46
オンライン	16	PSoC® ソリューション	46
ツール	16	サイプレス開発者コミュニティ	46
電氣的仕様	17		

図 2. テクニカル サポート 46 ブロックダイヤグラム



PSoC 4200L ブロックダイヤグラム

PSoC 4200L デバイスは、ハードウェアとファームウェアの両方のプログラミング、テスト、デバッグ処理、および配線の幅広いサポートを備えます。

Arm シリアル ワイヤ デバッグ (SWD) インターフェースは、デバイスのすべてのプログラミングとデバッグ機能に対応します。

完全なデバッグ オン チップ (DoC) 機能により、標準の装置を使用して最終システムでデバイスの完全なデバッグ処理を実現できます。専用のインターフェースやデバッグ ポッド、シミュレータ、エミュレータは不要です。デバッグを完全にサポートするために必要なものは、通常のプログラミングに使う接続だけです。

PSoC Creator 統合開発環境 (IDE) は、PSoC 4200L デバイス用の完全に統合されたプログラミングとデバッグのサポートを提供します。SWD インターフェースは、業界標準のサードパーティ製ツールと完全互換です。PSoC4200L ファミリーは、マルチチップ アプリケーション ソリューションまたはマイクロコントローラーでは不可能なセキュリティ レベルを提供します。

これはデバッグ機能の無効化、堅牢なフラッシュ保護機能、また、オンチップのプログラマブル ブロックで顧客所有機能の実装を可能にするためです。

デバッグ回路はデフォルトで有効にされており、ファームウェアでのみ無効にできます。有効にされていない場合、再度有効にする唯一の方法は、デバイス全体を消去しフラッシュ保護をクリアしてデバッグ処理を有効にする新しいファームウェアでデバイスをプログラムし直すことです。

さらに、悪意を持ってデバイスを再プログラムすることに起因するフィッシング攻撃、またはフラッシュプログラミングシーケンスを開始して割り込むことでセキュリティ システムを突破しようという意図が懸念されるアプリケーションに対して、すべてのデバイス インターフェースを恒久的に無効にすることが可能です。最大限のデバイス セキュリティが有効の時にはすべてのプログラミング、デバッグ、テストのインターフェースが無効にされるため、デバイス セキュリティが有効にされた PSoC 4200L では、不具合解析のための返却はできません。これは PSoC 4200L でユーザーが行えるトレードオフです。

機能の詳細

CPU およびメモリ サブシステム

CPU

PSoC 4200L 内の Cortex-M0 CPU は 32 ビット MCU サブシステムの一部であり、広範なクロック ゲーティングに対応した低消費電力動作に最適化されています。ほとんどの命令の長さは 16 ビットであり、Thumb-2 命令セットのサブセットを実行します。これにより、Cortex-M3 や M4 などの、より高性能プロセッサへのバイナリ コードの完全な上位移行が可能になるため、上位互換が可能になります。サイプレスは本製品に、1 サイクル内で 32 ビットの結果を出すハードウェア乗算器を含め実装しました。これは、32 の割込み入力を持つネスト型ベクタ割込みコントローラ (NVIC) ブロックとウェイクアップ割込みコントローラ (WIC) を含んでいます。WIC はディープスリープ モードからプロセッサを復帰させられます。これにより、チップがディープスリープ モードにある時にメイン プロセッサへの電源を切れます。Cortex-M0 CPU はマスク不可能割込み (NMI) 入力を提供します。これは、ユーザーが要求したシステム機能用に使用されていない時、ユーザーによって使用できます。

また CPU は、2 線式の JTAG であるシリアル ワイヤ デバッグ (SWD) インターフェースも備えます。PSoC 4200L 用のデバッグ コンフィギュレーションには、4 個のブレークポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

フラッシュ

PSoC 4200L デバイスは、フラッシュ ブロックからの平均アクセス時間を改善するために、CPU に緊密に結合されたフラッシュ アクセラレータ付きのフラッシュ モジュールを持ちます。フラッシュ ブロックは、48MHz では 2 ウェイト ステート (WS) アクセス時間、24MHz では 1 ウェイト ステート アクセス時間に対応します。フラッシュ アクセラレータはシングル サイクル SRAM のアクセス性能の平均 85% を達成します。必要に応じて、EEPROM 動作をエミュレートするためにフラッシュ モジュールの一部を使用できます。

SRAM

SRAM メモリはハイバネート モード中に保持されます。

SROM

ブートおよびコンフィギュレーション ルーチンを含んでいる監視 ROM (SROM) が提供されます。

DMA

32 ビット送信を行え、連結可能なピンポン ディスクリプタを持つ DMA エンジンが提供されます。

システム リソース

電源システム

電源システムは 15 ページの電源の節で詳しく説明されます。電源システムは各モードに応じた電圧レベルを保証します。これを実現するために、機能の正常な動作に必要な電圧レベルを達成するまでモードへの移行を遅延させる (例えば、パワー オンリセット (POR) の時)、またはリセット (電圧低下検出 (BOD)) か割込み (低電圧検出 (LVD)) を生成します。PSoC 4200L は、1.71 ~ 5.5V において単一の外部電源で動作し、5 つの異なる電力モードに対応し、モード間の遷移が電力システムによって

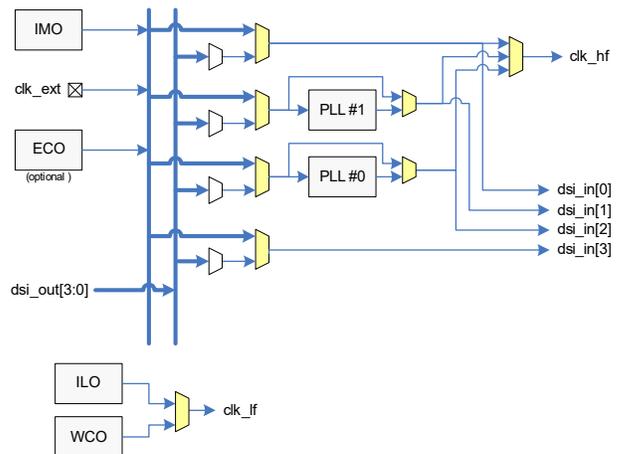
管理されます。PSoC 4200L は、スリープ、ディープスリープ、ハイバネート、ストップの低消費電力モードに対応します。

クロック システム

PSoC 4200L クロック システムは、クロックを必要とするすべてのサブシステムにクロックを供給し、グリッチなしに異なるクロック ソース間で切り替えられます。また、クロック システムはメタステーブル状態が発生しないように保証します。

PSoC 4200L のクロック システムは水晶発振器 (4 ~ 33MHz)、時計用水晶発振器 (32kHz)、位相同期回路 (PLL)、IMO、ILO 内部発振器および外部クロックの供給で構成されます。

図 3. PSoC 4200L MCU のクロッキング アーキテクチャ



clk_hf 信号は、UDB およびアナログとデジタル ペリフェラル用に同期クロックを生成するために分周できます。PSoC 4200L には全部で 16 個のクロック分周器があり、それぞれは 16 ビット分周能力を持ちます。これにより、12 個が固定機能ブロックに使用し、4 個が UDB に使用できます。アナログ クロックがデジタル クロックより先行し、デジタル クロック関連のノイズが生成する前にアナログ イベントが発生します。16 ビット分周器は微周波数値を柔軟に生成可能で、PSoC Creator によって完全にサポートされます。

IMO クロック ソース

IMO は PSoC 4200L の内部クロック供給の主要なソースです。指定された精度を達成するために試験中に調整されます。トリム値は不揮発性ラッチ (NVL) に格納されます。フラッシュからの追加調整設定は変化を補正するために使用することがあります。IMO の初期設定の周波数は 24MHz で、1MHz のステップで 3 ~ 48MHz の間で調整できます。サイプレスが提供する校正設定では、IMO の許容誤差は ±2% です。

ILO クロック ソース

ILO は超低消費電力発振器 (公称 32kHz) であり、ディープスリープ モードでペリフェラルの動作にクロックを生成するために主に使用されます。ILO 制御のカウンターは、精度を改善するために IMO で校正できます。サイプレスは、校正を実行するソフトウェア コンポーネントを提供します。

水晶発振器および PLL

PSoC 4200L クロック サブシステムは、高精度タイミング アプリケーションに採用できる高周波数 (4 ~ 33MHz) と低周波数

(32kHz 時計用水晶) の 2 個の発振器を内蔵します。PLL はこの高周波数発振器から 48MHz 出力を生成できます。

ウォッチドッグ タイマー

ウォッチドッグ タイマーは、ILO をクロックソースとして動作するクロックブロックに実装されます。これにより、ウォッチドッグがディープスリープモードでも動作でき、タイムアウトが発生する前にウォッチドッグが処理されなかった場合にリセットが生成されます。ウォッチドッグ リセットはリセット原因 (Reset Cause) レジスタに記録されます。

リセット

PSoC 4200L は、ソフトウェア リセットを含む様々なソースからリセットできます。リセット イベントは非同期であり、既知の状態に復帰させることが保証されます。リセットの原因は、リセット中にも保持され、ソフトウェアがリセットの原因を判断できるようにレジスタに記録されます。電源投入またはリコンフィギュレーション中にコンフィギュレーションおよび複数のピン機能に伴う複雑さを避けるために、XRES ピンが外部リセット用に確保されています。

電圧リファレンス

PSoC 4200L リファレンス システムは、内部で必要となるすべてのリファレンスを生成します。12 ビット ADC は 1% 電圧リファレンス仕様がサポートします。より優れた信号対ノイズ比 (SNR) と絶対精度を実現するために、GPIO ピンを使って内部リファレンスに外部バイパス コンデンサを追加する、または SAR 用に外部リファレンスを使用できます。

アナログ ブロック

12 ビット SAR ADC

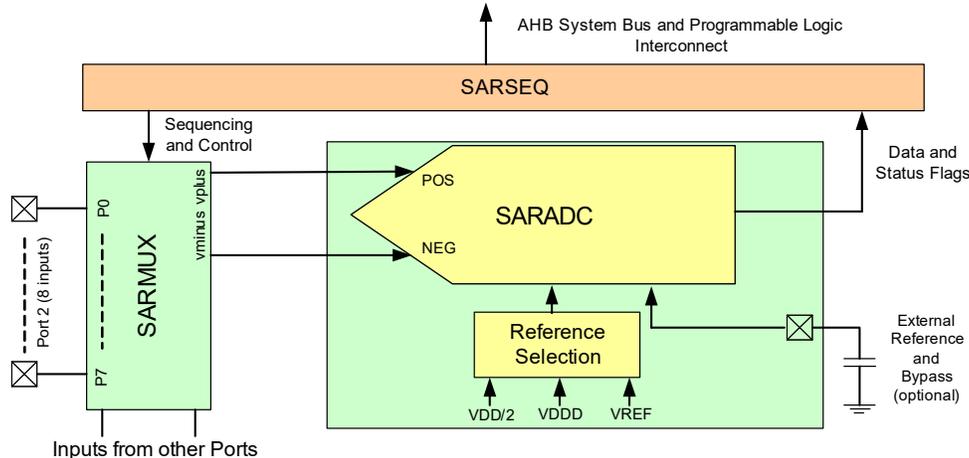
12 ビットかつ 1MSPS の SAR ADC は 18MHz の最大クロックレートで動作でき、12 ビット変換を行うためにその周波数で少なくとも 18 クロックを必要とします。

ユーザー向けとしてブロック機能を拡張するため、リファレンスバッファの追加 ($\pm 1\%$ で調整可能) され、(PSoC 4200L の場合では) V_{DD} 、 $V_{DD}/2$ 、 V_{REF} の 3 つの内部電圧リファレンス オプション (定格電圧が 1.024V) および GPIO ピンを介した外部リファレンスを選択可能としました。サンプル ホールド (S/H) のアパーチャがプログラム可能であるため、SAR 入力を駆動するアンプの安定時間を規定するゲイン帯域幅要件を必要に応じて緩和できます。適切なリファレンス電圧が使用され、システム ノイズ レベルが許可する限り、システム性能は真の 12 ビット精度で 65dB です。ノイズの多い条件で性能を改善するために、内部リファレンス アンプ用として外部バイパスを (固定したピン位置で) 使用できます。

SAR は 8 入力シーケンサ (16 入力まで拡張可能) を介して固定したピンに接続されます。シーケンサは、スイッチング オーバヘッドの必要なく選択されたチャンネルを自律的に巡回します (シーケンサ スキャン) (つまり、合計サンプリング帯域幅は、単一のチャンネルか複数のチャンネルであるかにかかわらず 1MSPS です)。シーケンサの切り替えは、ステート マシンを介して、またはファームウェア駆動の切り替えにより行われます。シーケンサの一つの機能は、CPU 割込みサービスの要件を軽減するための各チャンネルのバッファリングです。信号を様々なソースインピーダンスと周波数に適合させるために、チャンネルごとに異なるサンプリング時間をプログラムできます。また、デジタル化された値がプログラムされた範囲を超えた場合、レンジレジスタの一对 (低と高レンジ値) による信号範囲の指定は、対応する範囲外の割込みで実施されます。これにより、シーケンサ スキャンが完了して CPU が値を読み出して範囲外の値を確認することを待たずに、範囲外の値を早く検出できます。

SAR は、校正およびその他の温度依存機能用に基板搭載の温度センサーの出力をデジタル化できます。SAR は高速クロック (最大 18MHz) を必要とするため、ディープスリープとハイバネートモードに対応しません。SAR の動作範囲は 1.71V ~ 5.5V です。

図 4. SAR ADC システム図



アナログ マルチプレクサバス

PSoC 4200L はチップの周囲を回る 2 個の同心アナログ バス (アナログ MUX バス A とアナログ MUX バス B) を持ちます。これらのバスはアナログ信号を任意のピンから (オペアンプを含む) さまざまなアナログ ブロックへ、または CapSense ブロックへ運べます。これにより、例として ADC がチップのすべてのピンを監視することなどが可能になります。これらのバスは独立で、3 つの独立したセクションに分離できます。これにより、それぞれのセクションは CapSense 目的、一般アナログ信号処理、および汎用デジタル ペリフェラルと GPIO のために使用できます。

4 個のオペアンプ (CTBm ブロック)

PSoC 4200L はコンパレータ モードのある 4 個のオペアンプを持っており、PGA、電圧バッファ、フィルタ、トランスインピーダンス アンプ、および他の外部受動素子で実現される機能の殆どの一般的なアナログ機能は外部コンポーネントを必要とせずにオンチップで実行可能となり、電力、コスト、および面積を削減できます。内蔵オペアンプは、外部バッファリングを必要とせずに、十分な帯域幅を持って ADC のサンプル ホールド回路を駆動できるよう設計されています。オペアンプは超低消費電力レベルでディープスリープ モードで動作できます。次の図にオペアンプ サブシステムの 2 つの同一オペアンプ対の 1 つを示します。

図 5. オペアンプ サブシステム内の同一オペアンプ対

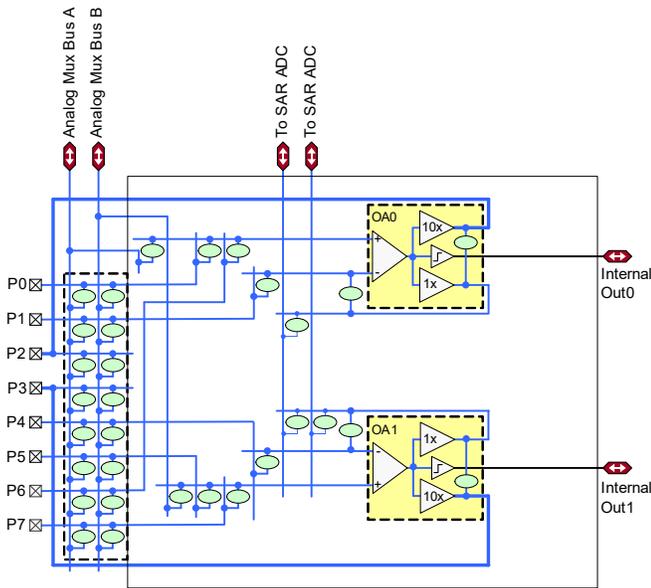


図 5 内の楕円はユーザー ファームウェア、SAR シーケンサー、またはユーザー定義プログラマブルな論理を介して制御できるアナログ スイッチを表します。オペアンプ (OA0 と OA1) はこれらのスイッチを介して構成され、すべての標準オペアンプ機能を適切なフィードバック コンポーネントで実現できます。

オペアンプ (OA0 と OA1) はプログラム可能と再構成可能なため、切り替え型フィードバック コンポーネントを通して標準のオペアンプ機能や、ピンを直接駆動するための単一性ゲイン機能を提供し、または (図に示しているように SAR ADC 入力をバッファリングするなど) 内部使用の目的や正のコンパレータとして使用できます。

オペアンプの入力は優れた柔軟接続を提供し、専用ピンに直接、またはアナログ MUX バスを介してチップのすべてのピンに接

続できます。アナログ スイッチの接続はユーザー ファームウェア、または (UDB を介して実装された) ユーザー定義のプログラマブル デジタル ステートマシンにより制御されます。

オペアンプは超低電流でディープスリープ モードで動作するため、アナログ回路をディープスリープ中にも動作できます。

温度センサー

PSoC 4200L は 1 個の温度センサーを内蔵します。これは電流源によってバイアスされたダイオードから成ります。この電流源は電力を節約するために無効にできません。温度センサーは、校正と線形化を含むサイプレスのソフトウェアを使用して読み出しをデジタル化し温度値を生成する ADC に接続されます。

低消費電力コンパレータ

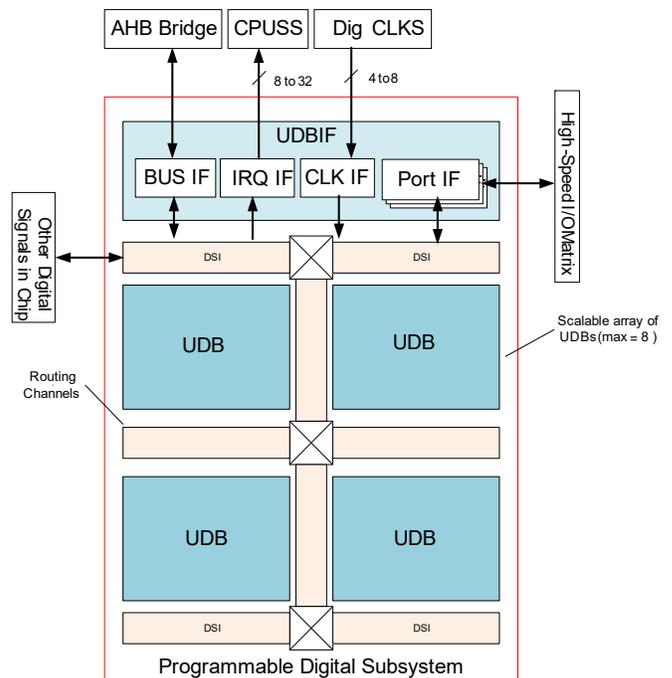
PSoC 4200L は、ディープスリープとハイバネート モードで動作できる低消費電力コンパレータの 1 対を内蔵します。これにより、低消費電力モード中に外部電圧レベルを監視する能力を維持しながらアナログ システム ブロックを無効にできます。コンパレータ出力は、システム ウェイクアップ回路がコンパレータの切り替えイベントによりアクティブになる非同期電力モード (ハイバネート) で動作する場合を除き、通常はメタスタビリティを避けるために同期化されます。

プログラマブル デジタル

ユニバーサル デジタル ブロック (UDB) およびポート インターフェース

PSoC 4200L は 8 個の UDB を内蔵します。UDB アレイは、通信と制御用にペリフェラルとポートからの信号を UDB に、また UDB を介して送信することを可能にする切り替えられたデジタル システム相互接続 (DSI) ファブリックを提供します。UDB アレイを下図に示します。

図 6. UDB アレイ



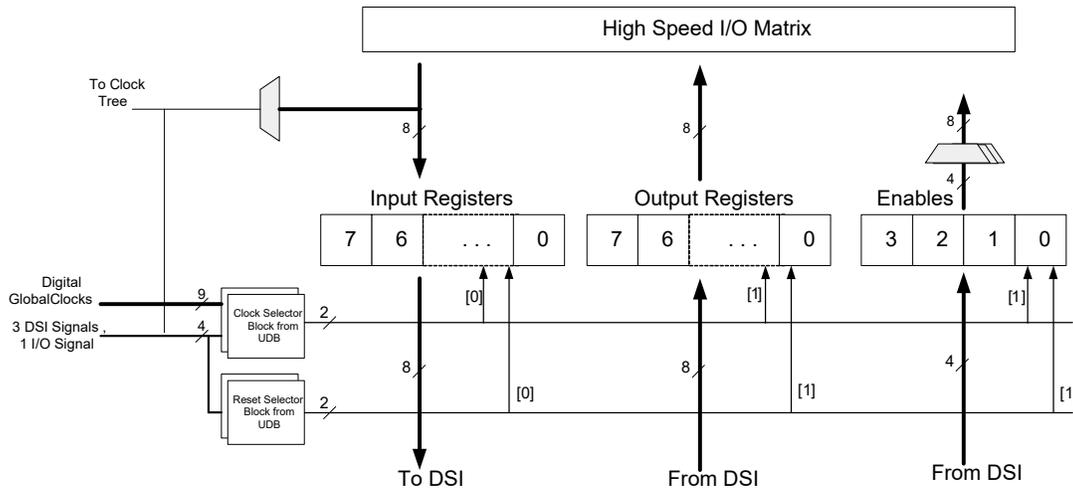
UDB は、クロック分周ブロック、ポート インターフェイス (SPI などのペリフェラルに必要)、DSI ネットワークから、直接または同期化後にクロック供給されます。

UDB アレイ内の PLD と同じ供給源からクロック供給されるレジスタとして機能するポート インターフェイスが定義されます。これにより、I/O ピンの近くにあるポート インターフェイスでおよびアレイ端で、入力および出力を記録できるようにするため、より高速な動作が可能になります。ポートインターフェイスレジスタは、いずれかの I/O により同じポートからクロック供給できます。これにより、ポート入力が DSI を介して

送信され、他の入力をレジスタに取り込むために使用される遅延が無くなるため、SPI のようなインターフェイスがより速いクロック速度で動作ができるようになります。ポート インターフェイスを [図 7](#) に示します。

UDB は (一度に 1 個の UDB ずつ) 割り込みコントローラーに割り込みを生成できます。UDB は、ポート 7, 8, および 9 のピンを除き、DSI を介してチップ上のほとんどのピンに接続する機能を持ちます。

図 7. ポート インターフェイス



固定機能のデジタル

タイマー/カウンター/PWM (TCPWM) ブロック

TCPWM ブロックは、ユーザーがプログラム可能な周期長の 1 個の 16 ビット カウンターからなります。キャプチャレジスタは、I/O イベントなどのイベントの時にカウント値を記録します。周期レジスタは、カウンターのカウントが周期レジスタのカウントに等しくなる時にカウントを停止または自動的にリロードします。比較レジスタは、PWM デューティ サイクル出力として使用される比較値信号を生成します。ブロックは真出力と相補出力 (それら間のオフセットがプログラム可能) も提供しており、これらを、プログラム可能なデッドバンド付き相補 PWM 出力として使用することを可能にします。また、出力を既定の状態に移行させるキル (Kill) 入力もあります。例えば、モータ駆動システムでは、過電流状態が示され、FET を駆動している PWM をソフトウェア介入なしに直ちに停止する必要がある時、キル入力を使用されます。PSoC 4200L には 8 個の TCPWM ブロックがあります。

シリアル通信ブロック (SCB)

PSoC 4200L は 4 個の SCB を内蔵します。それぞれ I²C、UART、または SPI インターフェイスを実装できます。

I²C モード: ハードウェア I²C ブロックは、完全なマルチマスターとスレーブ インターフェイス (マルチマスターのアービトレーションが可能) を実装します。このブロックは、最大 1Mbps (ファースト モード プラス) で動作でき、CPU 用の割り込みオーバヘッドとレイテンシを削減するためにバッファリング オプションを柔軟に選択できます。また、PSoC 4200L のメモリでメールボックス アドレス範囲を作って、メモリ アレイへの読

み出しと書き込みの I²C 通信を効果的に削減する EzI²C にも対応します。さらに、ブロックは送受信に深さ 8 の FIFO にも対応します。これは、CPU がデータを読み出す一定の時間を増加することで、時間どおりに CPU が読み出すデータがないことに起因したクロック ストレッチの必要性を大幅に低減できます。FIFO モードはすべてのチャンネルによって対応され、DMA がない場合に非常に有用です。

I²C ペリフェラルは、NXP I²C バス仕様とユーザー マニュアル (UM10204) で定義されたとおりに I²C 標準モード、ファーストモード、ファースト モード プラスのデバイスと互換性があります。I²C バス I/O は、オーブンドレイン モードにある GPIO を使って実装されます。

UART モード: これは 1Mbps で動作するフル機能の UART です。基本 UART プロトコルから少し発展した車載向けシングルワイヤ インターフェイス (LIN)、赤外線インターフェイス (IrDA)、SmartCard (ISO7816) プロトコルに対応します。また、共通の RX と TX ラインを介して接続したペリフェラルのアドレス指定を可能にする 9 ビット マルチプロセッサ モードに対応します。パリティ エラー、ブレイク検出、フレーム エラーなどの一般的な UART 機能がサポートされます。深さ 8 の FIFO は、非常に大きい CPU サービス レイテンシを許容できるようにします。

SPI モード: SPI モードは Motorola SPI、TI SSP (SPI コデックの同期化用の開始パルスを本質的に追加)、National Microwire (半二重の SPI) に完全に対応します。SPI ブロックは FIFO を使用できます。

USB デバイス

フルスピードのUSB 2.0デバイス インターフェースが提供されます。制御エンドポイントと8個の他のエンドポイントがあります。このインターフェースは USB トランシーバーがあり、IMO からクロック供給されて動作するため、水晶振動子の必要性を除去します。

CAN ブロック

2個の独立したCAN 2.0Bブロックがあり、CANの整合性を保証します。

GPIO

PSoC 4200Lは96のGPIOを備えます。GPIOブロックは以下のものを実装します。

- 8つの駆動能力モード：ストロング プッシュプル、抵抗プルアップとプルダウン、弱（抵抗）プルアップとプルダウン、オープン ドレインとオープン ソース、入力、およびディスエーブルモード
- 入力閾値セレクト (CMOS または LVTTTL)
- 入力と出力のディスエーブルの個別制御
- 前のステートをラッチするためのホールド モード (ディープスリープモードとハイバネートモードでI/Oステートを維持するため)
- EMIを改善するためのdV/dt関連のノイズ制御用に選択可能なスルーレート

ピンは、8ビット幅のポートと呼ばれる論理エンティティに構成されます。電源投入とリセットの時、入力への過電圧を防ぐため、および/または電源投入時に過電流を発生させないために、ブロックは無効状態に移行させられます。高速I/Oマトリックスとして知られている多重化ネットワークは、I/Oピンに接続できる複数の信号間を多重化するために使用されます。固定機能ペリフェラルのピン位置は、内部多重化の複雑さを減少させるために固定されます(これらの信号はDSIネットワークを通りません)。DSI信号はこれに影響されず、ポート7, 8, および9からのピンを除き、DSIネットワークを介してどのピンもどのUDBにも配線できます。

データ出力とピン ステート レジスタは、それぞれピン上で駆動される値とそれらのピンのステートを格納します。

各I/Oピンは有効になった場合に割り込みを生成でき、各I/Oポートはそれに対応する割り込み要求 (IRQ) と割り込みサービス ルーチン (ISR) ベクタがあります (PSoC 4200Lではベクタ数が13です)。

14個のGPIOピンは過電圧許容 (V_{IN} が V_{DD} を超えられる) です。過電圧のセルは、I²C仕様に依ってその入力 V_{DDIO} を超えると、10 μ A以上吸い込みません。ファスト モード (FM) とファスト モード プラス (FM+) でのI²Cの最小立ち下がり時間を満たすために、バス上の負荷に従って低速スルーレートの設定が必要になる場合があります (すべてのGPIOとSIOピンにも適用します)。

SIO

特殊 I/O (SIO) ピンは GPIO の特長に加えて次の特長を持ちます。

- 過電圧保護およびホット スワップ機能
- プログラム可能な切り替え閾値
- プログラム可能な出力プルアップ電圧

これらは、I²Cの完全互換を持つI²Cのようにバスとのインターフェースを可能にし、異なる電圧レベルで動作するデバイスとのインターフェースも可能になります。PSoC 4200Lは2本のSIOピンが整備されます。

特殊機能ペリフェラル

LCD セグメント ドライブ

PSoC 4200Lは、最大8コモンと最大56セグメントを駆動できるLCDコントローラーを内蔵します。どのピンもコモンピンかセグメントピンになり得ます。内部LCD電圧を生成する必要のないフルデジタル方式を使用してLCDセグメントを駆動します。2つの方法は、デジタル相関とPWMと呼ばれます。

デジタル相関は、最高RMS電圧を生成してセグメントを点灯させる、またはRMS信号を0に維持するためにコモンとセグメント信号の周波数とレベルを変調することです。この方法はSTNディスプレイに適しますが、(より安い)TNディスプレイに対してはコントラストを減らすことがあります。

PWMは、所望のLCD電圧を生成するためにPWM信号によりパネルを駆動しパネルの静電容量を効果的に使用して変調されたパルス幅を提供することです。この方法は消費電力を増加しますが、TNディスプレイを駆動する際には良い結果を出します。

CapSense

CapSenseは、どのGPIOピンも接続できる(アナログスイッチに接続された)アナログマルチプレクサバスを介してどのピンにも接続できる2個のCapSenseシグマ-デルタ(CSD)ブロックにより、PSoC 4200Lのあらゆるピンでサポートされます。したがって、CapSense機能はソフトウェアで制御されて、システム内のいかなる使用可能なピンやピングループにも提供できます。ユーザーの便宜のために、コンポーネントがCapSenseブロックに用意されています。

シールド電圧は、耐水機能を実現するために他の多重化バス上で駆動できます。耐水性は、シールド電極を検知電極と同位相で駆動して、シールド静電容量が検知された入力を減衰させることを防ぐことで、実現されます。

CapSenseブロックは、2個のIDACを備えます。これらは、CapSenseを使用しない(両方のIDACとも使用可能)場合、またはCapSenseが耐水性を備えずに使用する(どちらか一方のIDACが使用可能)場合、一般用途に使用できます。2個のCapSenseブロックは独立して使用できます。

ピン配置

以下は、PSoC 4200L のピン リストです。

124-BGA		68-QFN		64-TQFP		48-TQFP		48-TQFP-USB	
ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称
H13	P0.0	42	P0.0	39	P0.0	28	P0.0	28	P0.0
H12	P0.1	43	P0.1	40	P0.1	29	P0.1	29	P0.1
G13	P0.2	44	P0.2	41	P0.2	30	P0.2	30	P0.2
G12	P0.3	45	P0.3	42	P0.3	31	P0.3	31	P0.3
K10	VSSD								
G11	P0.4	46	P0.4	43	P0.4	32	P0.4	32	P0.4
F13	P0.5	47	P0.5	44	P0.5	33	P0.5	33	P0.5
F12	P0.6	48	P0.6	45	P0.6	34	P0.6	34	P0.6
F11	P0.7	49	P0.7	46	P0.7	35	P0.7	35	P0.7
E13	P8.0								
E12	P8.1								
E11	P8.2								
D13	P8.3								
D12	P8.4								
C13	P8.5								
C12	P8.6								
B12	P8.7								
C11	XRES	50	XRES	47	XRES	36	XRES	36	XRES
A12	VCCD	51	VCCD	48	VCCD	37	VCCD	37	VCCD
D10	VSSD	52	VSSD	49	VSSD	38	VSSD	38	VSSD
B13	VDDD	53	VDDD	50	VDDD	39	VDDD	39	VDDD
A13	VDDD	53	VDDD	50	VDDD	39	VDDD	39	VDDD
A11	P9.0								
B11	P9.1								
A10	P9.2								
B10	P9.3								
C10	P9.4								
A9	P9.5								
B9	P9.6								
C9	P9.7								
						40	VDDA	40	VDDA
C8	P5.0	54	P5.0	51	P5.0				
B8	P5.1	55	P5.1	52	P5.1				
A8	P5.2	56	P5.2	53	P5.2				
A7	P5.3	57	P5.3	54	P5.3				
B7	P5.4	58	P5.4						
C7	P5.5	59	P5.5	55	P5.5				
A6	P5.6								
B6	P5.7								
A2	VDDA	60	VDDA	56	VDDA	40	VDDA	40	VDDA

124-BGA		68-QFN		64-TQFP		48-TQFP		48-TQFP-USB	
ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称
B2	VDDA	60	VDDA	56	VDDA	40	VDDA	40	VDDA
C3	VSSA	61	VSSA	57	VSSA	41	VSSA	41	VSSA
C5	P1.0	62	P1.0	58	P1.0	42	P1.0	42	P1.0
B5	P1.1	63	P1.1	59	P1.1	43	P1.1	43	P1.1
A5	P1.2	64	P1.2	60	P1.2	44	P1.2	44	P1.2
A4	P1.3	65	P1.3	61	P1.3	45	P1.3	45	P1.3
B4	P1.4	66	P1.4	62	P1.4	46	P1.4	46	P1.4
C4	P1.5	67	P1.5	63	P1.5	47	P1.5	47	P1.5
A3	P1.6	68	P1.6	64	P1.6	48	P1.6	48	P1.6
B3	P1.7	1	P1.7/VREF	1	P1.7/VREF	1	P1.7/VREF	1	P1.7/VREF
B1	VREF	1	P1.7/VREF	1	P1.7/VREF	1	P1.7/VREF	1	P1.7/VREF
C3	VSSA								
D4	VSSA								
B2	VDDA								
C1	P2.0	2	P2.0	2	P2.0	2	P2.0	2	P2.0
C2	P2.1	3	P2.1	3	P2.1	3	P2.1	3	P2.1
D1	P2.2	4	P2.2	4	P2.2	4	P2.2	4	P2.2
D2	P2.3	5	P2.3	5	P2.3	5	P2.3	5	P2.3
D3	P2.4	6	P2.4	6	P2.4	6	P2.4	6	P2.4
E1	P2.5	7	P2.5	7	P2.5	7	P2.5	7	P2.5
E2	P2.6	8	P2.6	8	P2.6	8	P2.6	8	P2.6
E3	P2.7	9	P2.7	9	P2.7	9	P2.7	9	P2.7
K4	VSSD	10	VSSA	10	VSSA	10	VSSD	10	VSSD
A1	VDDA	11	VDDA	11	VDDA				
F1	P10.0								
F2	P10.1								
F3	P10.2								
G1	P10.3								
G2	P10.4								
G3	P10.5								
H1	P10.6								
H2	P10.7								
K4	VSSD								
J1	P6.0	12	P6.0	12	P6.0				
J2	P6.1	13	P6.1	13	P6.1				
J3	P6.2	14	P6.2	14	P6.2				
K1	P6.3	15	P6.3						
K2	P6.4	16	P6.4/P12.0	15	P6.4/P12.0				
L1	P12.0	16	P6.4/P12.0	15	P6.4/P12.0				
L2	P12.1	17	P6.5/P12.1	16	P6.5/P12.1				
K3	P6.5	17	P6.5/P12.1	16	P6.5/P12.1				
L3	VSSD	18	VSSIO	17	VSSIO	10	VSSD	10	VSSD
N2	P3.0	19	P3.0	18	P3.0	12	P3.0	12	P3.0
M2	P3.1	20	P3.1	19	P3.1	13	P3.1	13	P3.1

124-BGA		68-QFN		64-TQFP		48-TQFP		48-TQFP-USB	
ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称
N3	P3.2	21	P3.2	20	P3.2	14	P3.2	14	P3.2
M3	P3.3	22	P3.3	21	P3.3	16	P3.3	16	P3.3
N4	P3.4	23	P3.4	22	P3.4	17	P3.4	17	P3.4
M4	P3.5	24	P3.5	23	P3.5	18	P3.5	18	P3.5
N5	P3.6	25	P3.6	24	P3.6	19	P3.6	19	P3.6
M5	P3.7	26	P3.7	25	P3.7	20	P3.7	20	P3.7
M1	VDDIO	27	VDDIO	26	VDDIO	21	VDDIO	21	VDDIO
N1	VDDIO	27	VDDIO	26	VDDIO	21	VDDIO	21	VDDIO
N6	P11.0								
M6	P11.1								
L6	P11.2								
N7	P11.3								
M7	P11.4								
L7	P11.5								
N8	P11.6								
M8	P11.7								
N12	VDDIO	27	VDDIO	26	VDDIO	21	VDDIO	21	VDDIO
N13	VDDIO	27	VDDIO	26	VDDIO	21	VDDIO	21	VDDIO
L8	P4.0	28	P4.0	27	P4.0	22	P4.0	22	P4.0
N9	P4.1	29	P4.1	28	P4.1	23	P4.1		
M9	P4.2	30	P4.2	29	P4.2	24	P4.2		
N10	P4.3	31	P4.3	30	P4.3	25	P4.3		
M10	P4.4	32	P4.4	31	P4.4				
N11	P4.5	33	P4.5	32	P4.5				
M11	P4.6	34	P4.6	33	P4.6				
M12	P4.7	35	P4.7						
L11	VSSD								
L12	D+/P13.0	36	D+/P13.0	34	D+/P13.0			23	D+/P13.0
L13	D-/P13.1	37	D-/P13.1	35	D-/P13.1			24	D-/P13.1
M13	VBUS/P13.2	38	VBUS/P13.2	36	VBUS/P13.2			25	VBUS/P13.2
L9	P7.0	39	P7.0	37	P7.0	26	P7.0	26	P7.0
L10	P7.1	40	P7.1	38	P7.1	27	P7.1	27	P7.1
K13	P7.2	41	P7.2						
K12	P7.3								
K11	P7.4								
J13	P7.5								
J12	P7.6								
J11	P7.7								

ポート 12 (ポート ピン 12.0 および 12.1) は SIO ピンです。

ポート 13 (ポートピン 13.0 および 13.1) は VBUS (P13.2) に電源供給が必要です。

ポート 6 (ポート ピン P6.0 ~ 6.5) およびポート 9 (ポート ピン 9.0 ~ 9.7) は過電圧許容 (GPIO_OVT) です。

ボール C6、D11、H11、H3、L4、および L5 は 124-BGA パッケージにおいて未接続 (NC) です。ピン 11 および 15 は 48-TQFP パッケージ上で NC です。

上表に示しているピンはそれぞれ多くのプログラム可能な機能を持てます (次の表を参照)。

ポート/ピン	アナログ	PRGIO と USB	他社の機能 1	他社の機能 2	他社の機能 3	他社の機能 4	他社の機能 5
P0.0	lpcomp.in_p[0]				can[1].can_rx:0	usb.vbus_valid	scb[0].spi_select1:3
P0.1	lpcomp.in_n[0]				can[1].can_tx:0		scb[0].spi_select2:3
P0.2	lpcomp.in_p[1]						scb[0].spi_select3:3
P0.3	lpcomp.in_n[1]						
P0.4	wco_in			scb[1].uart_rx:0		scb[1].i2c_scl:0	scb[1].spi_mosi:0
P0.5	wco_out			scb[1].uart_tx:0		scb[1].i2c_sda:0	scb[1].spi_miso:0
P0.6			srss.ext_clk:0	scb[1].uart_cts:0			scb[1].spi_clk:0
P0.7				scb[1].uart_rts:0	can[1].can_tx- _enb_n:0	srss.wakeup	scb[1].spi_select0:0
P8.0				scb[3].uart_rx:0		scb[3].i2c_scl:0	scb[3].spi_mosi:0
P8.1				scb[3].uart_tx:0		scb[3].i2c_sda:0	scb[3].spi_miso:0
P8.2				scb[3].uart_cts:0		lpcomp.comp[0]:0	scb[3].spi_clk:0
P8.3				scb[3].uart_rts:0		lpcomp.comp[1]:0	scb[3].spi_select0:0
P8.4							scb[3].spi_select1:0
P8.5							scb[3].spi_select2:0
P8.6							scb[3].spi_select3:0
P8.7							
P9.0			tcpwm.line[0]:2	scb[0].uart_rx:0		scb[0].i2c_scl:0	scb[0].spi_mosi:0
P9.1			tcpwm.line_comp[0]:2	scb[0].uart_tx:0		scb[0].i2c_sda:0	scb[0].spi_miso:0
P9.2			tcpwm.line[1]:2	scb[0].uart_cts:0			scb[0].spi_clk:0
P9.3			tcpwm.line_comp[1]:2	scb[0].uart_rts:0			scb[0].spi_select0:0
P9.4			tcpwm.line[2]:2				scb[0].spi_select1:0
P9.5			tcpwm.line_comp[2]:2				scb[0].spi_select2:0
P9.6			tcpwm.line[3]:2			scb[3].i2c_scl:3	scb[0].spi_select3:0
P9.7			tcpwm.line_comp[3]:2			scb[3].i2c_sda:3	
P5.0	ctb1_pads[0] csd[1].c_mod		tcpwm.line[4]:2	scb[2].uart_rx:0		scb[2].i2c_scl:0	scb[2].spi_mosi:0
P5.1	ctb1_pads[1] csd[1].c_sh_tank		tcpwm.line_comp[4]:2	scb[2].uart_tx:0		scb[2].i2c_sda:0	scb[2].spi_miso:0
P5.2	ctb1_pads[2] ctb1_oa0_out_10x		tcpwm.line[5]:2	scb[2].uart_cts:0		lpcomp.comp[0]:1	scb[2].spi_clk:0
P5.3	ctb1_pads[3] ctb1_oa1_out_10x		tcpwm.line_comp[5]:2	scb[2].uart_rts:0		lpcomp.comp[1]:1	scb[2].spi_select0:0
P5.4	ctb1_pads[4]		tcpwm.line[6]:2				scb[2].spi_select1:0
P5.5	ctb1_pads[5]		tcpwm.line_comp[6]:2				scb[2].spi_select2:0
P5.6	ctb1_pads[6]		tcpwm.line[7]:2				scb[2].spi_select3:0
P5.7	ctb1_pads[7]		tcpwm.line_comp[7]:2				
P1.0	ctb0_pads[0]		tcpwm.line[2]:1	scb[0].uart_rx:1		scb[0].i2c_scl:1	scb[0].spi_mosi:1
P1.1	ctb0_pads[1]		tcpwm.line_comp[2]:1	scb[0].uart_tx:1		scb[0].i2c_sda:1	scb[0].spi_miso:1
P1.2	ctb0_pads[2] ctb0_oa0_out_10x		tcpwm.line[3]:1	scb[0].uart_cts:1			scb[0].spi_clk:1
P1.3	ctb0_pads[3] ctb0_oa1_out_10x		tcpwm.line_comp[3]:1	scb[0].uart_rts:1			scb[0].spi_select0:1
P1.4	ctb0_pads[4]		tcpwm.line[6]:1				scb[0].spi_select1:1
P1.5	ctb0_pads[5]		tcpwm.line_comp[6]:1				scb[0].spi_select2:1

ポート/ピン	アナログ	PRGIO と USB	他社の機能 1	他社の機能 2	他社の機能 3	他社の機能 4	他社の機能 5
P1.6	ctb0_pads[6]		tcpwm.line[7]:1				scb[0].spi_select3:1
P1.7	ctb0_pads[7], sar_ext_vref		tcpwm.line_compl[7]:1				
P2.0	sarmux_pads[0]		tcpwm.line[4]:1	scb[1].uart_rx:1		scb[1].i2c_scl:1	scb[1].spi_mosi:1
P2.1	sarmux_pads[1]		tcpwm.line_compl[4]:1	scb[1].uart_tx:1		scb[1].i2c_sda:1	scb[1].spi_miso:1
P2.2	sarmux_pads[2]		tcpwm.line[5]:1	scb[1].uart_cts:1			scb[1].spi_clk:1
P2.3	sarmux_pads[3]		tcpwm.line_compl[5]:1	scb[1].uart_rts:1			scb[1].spi_select0:1
P2.4	sarmux_pads[4]		tcpwm.line[0]:1				scb[1].spi_select1:0
P2.5	sarmux_pads[5]		tcpwm.line_compl[0]:1				scb[1].spi_select2:0
P2.6	sarmux_pads[6]		tcpwm.line[1]:1				scb[1].spi_select3:0
P2.7	sarmux_pads[7]		tcpwm.line_compl[1]:1				
P10.0				scb[2].uart_rx:1		scb[2].i2c_scl:1	scb[2].spi_mosi:1
P10.1				scb[2].uart_tx:1		scb[2].i2c_sda:1	scb[2].spi_miso:1
P10.2				scb[2].uart_cts:1			scb[2].spi_clk:1
P10.3				scb[2].uart_rts:1			scb[2].spi_select0:1
P10.4							scb[2].spi_select1:1
P10.5							scb[2].spi_select2:1
P10.6							scb[2].spi_select3:1
P10.7							
P6.0			tcpwm.line[4]:0	scb[3].uart_rx:1	can[0].can_tx- _enb_n:0	scb[3].i2c_scl:1	scb[3].spi_mosi:1
P6.1			tcpwm.line_compl[4]:0	scb[3].uart_tx:1	can[0].can_rx:0	scb[3].i2c_sda:1	scb[3].spi_miso:1
P6.2			tcpwm.line[5]:0	scb[3].uart_cts:1	can[0].can_tx:0	scb[2].i2c_scl:3	scb[3].spi_clk:1
P6.3			tcpwm.line_compl[5]:0	scb[3].uart_rts:1		scb[2].i2c_sda:3	scb[3].spi_select0:1
P6.4			tcpwm.line[6]:0			scb[0].i2c_scl:3	scb[3].spi_select1:1
P12.0			tcpwm.line[7]:0			scb[1].i2c_scl:3	scb[3].spi_select3:1
P12.1			tcpwm.line_compl[7]:0			scb[1].i2c_sda:3	
P6.5			tcpwm.line_compl[6]:0			scb[0].i2c_sda:3	scb[3].spi_select2:1
P3.0			tcpwm.line[0]:0	scb[1].uart_rx:2		scb[1].i2c_scl:2	scb[1].spi_mosi:2
P3.1			tcpwm.line_compl[0]:0	scb[1].uart_tx:2		scb[1].i2c_sda:2	scb[1].spi_miso:2
P3.2			tcpwm.line[1]:0	scb[1].uart_cts:2		cpuss.swd_data:0	scb[1].spi_clk:2
P3.3			tcpwm.line_compl[1]:0	scb[1].uart_rts:2		cpuss.swd_clk:0	scb[1].spi_select0:2
P3.4			tcpwm.line[2]:0				scb[1].spi_select1:1
P3.5			tcpwm.line_compl[2]:0				scb[1].spi_select2:1
P3.6			tcpwm.line[3]:0				scb[1].spi_select3:1
P3.7			tcpwm.line_compl[3]:0				
P11.0			tcpwm.line[4]:3	scb[2].uart_rx:2		scb[2].i2c_scl:2	scb[2].spi_mosi:2
P11.1			tcpwm.line_compl[4]:3	scb[2].uart_tx:2		scb[2].i2c_sda:2	scb[2].spi_miso:2
P11.2			tcpwm.line[5]:3	scb[2].uart_cts:2		cpuss.swd_data:1	scb[2].spi_clk:2
P11.3			tcpwm.line_compl[5]:3	scb[2].uart_rts:2		cpuss.swd_clk:1	scb[2].spi_select0:2
P11.4			tcpwm.line[6]:3				scb[2].spi_select1:2
P11.5			tcpwm.line_compl[6]:3				scb[2].spi_select2:2
P11.6			tcpwm.line[7]:3				scb[2].spi_select3:2
P11.7			tcpwm.line_compl[7]:3				
P4.0				scb[0].uart_rx:2	can[0].can_rx:1	scb[0].i2c_scl:2	scb[0].spi_mosi:2
P4.1				scb[0].uart_tx:2	can[0].can_tx:1	scb[0].i2c_sda:2	scb[0].spi_miso:2

ポート/ピン	アナログ	PRGIO と USB	他社の機能 1	他社の機能 2	他社の機能 3	他社の機能 4	他社の機能 5
P4.2	csd[0].c_mod			scb[0].uart_cts:2	can[0].can_tx-_enb_n:1	lpcomp.comp[0]:2	scb[0].spi_clk:2
P4.3	csd[0].c_sh_tank			scb[0].uart_rts:2		lpcomp.comp[1]:2	scb[0].spi_select0:2
P4.4					can[1].can_tx-_enb_n:1		scb[0].spi_select1:2
P4.5					can[1].can_rx:1		scb[0].spi_select2:2
P4.6					can[1].can_tx:1		scb[0].spi_select3:2
P4.7							
P13.0		USBDP					
P13.1		USBDM					
P13.2		VBUS					
P7.0	srss.eco_in		tcpwm.line[0]:3	scb[3].uart_rx:2		scb[3].i2c_scl:2	scb[3].spi_mosi:2
P7.1	srss.eco_out		tcpwm.line_comp[0]:3	scb[3].uart_tx:2		scb[3].i2c_sda:2	scb[3].spi_miso:2
P7.2			tcpwm.line[1]:3	scb[3].uart_cts:2			scb[3].spi_clk:2
P7.3			tcpwm.line_comp[1]:3	scb[3].uart_rts:2			scb[3].spi_select0:2
P7.4			tcpwm.line[2]:3				scb[3].spi_select1:2
P7.5			tcpwm.line_comp[2]:3				scb[3].spi_select2:2
P7.6			tcpwm.line[3]:3				scb[3].spi_select3:2
P7.7			tcpwm.line_comp[3]:3				

電源ピン機能の説明は以下のとおりです。

VDDD: アナログとデジタルセクション用の電源供給 (V_{DDA} ピンがないところ)

VDDA: パッケージピンが許可するアナログ V_{DD} ピン。VDDD の前または同時に存在し、VDDA の値は VDDD および VDDIO 以上である必要があります。

VDDIO: I/O ピン電源ドメイン。VDDD なしでは存在しません。

VSSA: パッケージピンが許可するところのアナログ グランドピン；そうでない場合 VSS に短絡

VSS: グランドピン

VCCD: 安定化デジタル電源 (1.8V \pm 5%)

VBUS: USB 電圧。VDDD に関する VBUS の制約はありません。ただし、USB から供給されるため、想定される標準および理想的には 5V (4.35 ~ 5.5V が範囲) です。

GPIO および GPIO_OVT ピンは CSD 検知ピンとシールドピン (合計で 94 本) として使用できます。LCD 駆動に使用可能なピンは最大 64 本までです。

対応するパッケージは 124 ボール BGA、64 ピン TQFP、68 ピン QFN および 48 ピン TQFP です。

電源

電源電圧範囲は、1.71V ~ 5.5V で、すべての機能や回路がその範囲において動作します。

PSoC 4200L ファミリーは、非安定化外部電源と安定化外部電源という 2 種類の電源供給動作モードに対応します。

非安定化外部電源

このモードでは、PSoC 4200L は 1.8V ~ 5.5V の外部電源から供給されますが、この範囲はバッテリー駆動にも設計されます。例えば、チップは 3.5V で始まってから 1.8V まで下がるバッテ

リシステムから電源供給されます。このモードでは、PSoC 4200L の内部レギュレータは内部ロジックに電源を供給し、PSoC 4200L の VCCD 出力は外付けバイパスコンデンサ (1 μ F ~ 1.6 μ F；X5R セラミックまたはこれより良質のもの) を介してグランドに接続する必要があります。

VDDA と VDDD は PC 基板上で互いに短絡させる必要があり、グランド、VSSA および VSS は互いに短絡させる必要もありません。バイパスコンデンサ (例えば、0.1 μ F) は VDDD、VDDA とグランドの間に接続する必要があります。一般的に、この周波数範囲でのシステムでは、1 μ F 以下のコンデンサをそれより小さいコンデンサと平行して使用してください。これらが単に経験則であり、重要なアプリケーションに対しては、最適なバイパスを得るために、設計の際には PCB レイアウト、リードインダクタンス、寄生バイパスコンデンサをシミュレーションする必要がありますことに注意してください。

電源	バイパスコンデンサ
VDDD-VSS および VDDIO-VSS	各ピンに 0.1 μ F のセラミックコンデンサと 1 ~ 10 μ F のバルクコンデンサ
VDDA-VSSA	ピンに 0.1 μ F セラミックコンデンサ。追加の 1 μ F ~ 10 μ F バルクコンデンサ
VCCD-VSS	VCCDピンに 1 μ F のセラミックコンデンサ
VREF-VSSA (オプション)	ADC 性能向上のために内部バンドギャップは 1 ~ 10 μ F バイパスコンデンサに接続

安定化外部電源

このモードでは、PSoC 4200L は 1.71V ~ 1.89V (1.8 \pm 5%) の外部電源から電源供給されます。この範囲は電源リップルを含む必要があることに注意してください。このモードで、VCCD および VDDD ピンは互いに短絡され、バイパスされます。内部レギュレータはファームウェアで無効にされます。

電氣的仕様

絶対最大定格

表 1. 絶対最大定格^[1]

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID1	V _{DD_ABS}	V _{SS} を基準としたアナログまたはデジタルの電源 (V _{SSD} = V _{SSA})	-0.5	-	6	V	絶対最大値
SID2	V _{CCD_ABS}	V _{SSD} を基準とした直接デジタル コア電圧入力	-0.5	-	1.95	V	絶対最大値
SID3	V _{GPIO_ABS}	GPIO 電圧 ; V _{DDD} または V _{DDA}	-0.5	-	V _{DD} +0.5	V	絶対最大値
SID4	I _{GPIO_ABS}	GPIO ごとの電流	-25	-	25	mA	絶対最大値
SID5	I _{G-PIO_injection}	ピンごとの GPIO 注入電流	-0.5	-	0.5	mA	絶対最大値
BID44	ESD_HBM	静電気放電 (人体モデル)	2200	-	-	V	
BID45	ESD_CDM	静電気放電 (デバイス帯電モデル)	500	-	-	V	
BID46	LU	ラッチアップ時のピン電流	-140	-	140	mA	

デバイス レベルの仕様

特記されない限り、すべての仕様は -40 °C ≤ T_A ≤ 105 °C および T_J ≤ 125 °C の条件で有効です。仕様は注記した場合を除いて、1.71V ~ 5.5V において有効です。

表 2. DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID53	V _{DDD}	電源供給入力電圧 (V _{DDA} = V _{DDD} = V _{DD})	1.8	-	5.5	V	レギュレータが有効
SID255	V _{DDD}	安定化していない電源入力電圧	1.71	1.8	1.89	V	内部で安定化されない電源
SID54	V _{CCD}	出力電圧 (コア ロジック用)	-	1.8	-	V	
SID55	C _{EFC}	外部レギュレータ電圧 (V _{CCD}) バイパス	1	1.3	1.6	μF	X5R セラミックまたはこれより良質のもの
SID56	C _{EXC}	電源デカップリング コンデンサ	-	1	-	μF	X5R セラミックまたはこれより良質のもの

アクティブ モード

SID6	I _{DD1}	フラッシュに格納されるファームウェアを実行 ; CPU が 6MHz で動作	-	2.2	3.1	mA	
SID7	I _{DD2}	フラッシュに格納されるファームウェアを実行 ; CPU が 12MHz で動作	-	3.7	4.8	mA	
SID8	I _{DD3}	フラッシュに格納されるファームウェアを実行 ; CPU が 24MHz で動作	-	6.7	8.0	mA	
SID9	I _{DD4}	フラッシュに格納されるファームウェアを実行 ; CPU が 48MHz で動作	-	12.8	14.5	mA	

スリープ モード

SID21	I _{DD16}	I ² C ウェイクアップ、WDT およびコンパレータが有効。レギュレータが無効	-	1.8	2.2	mA	V _{DD} = 1.71 ~ 1.89、6MHz
SID22	I _{DD17}	I ² C ウェイクアップ、WDT およびコンパレータが有効。	-	1.7	2.1	mA	V _{DD} = 1.8 ~ 5.5、6MHz
SID23	I _{DD18}	I ² C ウェイクアップ、WDT およびコンパレータが有効。レギュレータが無効	-	2.4	2.9	mA	V _{DD} = 1.71 ~ 1.89、12MHz

注:

- 表 1 に記載されている絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響する可能性があります。最大保管温度は JEDEC 標準「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以下で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様に従って動作しないことがあります。

表 2. DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID24	I _{DD19}	I ² C ウェイクアップ、WDT およびコンパレータが有効。	-	2.3	2.8	mA	V _{DD} = 1.8 ~ 5.5、12MHz
ディープスリープ モード、-40°C ~ +60°C							
SID30	I _{DD25}	I ² C ウェイクアップと WDT が有効。レギュレータが無効。	-	-	13.5	μA	V _{DD} = 1.71 ~ 1.89
SID31	I _{DD26}	I ² C ウェイクアップと WDT が有効	-	1.3	20.0	μA	V _{DD} = 1.8 ~ 3.6
SID32	I _{DD27}	I ² C ウェイクアップと WDT が有効	-	-	20.0	μA	V _{DD} = 3.6 ~ 5.5
ディープスリープ モード、+85°C							
SID33	I _{DD28}	I ² C ウェイクアップと WDT が有効。レギュレータが無効	-	-	45.0	μA	V _{DD} = 1.71 ~ 1.89
SID34	I _{DD29}	I ² C ウェイクアップと WDT が有効。	-	15	60.0	μA	V _{DD} = 1.8 ~ 3.6
SID35	I _{DD30}	I ² C ウェイクアップと WDT が有効。	-	-	45.0	μA	V _{DD} = 3.6 ~ 5.5
ハイバネート モード、-40°C ~ +60°C							
SID39	I _{DD34}	レギュレータが無効	-	-	1123	nA	V _{DD} = 1.71 ~ 1.89
SID40	I _{DD35}		-	150	1600	nA	V _{DD} = 1.8 ~ 3.6
SID41	I _{DD36}		-	-	1600	nA	V _{DD} = 3.6 ~ 5.5
ハイバネート モード、+85°C							
SID42	I _{DD37}	レギュレータが無効	-	-	4142	nA	V _{DD} = 1.71 ~ 1.89
SID43	I _{DD38}		-	-	9700	nA	V _{DD} = 1.8 ~ 3.6
SID44	I _{DD39}		-	-	10,400	nA	V _{DD} = 3.6 ~ 5.5
ストップ モード							
SID304	I _{DD43A}	ストップ モード電流 ; V _{DD} = 3.6V	-	20	659	nA	T = -40°C ~ +60°C
SID304A	I _{DD43B}	ストップ モード電流 ; V _{DD} = 3.6V	-	-	1810	nA	T = +85°C
XRES 電流							
SID307	I _{DD_XR}	XRES (アクティブ LOW) がアサートされている時の供給電流	-	2	5	mA	

表 3. AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID48	F _{CPU}	CPU 周波数	DC	-	48	MHz	1.71 ≤ V _{DD} ≤ 5.5
SID49	T _{SLEEP}	スリープ モードからの復帰時間	-	0	-	μs	特性評価で保証
SID50	T _{DEEPSLEEP}	ディープスリープ モードからの復帰時間	-	-	25	μs	24MHz の IMO。特性評価で保証
SID51	T _{HIBERNATE}	ハイバネート モードからの復帰時間	-	-	0.7	ms	特性評価で保証
SID51A	T _{STOP}	ストップ モードからの復帰時間	-	-	1.9	ms	特性評価で保証
SID52	T _{RESETWIDTH}	外部リセット パルス幅	1	-	-	μs	特性評価で保証

GPIO
表 4. GPIO DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID57	$V_{IH}^{[2]}$	入力電圧の HIGH 閾値	$0.7 \times V_{DDD}$	–	–	V	CMOS 入力
SID57A	I_{IHS}	パッドの電圧 > OVT 入力の V_{DDIO} の時の入力電流	–	–	10	μA	I ² C 仕様どおり
SID58	V_{IL}	入力電圧の LOW 閾値	–	–	$0.3 \times V_{DDD}$	V	CMOS 入力
SID241	$V_{IH}^{[2]}$	LVTTL 入力、 $V_{DDD} < 2.7V$	$0.7 \times V_{DDD}$	–	–	V	
SID242	V_{IL}	LVTTL 入力、 $V_{DDD} < 2.7V$	–	–	$0.3 \times V_{DDD}$	V	
SID243	$V_{IH}^{[2]}$	LVTTL 入力、 $V_{DDD} \geq 2.7V$	2.0	–	–	V	
SID244	V_{IL}	LVTTL 入力、 $V_{DDD} \geq 2.7V$	–	–	0.8	V	
SID59	V_{OH}	出力 HIGH 電圧	$V_{DDD} - 0.6$	–	–	V	$I_{OH} = 4mA$, $V_{DDD} \geq 3V$
SID60	V_{OH}	出力 HIGH 電圧	$V_{DDD} - 0.5$	–	–	V	$V_{DDD} = 1.8V$ の時、 $I_{OH} = 1mA$
SID61	V_{OL}	出力 LOW 電圧	–	–	0.6	V	$V_{DDD} = 1.8V$ の時、 $I_{OL} = 4mA$
SID62	V_{OL}	出力 LOW 電圧	–	–	0.6	V	$I_{OL} = 8mA$, $V_{DDD} \geq 3V$
SID62A	V_{OL}	出力 LOW 電圧	–	–	0.4	V	$I_{OL} = 3mA$, $V_{DDD} \geq 3V$
SID63	R_{PULLUP}	プルアップ抵抗	3.5	5.6	8.5	$k\Omega$	
SID64	$R_{PULLDOWN}$	プルダウン抵抗	3.5	5.6	8.5	$k\Omega$	
SID65	I_{IL}	入力リーク電流 (絶対値)	–	–	2	nA	25°C、 $V_{DDD} = 3.0V$
SID65A	I_{IL_CTBM}	CTBM ピンの入力リーク電流 (絶対値)	–	–	4	nA	
SID66	C_{IN}	入力静電容量	–	–	7	pF	P6.4、P6.5、 P12.0、P12.1、 および USB ピン に適用しない
SID67	V_{HYSTTL}	入力ヒステリシス LVTTL	25	40	–	mV	$V_{DDD} \geq 2.7V$
SID68	$V_{HYSCMOS}$	入力ヒステリシス CMOS	$0.05 \times V_{DDD}$	–	–	mV	
SID69	I_{DIODE}	保護ダイオードを通して V_{DD}/V_{SS} に流れる電流	–	–	100	μA	特性評価で保証
SID69A	I_{TOT_GPIO}	チップの最大合計ソースまたはシンク電流	–	–	200	mA	特性評価で保証

注:

 2. V_{IH} は $V_{DDD} + 0.2V$ を超えてはいけません。

表 5. GPIO の AC 仕様
 (特性評価で保証)^[3]

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID70	T _{RISEF}	高速ストロングモードでの立ち上がり時間	2	–	12	ns	3.3V V _{DDD} 、 Cload = 25pF
SID71	T _{FALLF}	高速ストロングモードでの立ち下がり時間	2	–	12	ns	3.3V V _{DDD} 、 Cload = 25pF
SID72	T _{RISES}	低速ストロングモードでの立ち上がり時間	10	–	60	ns	3.3V V _{DDD} 、 Cload = 25pF
SID73	T _{FALLS}	低速ストロングモードでの立ち下がり時間	10	–	60	ns	3.3V V _{DDD} 、 Cload = 25pF
SID74	F _{GPIOOUT1}	GPIO Fout ; 3.3V ≤ V _{DDD} ≤ 5.5V。 高速ストロングモード	–	–	33	MHz	90/10%、負荷 25pF、デュー ティ比 60/40
SID75	F _{GPIOOUT2}	GPIO Fout ; 1.7V ≤ V _{DDD} ≤ 3.3V。 高速 strong モード	–	–	16.7	MHz	90/10%、負荷 25pF、デュー ティ比 60/40
SID76	F _{GPIOOUT3}	GPIO Fout ; 3.3V ≤ V _{DDD} ≤ 5.5V。 低速ストロングモード	–	–	7	MHz	90/10%、負荷 25pF、デュー ティ比 60/40
SID245	F _{GPIOOUT4}	GPIO Fout ; 1.7V ≤ V _{DDD} ≤ 3.3V。 低速ストロングモード	–	–	3.5	MHz	90/10%、負荷 25pF、デュー ティ比 60/40
SID246	F _{GPIOIN}	GPIO 入力の動作周波数 ; 1.71V ≤ V _{DDD} ≤ 5.5V	–	–	48	MHz	90/10% V _{IO}

XRES
表 6. XRES の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID77	V _{IH}	入力電圧の HIGH 閾値	0.7×V _{DD} D	–	–	V	CMOS 入力
SID78	V _{IL}	入力電圧の LOW 閾値	–	–	0.3× V _{DDD}	V	CMOS 入力
SID79	R _{PULLUP}	プルアップ抵抗	3.5	5.6	8.5	kΩ	
SID80	C _{IN}	入力静電容量	–	3	–	pF	
SID81	V _{HYSXRES}	入力ヒステリシス電圧	–	100	–	mV	特性評価で保証
SID82	I _{DIODE}	保護ダイオードを通過して V _{DDD} /V _{SS} に流れる電流	–	–	100	μA	特性評価で保証

表 7. XRES AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID83	T _{RESETWIDTH}	リセットパルス幅	1	–	–	μs	特性評価で保証

注:

3. 多くの負荷の多い GPIO ピンの同時切り替えはグラウンド振動を生じることがあります。この振動はプリント基板とデカップリングコンデンサ設計など様々な要因に左右されます。グラウンド振動の影響を受けやすいアプリケーションに対しては低速の GPIO スルーレートの設定を使用できます。

アナログ ペリフェラル
オペアンプ
表 8. オペアンプ仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
	I_{DD}	オペアンプ ブロック電流。負荷なし	-	-	-	-	
SID269	I_{DD_HI}	Power = high	-	1100	1850	μA	
SID270	I_{DD_MED}	Power = medium	-	550	950	μA	
SID271	I_{DD_LOW}	Power = low	-	150	350	μA	
	GBW	負荷 = 20pF、0.1mA。 $V_{DDA} = 2.7V$	-	-	-	-	
SID272	GBW_HI	Power = high	6	-	-	MHz	
SID273	GBW_MED	Power = medium	4	-	-	MHz	
SID274	GBW_LO	Power = low	-	1	-	MHz	
	I_{OUT_MAX}	$V_{DDA} \geq 2.7V$ 、500mV の電源レール	-	-	-	-	
SID275	$I_{OUT_MAX_HI}$	Power = high	10	-	-	mA	
SID276	$I_{OUT_MAX_MID}$	Power = medium	10	-	-	mA	
SID277	$I_{OUT_MAX_LO}$	Power = low	-	5	-	mA	
	I_{OUT}	$V_{DDA} = 1.71V$ 、 500mV の電源レール	-	-	-	-	
SID278	$I_{OUT_MAX_HI}$	Power = high	4	-	-	mA	
SID279	$I_{OUT_MAX_MID}$	Power = medium	4	-	-	mA	
SID280	$I_{OUT_MAX_LO}$	Power = low	-	2	-	mA	
SID281	V_{IN}	入力電圧範囲	-0.05	-	$V_{DDA} - 0.2$	V	チャージ ポンプがオン、 $V_{DDA} \geq 2.7V$
SID282	V_{CM}	入力同相電圧	-0.05	-	$V_{DDA} - 0.2$	V	チャージ ポンプがオン、 $V_{DDA} \geq 2.7V$
	V_{OUT}	$V_{DDA} \geq 2.7V$	-	-	-	-	
SID283	V_{OUT_1}	Power = high、 $I_{load} = 10mA$	0.5	-	$V_{DDA} - 0.5$	V	
SID284	V_{OUT_2}	Power = high、 $I_{load} = 1mA$	0.2	-	$V_{DDA} - 0.2$	V	
SID285	V_{OUT_3}	Power = medium、 $I_{load} = 1mA$	0.2	-	$V_{DDA} - 0.2$	V	
SID286	V_{OUT_4}	Power = low、 $I_{load} = 0.1mA$	0.2	-	$V_{DDA} - 0.2$	V	
SID288	V_{OS_TR}	オフセット電圧 (調整後)	1	± 0.5	1	mV	High モード
SID288A	V_{OS_TR}	オフセット電圧 (調整後)	-	± 1	-	mV	Medium モード
SID288B	V_{OS_TR}	オフセット電圧 (調整後)	-	± 2	-	mV	Low モード
SID290	$V_{OS_DR_TR}$	オフセット電圧ドリフト (調整後)	-10	± 3	10	$\mu V/^{\circ}C$	High モード
SID290A	$V_{OS_DR_TR}$	オフセット電圧ドリフト (調整後)	-	± 10	-	$\mu V/^{\circ}C$	Medium モード
SID290B	$V_{OS_DR_TR}$	オフセット電圧ドリフト (調整後)	-	± 10	-	$\mu V/^{\circ}C$	Low モード
SID291	CMRR	DC	60	70	-	dB	$V_{DDD} = 3.6V$
SID292	PSRR	1kHz で、リップル電圧が 100mV の場合	70	85	-	dB	$V_{DDD} = 3.6V$
	Noise		-	-	-	-	
SID293	V_{N1}	基準入力、1Hz ~ 1GHz、power = high	-	94	-	μV_{rms}	

表 8. オペアンプ仕様

(特性評価で保証)(続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID294	V _{N2}	基準入力、1kHz、power = high	-	72	-	nV/rtHz	
SID295	V _{N3}	基準入力、10kHz、power = high	-	28	-	nV/rtHz	
SID296	V _{N4}	基準入力、100kHz、power = high	-	15	-	nV/rtHz	
SID297	Cload	最大負荷まで安定。50pF で性能仕様を満たす	-	-	125	pF	
SID298	Slew_rate	Cload = 50pF、Power = High、V _{DDA} ≥ 2.7V	6	-	-	V/μs	
SID299	T _{op_wake}	無効から有効まで、外付け RC なし	-	25	-	μs	
SID299A	OL_GAIN	オープン ループ ゲイン	-	90	-	dB	
	Comp_mode	コンパレータ モード ; 50mV 駆動、T _{rise} =T _{fall} (おおよそ)	-	-	-		
SID300	T _{PD1}	応答時間 ; power = high	-	150	-	ns	
SID301	T _{PD2}	応答時間 ; power = medium	-	400	-	ns	
SID302	T _{PD3}	応答時間 ; power = low	-	2000	-	ns	
SID303	V _{hyst_op}	ヒステリシス	-	10	-	mV	
ディープスリープ モード		モード 2 は最小の電流範囲。モード 1 は、より高い GBW を持つ					ディープ スリープ モード V _{DDA} ≥ 2.7V
SID_DS_1	IDD_HI_M1	モード 1、高電流	-	1400	-	μA	25°C
SID_DS_2	IDD_MED_M1	モード 1、中電流	-	700	-	μA	25°C
SID_DS_3	IDD_LOW_M1	モード 1、低電流	-	200	-	μA	25°C
SID_DS_4	IDD_HI_M2	モード 2、高電流	-	120	-	μA	25°C
SID_DS_5	IDD_MED_M2	モード 2、中電流	-	60	-	μA	25°C
SID_DS_6	IDD_LOW_M2	モード 2、低電流	-	15	-	μA	25°C
SID_DS_7	GBW_HI_M1	モード 1、高電流	-	4	-	MHz	20pF 負荷、DC 負荷なし 0.2V ~ V _{DDA} - 1.5V
SID_DS_8	GBW_MED_M1	モード 1、中電流	-	2	-	MHz	20pF 負荷、DC 負荷なし 0.2V ~ V _{DDA} - 1.5V
SID_DS_9	GBW_LOW_M1	モード 1、低電流	-	0.5	-	MHz	20pF 負荷、DC 負荷なし 0.2V ~ V _{DDA} - 1.5V
SID_DS_10	GBW_HI_M2	モード 2、高電流	-	0.5	-	MHz	20pF 負荷、DC 負荷なし、 0.2V ~ V _{DDA} - 1.5V
SID_DS_11	GBW_MED_M2	モード 2、中電流	-	0.2	-	MHz	20pF 負荷、DC 負荷なし、 0.2V ~ V _{DDA} - 1.5V
SID_DS_12	GBW_LOW_M2	モード 2、低電流	-	0.1	-	MHz	20pF 負荷、DC 負荷なし、 0.2V ~ V _{DDA} - 1.5V
SID_DS_13	VOS_HI_M1	モード 1、高電流	-	5	-	mV	25°C、調整あり、 0.2V ~ V _{DDA} - 1.5V
SID_DS_14	VOS_MED_M1	モード 1、中電流	-	5	-	mV	25°C、調整あり、 0.2V ~ V _{DDA} - 1.5V
SID_DS_15	VOS_LOW_M1	モード 1、低電流	-	5	-	mV	25°C、調整あり、 0.2V ~ V _{DDA} - 1.5V
SID_DS_16	VOS_HI_M2	モード 2、高電流	-	5	-	mV	25°C、調整あり、 0.2V ~ V _{DDA} - 1.5V

表 8. オペアンプ仕様

(特性評価で保証) (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID_DS_17	VOS_MED_M2	モード 2、中電流	-	5	-	mV	25°C、調整あり、 0.2V ~ $V_{DDA} - 1.5V$
SID_DS_18	VOS_LOW_M2	モード 2、低電流	-	5	-	mV	25°C、調整あり、 0.2V ~ $V_{DDA} - 1.5V$
SID_DS_19	IOOUT_HI_M!	モード 1、高電流	-	10	-	mA	出力は 0.5V ~ $V_{DDA} - 0.5V$
SID_DS_20	IOOUT_MED_M1	モード 1、中電流	-	10	-	mA	出力は 0.5V ~ $V_{DDA} - 0.5V$
SID_DS_21	IOOUT_LOW_M1	モード 1、低電流	-	4	-	mA	出力は 0.5V ~ $V_{DDA} - 0.5V$
SID_DS_22	IOOUT_HI_M2	モード 2、高電流	-	1	-	mA	出力は 0.5V ~ $V_{DDA} - 0.5V$
SID_DS_23	IOOUT_MED_M2	モード 2、中電流	-	1	-	mA	出力は 0.5V ~ $V_{DDA} - 0.5V$
SID_DS_24	IOOUT_LOW_M2	モード 2、低電流	-	0.5	-	mA	出力は 0.5V ~ $V_{DDA} - 0.5V$

コンパレータ

表 9. コンパレータの DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID85	$V_{OFFSET2}$	入力オフセット電圧。カスタムトリム。同相電圧範囲: 0 ~ V_{DD-1}	-	-	±4	mV	
SID85A	$V_{OFFSET3}$	入力オフセット電圧。超低消費電力モード	-	±12	-	mV	温度 < 0°C の場合 $V_{DDD} \geq 2.2V$ 、温度 > 0°C の場合 $V_{DDD} \geq 1.8V$
SID86	V_{HYST}	有効時のヒステリシス。同相電圧範囲: 0 ~ V_{DD-1}	-	10	35	mV	特性評価で保証
SID87	V_{ICM1}	通常モードでの入力同相電圧	0	-	$V_{DDD} - 0.2$	V	モード 1 とモード 2
SID247	V_{ICM2}	低消費電力モードでの入力同相電圧	0	-	V_{DDD}	V	
SID247A	V_{ICM2}	超低消費電力モードでの入力同相電圧	0	-	$V_{DDD} - 1.15$	V	温度 < 0°C の場合 $V_{DDD} \geq 2.2V$ 、温度 > 0°C の場合 $V_{DDD} \geq 1.8V$
SID88	CMRR	同相信号除去比	50	-	-	dB	$V_{DDD} \geq 2.7V$ 。特性評価で保証
SID88A	CMRR	同相信号除去比	42	-	-	dB	$V_{DDD} < 2.7V$ 。特性評価で保証
SID89	I_{CMP1}	ブロック電流、通常モード	-	280	400	μA	特性評価で保証
SID248	I_{CMP2}	ブロック電流、低消費電力モード	-	50	100	μA	特性評価で保証
SID259	I_{CMP3}	ブロック電流、超低消費電力モード	-	6	28	μA	特性評価で保証、 温度 < 0°C の場合 $V_{DDD} \geq 2.2V$ 、 温度 > 0°C の場合 $V_{DDD} \geq 1.8V$
SID90	Z_{CMP}	コンパレータの DC 入力インピーダンス	35	-	-	MΩ	特性評価で保証

表 10. コンパレータの AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID91	T _{RESP1}	応答時間、通常モード	–	38	110	ns	50mV オーバードライブ
SID258	T _{RESP2}	応答時間、低消費電力モード	–	70	200	ns	50mV オーバードライブ
SID92	T _{RESP3}	応答時間、超低消費電力モード	–	2.3	15	μs	200mV オーバードライブ。温度 < 0°C の場合 V _{DD} ≥ 2.2V、温度 > 0°C の場合 V _{DD} ≥ 1.8V

温度センサー

表 11. 温度センサーの仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID93	T _{SENSACC}	温度センサー精度	–5	±1	+5	°C	–40°C ~ +85°C

SAR ADC

表 12. SAR ADC DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID94	A_RES	分解能	–	–	12	ビット	
SID95	A_CHNIS_S	チャンネル数–シングル エンド	–	–	16		
SID96	A-CHNKS_D	チャンネル数–差動	–	–	8		差動チャンネルの入力は隣接する I/O を使用
SID97	A-MONO	単調性	–	–	–		有。 特性評価に基づく値
SID98	A_GAINERR	ゲイン誤差	–	–	±0.1	%	外部リファレンス有り
SID99	A_OFFSET	入力オフセット 電圧	–	–	2	mV	1V の V _{REF} で測定
SID100	A_ISAR	消費電流	–	–	1	mA	
SID101	A_VINS	入力電圧範囲 – シングル エンド	V _{SS}	–	V _{DDA}	V	デバイスの特性評価に基づく値
SID102	A_VIND	入力電圧範囲 - 差動	V _{SS}	–	V _{DDA}	V	デバイスの特性評価に基づく値
SID103	A_INRES	入力抵抗	–	–	2.2	kΩ	デバイスの特性評価に基づく値
SID104	A_INCAP	入力静電容量	–	–	10	pF	デバイスの特性評価に基づく値

表 13. SAR ADC の AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID106	A_PSRR	電源電圧変動除去比	70	–	–	dB	
SID107	A_CMRR	同相信号除去比	66	–	–	dB	1V で測定
SID108	A_SAMP_1	外部リファレンス バイパス コンデンサがある場合のサンプル レート	–	–	1	MspS	
SID108A	A_SAMP_2	バイパス コンデンサがない場合のサンプル レート。リファレンス電圧 = V _{DD}	–	–	500	ksps	
SID108B	A_SAMP_3	バイパス コンデンサがない場合のサンプル レート。内部リファレンス電圧	–	–	100	ksps	
SID109	A_SNDR	信号対ノイズおよび歪み比 (SINAD)	65	–	–	dB	F _{IN} = 10kHz

表 13. SAR ADC の AC 仕様

(特性評価で保証) (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID111	A_INL	積分非直線性	-1.7	-	+2	LSB	$V_{DD} = 1.71 \sim 5.5$ 、 1Msp s、 $V_{REF} = 1 \sim 5.5$
SID111A	A_INL	積分非直線性	-1.5	-	+1.7	LSB	$V_{DDD} = 1.71 \sim 3.6$ 、 1Msp s、 $V_{REF} = 1.71 \sim V_{DDD}$
SID111B	A_INL	積分非直線性	-1.5	-	+1.7	LSB	$V_{DDD} = 1.71 \sim 5.5$ 、 500Ksp s、 $V_{REF} = 1 \sim 5.5$
SID112	A_DNL	微分非直線性	-1	-	+2.2	LSB	$V_{DDD} = 1.71 \sim 5.5$ 、 1Msp s、 $V_{REF} = 1 \sim 5.5$
SID112A	A_DNL	微分非直線性	-1	-	+2	LSB	$V_{DDD} = 1.71 \sim 3.6$ 、 1Msp s、 $V_{REF} = 1.71 \sim V_{DDD}$
SID112B	A_DNL	微分非直線性	-1	-	+2.2	LSB	$V_{DDD} = 1.71 \sim 5.5$ 、 500Ksp s、 $V_{REF} = 1 \sim 5.5$
SID113	A_THD	全高調波歪み	-	-	-65	dB	$F_{IN} = 10\text{kHz}$

CSD

表 14. CSD ブロック仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
CSD ブロック仕様							
SID308	VCSD	動作電圧の範囲	1.71	-	5.5	V	
SID309	IDAC1	8ビット分解能用の DNL	-1	-	1	LSB	
SID310	IDAC1	8ビット分解能用の INL	-3	-	3	LSB	
SID311	IDAC2	7ビット分解能用の DNL	-1	-	1	LSB	
SID312	IDAC2	7ビット分解能用の INL	-3	-	3	LSB	
SID313	SNR	信号対ノイズ比。特性評価で保証	5	-	-	比率	静電容量範囲 = $9\text{pF} \sim 35\text{pF}$ 、感度 = 0.1pF
SID314	IDAC1_CRT1	高域での Idac1 (8ビット) の出力電流	-	612	-	μA	
SID314A	IDAC1_CRT2	低域での Idac1 (8ビット) の出力電流	-	306	-	μA	
SID315	IDAC2_CRT1	高域での Idac2 (7ビット) の出力電流	-	304.8	-	μA	
SID315A	IDAC2_CRT2	低域での Idac2 (7ビット) の出力電流	-	152.4	-	μA	

デジタル ペリフェラル

次の仕様は、タイマー モードでのタイマー/カウンター/ PWM ペリフェラルに適用されます。

タイマー/カウンター/PWM

表 15. TCPWM 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.TCPWM.1	ITCPWM1	3MHz でのブロック消費電流	-	-	45	μA	すべてのモード (タイマー/カウンター/ PWM)
SID.TCPWM.2	ITCPWM2	12MHz でのブロック消費電流	-	-	155	μA	すべてのモード (タイマー/カウンター/ PWM)
SID.TCPWM.2A	ITCPWM3	48MHz でのブロック消費電流	-	-	650	μA	すべてのモード (タイマー/カウンター/ PWM)
SID.TCPWM.3	TCPWMFREQ	動作周波数	-	-	Fc	MHz	Fc max = Fcpu. 最大値 = 48MHz
SID.TCPWM.4	TPWMENEXT	すべてのトリガー イベント用の入カトリガー パルス幅	2/Fc	-	-	ns	選択した動作モードによってトリガー イベントはストップ、スタート、リロード、カウント、キャプチャ、またはキル
SID.TCPWM.5	TPWMEXT	出カトリガー パルス幅	2/Fc	-	-	ns	オーバーフロー、アンダーフローおよび CC (カウンター=比較値) トリガー出力の最小幅
SID.TCPWM.5A	TCRES	カウンター分解能	1/Fc	-	-	ns	連続したカウント間の最小時間
SID.TCPWM.5B	PWMRES	PWM 分解能	1/Fc	-	-	ns	PWM 出力の最小パルス幅
SID.TCPWM.5C	QRES	直交位相入力分解能	1/Fc	-	-	ns	直交位相入力同士間の最小パルス幅

I²C

表 16. 固定 I²C の DC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID149	I _{I2C1}	100kHz でのブロック消費電流	-	10.5	55	μA	
SID150	I _{I2C2}	400kHz でのブロック消費電流	-	-	135	μA	
SID151	I _{I2C3}	1Mbps でのブロック消費電流	-	-	310	μA	
SID152	I _{I2C4}	I ² C がディープスリープモードで有効の場合	-	-	1.4	μA	

表 17. 固定 I²C の AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID153	F _{I2C1}	ビット レート	-	-	1	Mbps	

LCD ダイレクト ドライブ
表 18. LCD 直接駆動 DC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID154	I _{LCDFLOW}	低消費電力モードでの動作電流	–	5	–	μA	50Hzでの16×4の小さいセグメント ディスプレイ
SID155	C _{LCDCAP}	セグメント/コモン ドライバー当たりの LCD 静電容量	–	500	5000	pF	設計上保証
SID156	LCD _{OFFSET}	長時間セグメント オフセット	–	20	–	mV	
SID157	I _{LCDDOP1}	PWM モード電流。 5V バイアス 24MHz IMO	–	0.6	–	mA	32 × 4 セグメント、 50Hz、25°C
SID158	I _{LCDDOP2}	PWM モード電流。 3.3V バイアス 24MHz の IMO	–	0.5	–	mA	32 × 4 セグメント、 50Hz、25°C

表 19. LCD 直接駆動の AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID159	F _{LCD}	LCD フレーム レート	10	50	150	Hz	

表 20. 固定 UART の DC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID160	I _{UART1}	100K ビット/秒時のブロック消費電流	–	9	55	μA	
SID161	I _{UART2}	1000Kビット/秒時のブロック消費電流	–	–	312	μA	

表 21. 固定 UART AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID162	F _{UART}	ビット レート	–	–	1	Mbps	

SPI 仕様
表 22. 固定 SPI DC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位
SID163	I _{SPI1}	1M ビット/秒時のブロック消費電流	–	–	360	μA
SID164	I _{SPI2}	4M ビット/秒時のブロック消費電流	–	–	560	μA
SID165	I _{SPI3}	8M ビット/秒時のブロック消費電流	–	–	600	μA

表 23. 固定 SPI の AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位
SID166	F _{SPI}	SPI 動作周波数 (マスター; 6 倍 オーバーサンプリング)	–	–	8	MHz

表 24. 固定 SPI マスター モードの AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位
SID167	T _{DMO}	Sclock 駆動エッジ後の MOSI 有効期間	–	–	15	ns
SID168	T _{DSI}	Sclock キャプチャ エッジ前の MISO 有効時間。フル クロックで、MISO の遅いサンプリングが採用	20	–	–	ns
SID169	T _{HMO}	スレープでのエッジ キャプチャ時の前の MOSI データ ホールド時間	0	–	–	ns

表 25. 固定 SPI スレープ モード AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位
SID170	T _{DMI}	Sclock キャプチャ エッジ前の MOSI 有効時間	40	–	–	ns
SID171	T _{DSO}	Sclock 駆動エッジ後の MISO 有効期間	–	–	42 + 3 × T _{SCB}	ns
SID171A	T _{DSO_ext}	外部クロック モードでの Sclock 駆動エッジ後の MISO 有効期間	–	–	48	ns
SID172	T _{HSO}	前の MISO データ ホールド時間	0	–	–	ns
SID172A	T _{SSELSCK}	SSEL 有効から最初の SCK 有効エッジまでの時間	100	–	–	ns

メモリ
表 26. フラッシュの DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID173	V _{PE}	消去およびプログラム電圧	1.71	-	5.5	V	

表 27. フラッシュ AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID174	T _{ROWWRITE}	行 (ブロック) 書き込み時間 (消去 + 書き込み)	-	-	20	ms	行 (ブロック) = 256 バイト
SID175	T _{ROWERASE}	行消去時間	-	-	13	ms	
SID176	T _{ROWPROGRAM}	消去後の行プログラム時間	-	-	7	ms	
SID178	T _{BULKERASE}	バルク消去時間 (128KB)	-	-	35	ms	
SID180	T _{DEVPROG}	デバイスへのプログラム合計 時間	-	-	15	秒	特性評価で保証
SID181	F _{END}	フラッシュ アクセス可能回数	100K	-	-	サイクル	特性評価で保証
SID182	F _{RET}	フラッシュのデータ保持期間。 T _A ≤ 55°C、プログラム/消去 サイクル = 10 万回	20	-	-	年	特性評価で保証
SID182A		フラッシュのデータ保持期間。 T _A ≤ 85°C、プログラム/消去 サイクル = 1 万回	10	-	-	年	特性評価で保証
SID182B	F _{RETQ}	フラッシュのデータ保持期間。 T _A ≤ 105°C、プログラム/消去 サイクル = 1 万回、 T _A ≥ 85°C の場合 ≤ 3 年	10	20	-	年	特性評価で保証

システム リソース

電圧低下時のパワーオン リセット (POR)

表 28. 低精度パワーオン リセット (PRES)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID185	V _{RISEIPOR}	立ち上がりトリップ電圧	0.80	–	1.45	V	特性評価で保証
SID186	V _{FALLIPOR}	立ち下がりトリップ電圧	0.75	–	1.4	V	特性評価で保証
SID187	V _{IPORHYST}	ヒステリシス	15	–	200	mV	特性評価で保証

表 29. 高精度パワーオン リセット (POR)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID190	V _{FALLPPOR}	アクティブ モードとスリープモードでの BOD トリップ電圧	1.64	~	–	V	特性評価で保証
SID192	V _{FALLDPSLP}	ディープスリープ モードでの BOD トリップ電圧	1.4	–	–	V	特性評価で保証

電圧モニター

表 30. 電圧モニタの DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID195	V _{LVI1}	LVI_A/D_SEL[3:0] = 0000b	1.71	1.75	1.79	V	
SID196	V _{LVI2}	LVI_A/D_SEL[3:0] = 0001b	1.76	1.80	1.85	V	
SID197	V _{LVI3}	LVI_A/D_SEL[3:0] = 0010b	1.85	1.90	1.95	V	
SID198	V _{LVI4}	LVI_A/D_SEL[3:0] = 0011b	1.95	2.00	2.05	V	
SID199	V _{LVI5}	LVI_A/D_SEL[3:0] = 0100b	2.05	2.10	2.15	V	
SID200	V _{LVI6}	LVI_A/D_SEL[3:0] = 0101b	2.15	2.20	2.26	V	
SID201	V _{LVI7}	LVI_A/D_SEL[3:0] = 0110b	2.24	2.30	2.36	V	
SID202	V _{LVI8}	LVI_A/D_SEL[3:0] = 0111b	2.34	2.40	2.46	V	
SID203	V _{LVI9}	LVI_A/D_SEL[3:0] = 1000b	2.44	2.50	2.56	V	
SID204	V _{LVI10}	LVI_A/D_SEL[3:0] = 1001b	2.54	2.60	2.67	V	
SID205	V _{LVI11}	LVI_A/D_SEL[3:0] = 1010b	2.63	2.70	2.77	V	
SID206	V _{LVI12}	LVI_A/D_SEL[3:0] = 1011b	2.73	2.80	2.87	V	
SID207	V _{LVI13}	LVI_A/D_SEL[3:0] = 1100b	2.83	2.90	2.97	V	
SID208	V _{LVI14}	LVI_A/D_SEL[3:0] = 1101b	2.93	3.00	3.08	V	
SID209	V _{LVI15}	LVI_A/D_SEL[3:0] = 1110b	3.12	3.20	3.28	V	
SID210	V _{LVI16}	LVI_A/D_SEL[3:0] = 1111b	4.39	4.50	4.61	V	
SID211	LVI_IDD	ブロック電流	–	–	100	μA	特性評価で保証

表 31. 電圧モニターの AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID212	T _{MONTRIP}	電圧モニタートリップ時間	–	–	1	μs	特性評価で保証

SWD インターフェース

表 32. SWD インターフェース仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID213	F_SWDCLK1	$3.3V \leq V_{DD} \leq 5.5V$	-	-	14	MHz	SWDCLK は CPU クロック周波数の 1/3 以下
SID214	F_SWDCLK2	$1.71V \leq V_{DD} \leq 3.3V$	-	-	7	MHz	SWDCLK は CPU クロック周波数の 1/3 以下
SID215	T_SWDI_SETUP	$T = 1/f \text{ SWDCLK}$	$0.25 * T$	-	-	ns	特性評価で保証
SID216	T_SWDI_HOLD	$T = 1/f \text{ SWDCLK}$	$0.25 * T$	-	-	ns	特性評価で保証
SID217	T_SWDO_VALID	$T = 1/f \text{ SWDCLK}$	-	-	$0.5 * T$	ns	特性評価で保証
SID217A	T_SWDO_HOLD	$T = 1/f \text{ SWDCLK}$	1	-	-	ns	特性評価で保証

内部主発振器

表 33. IMO の DC 仕様

(設計評価上保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID218	I _{IMO1}	48MHz での IMO 動作電流	-	-	1000	μA	
SID219	I _{IMO2}	24MHz での IMO 動作電流	-	-	325	μA	
SID220	I _{IMO3}	12MHz での IMO 動作電流	-	-	225	μA	
SID221	I _{IMO4}	6MHz での IMO 動作電流	-	-	180	μA	
SID222	I _{IMO5}	3MHz での IMO 動作電流	-	-	150	μA	

表 34. IMO の AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID223	F _{IMOTOL1}	3MHz から 48MHz までの周波数変化	-	-	±2	%	
SID226	T _{STARTIMO}	IMO 起動時間	-	-	12	μs	
SID227	T _{JITRMSIMO1}	3MHz での RMS ジッタ	-	156	-	ps	
SID228	T _{JITRMSIMO2}	24MHz での RMS ジッタ	-	145	-	ps	
SID229	T _{JITRMSIMO3}	48MHz での RMS ジッタ	-	139	-	ps	

内部低速発振器

表 35. ILO の DC 仕様

(設計評価上保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID231	I _{ILO1}	32kHz での ILO 動作電流	-	0.3	1.05	μA	特性評価で保証
SID233	I _{ILOLEAK}	ILO リーク電流	-	2	15	nA	設計上保証

表 36. ILO の AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID234	T _{STARTILO1}	ILO 起動時間	-	-	2	ms	特性評価で保証
SID236	T _{ILODUTY}	ILO のデューティ比	40	50	60	%	特性評価で保証
SID237	F _{ILOTRIM1}	32kHz の調整後周波数	15	32	50	kHz	±60% (調整あり)

表 37. PLL の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID410	IDD_PLL_48	入力 = 3MHz、出力 = 48MHz	–	530	610	μA	
SID411	IDD_PLL_24	入力 = 3MHz、出力 = 24MHz	–	300	405	μA	

表 38. PLL の AC 仕様

仕様 ID#	パラメーター	説明	MIN	Typ	MAX	単位	詳細/条件
SID412	F _{PLLIN}	PLL 入力周波数	1	–	48	MHz	
SID413	F _{PLLINT}	PLL 中間周波数; プリスケーラ出力	1	–	3	MHz	
SID414	F _{PLLVCO}	ポスト分周前の VCO 出力周波数	22.5	–	104	MHz	
SID415	D _{IVVCO}	VCO 出力のポスト分周器の範囲; PLL 出力周波数は F _{PLLVCO} /D _{IVVCO}	1	–	8	–	
SID416	PLLlocktime	起動時のロック時間	–	–	250	μs	
SID417	Jperiod_1	VCO ≥ 67MHz 時の周期ジッタ	–	–	150	ps	設計評価で保証
SID416A	Jperiod_2	VCO ≤ 67MHz 時の周期ジッタ	–	–	200	ps	設計評価で保証

表 39. 外部クロック仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID305	ExtClkFreq	外部クロック入力周波数	0	–	48	MHz	特性評価で保証
SID306	ExtClkDuty	デューティ サイクル; V _{DD/2} で測定	45	–	55	%	特性評価で保証

表 40. 時計用水晶発振器 (WCO) 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
IMO WCO-PLL 校正モード							
SID330	IMOWCO1	IMO が 3MHz にセットされた時の周波数変動	–0.6	–	0.6	%	WCO 許容誤差を含まない
SID331	IMOWCO2	IMO が 5MHz にセットされた時の周波数変動	–0.4	–	0.4	%	WCO 許容誤差を含まない
SID332	IMOWCO3	IMO が 7 MHz または 9MHz にセットされた時の周波数変動	–0.3	–	0.3	%	WCO 許容誤差を含まない
SID333	IMOWCO4	その他の IMO 周波数設定時の周波数変動	–0.2	–	0.2	%	WCO 許容誤差を含まない
WCO 仕様							
SID398	FWCO	水晶の周波数	–	32.768	–	kHz	
SID399	FTOL	周波数許容誤差	–	50	250	ppm	20ppm の水晶
SID400	ESR	等価直列抵抗	–	50	–	kΩ	
SID401	PD	駆動レベル	–	–	1	μW	
SID402	TSTART	起動時間	–	–	500	ms	
SID403	CL	水晶の負荷容量	6	–	12.5	pF	
SID404	C0	水晶の端子間静電容量	–	1.35	–	pF	
SID405	IWCO1	動作電流 (高消費電力モード)	–	–	8	μA	

表 41. 外部水晶発振器 (ECO) 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID316	IECO1	ブロック動作電流	–	–	1.5	mA	
SID317	FECO	水晶の周波数範囲	4	–	33	MHz	

表 42. UDB の AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
データパスの性能							
SID249	F _{MAX-TIMER}	UDB ペアの 16 ビット タイマーの最大周波数	–	–	48	MHz	
SID250	F _{MAX-ADDER}	UDB ペアの 16 ビット加算器の最大周波数	–	–	48	MHz	
SID251	F _{MAX_CRC}	UDB ペアの 16 ビット CRC/PRS の最大周波数	–	–	48	MHz	
UDB での PLD の性能							
SID252	F _{MAX_PLD}	UDB ペアの 2 パス PLD 機能の最大周波数	–	–	48	MHz	
クロックから出力までの時間							
SID253	T _{CLK_OUT_UB1}	25°C でのクロック入力からデータ出力までの伝播遅延時間 (標準値)	–	15	–	ns	
SID254	T _{CLK_OUT_UB2}	クロック入力からデータ出力までの伝搬遅延時間 (最悪値)	–	25	–	ns	

表 43. ブロック仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID256	T _{WS48}	48MHz でのウェイト ステートの数	2	–	–		CPU はフラッシュに格納されるファームウェアを実行。特性評価で保証
SID257	T _{WS24}	24MHz でのウェイト ステートの数	1	–	–		CPU はフラッシュに格納されるファームウェアを実行。特性評価で保証
SID260	V _{REFSAR}	SAR 用の調整された内部リファレンス電圧	–1	–	+1	%	V _{bg} (1.024V) の割合。特性評価で保証
SID261	F _{SARINTREF}	外部リファレンスバイパス電圧無し の SAR 動作速度	–	500	–	ksps	12 ビット分解能。特性評価で保証
SID262	T _{CLKSWITCH}	クロック 1 周期でのクロック 1 から クロック 2 へのクロック切り替え	3	–	4	周期	設計上保証

* T_{ws48} と T_{ws24} は設計上保証されます。

表 44. UDB ポート アダプタ仕様

(LPC コンポーネント仕様に基づくもので、TLCLKDO を除いてすべての特性は設計上保証されます : 10pF の負荷、3V の V_{DDIO} および V_{DD})

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID263	T_{LCLKDO}	LCLK から出力までの遅延時間	-	-	18	ns	
SID264	$T_{DINLCLK}$	LCLK 立ち上がりエッジまでの入力セットアップ時間	-	-	7	ns	
SID265	$T_{DINLCLKHLD}$	LCLK クロック立ち上がりエッジからの入力ホールド時間	0	-	-	ns	
SID266	$T_{LCLKHIZ}$	LCLK から出力トライステートまでの時間	-	-	28	ns	
SID267	T_{FLCLK}	LCLK 周波数	-	-	33	MHz	
SID268	$T_{LCLKDUTY}$	LCLK デューティ比 (HIGH 時の割合)	40	-	60	%	

表 45. USB デバイス ブロック仕様 (USB のみ)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID321	Vusb_5	USB 動作用のデバイス電源電圧	4.5	-	5.5	V	USB が設定済み、USB レギュレータが有効
SID322	Vusb_3.3	USB 動作用のデバイス電源電圧	3.15	-	3.6	V	USB が設定済み、USB レギュレータがバイパス
SID323	Vusb_3	USB 動作用のデバイス電源電圧 (機能動作のみ)	2.85	-	3.6	V	USB が設定済み、USB レギュレータがバイパス
SID324	Iusb_config	アクティブ モードでのデバイス供給電流、IMO = 24MHz	-	10	-	mA	$V_{DDD} = 5V$
SID325	Iusb_config	アクティブ モードでのデバイス供給電流、IMO = 24MHz	-	8	-	mA	$V_{DDD} = 3.3V$
SID326	Isub_suspend	スリープ モードでのデバイス供給電流	-	0.5	-	mA	$V_{DDD} = 5V$ 、PICU ウェイクアップ
SID327	Isub_suspend	スリープ モードでのデバイス供給電流	-	0.3	-	mA	$V_{DDD} = 5V$ 、デバイス切断
SID328	Isub_suspend	スリープ モードでのデバイス供給電流	-	0.5	-	mA	$V_{DDD} = 3.3V$ 、PICU ウェイクアップ
SID329	Isub_suspend	スリープ モードでのデバイス供給電流	-	0.3	-	mA	$V_{DDD} = 3.3V$ 、デバイス切断

表 46. SIO 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SIO の DC 仕様							
SID330	V_{IH}	入力電圧の HIGH 閾値	$0.7 * V_{DD}$	-	-	V	CMOS 入力; V_{DDIO} を基準にした
SID331	V_{IL}	入力電圧の LOW 閾値	-	-	$0.3 * V_{DD}$	V	CMOS 入力; V_{DDIO} を基準にした
SID332	V_{IH}	差動入力 HIGH 電圧; ヒステリシスが無効	$V_r + 0.2$	-	-	V	V_r は SIO リファレンス電圧
SID333	V_{IL}	差動入力 LOW 電圧; ヒステリシスが無効	-	-	$V_r - 0.2$	V	V_r は SIO リファレンス電圧
SID334	V_{OH}	非安定化モードでの出力 HIGH 電圧	$V_{DDIO} - 0.4$	-	-	V	$I_{OH} = 4 \text{ mA}$ 、 $V_{DD} = 3.3V$
SID335	V_{OH}	安定化モードでの出力 HIGH 電圧	$V_r - 0.65$	-	$V_r + 0.2$	V	$I_{OH} = 1 \text{ mA}$
SID336	V_{OH}	安定化モードでの出力 HIGH 電圧	$V_r - 0.3$	-	$V_r + 0.2$	V	$I_{OH} = 0.1 \text{ mA}$

表 46. SIO 仕様 (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID337	V _{OL}	出力 LOW 電圧	–	–	0.8	V	V _{DDIO} = 3.3V、I _{OL} = 25 mA
SID338	V _{OL}	出力 LOW 電圧	–	–	0.4	V	V _{DDIO} = 1.8V、I _{OL} = 4mA
SID339	V _{inref}	入力ファレンス電圧	0.48	–	0.52*V _{DDIO}	V	
SID340	V _{outref}	出力ファレンス電圧 (安定化モード)	1	–	V _{DDIO} - 1	V	V _{DDIO} > 3.3
SID341	V _{outref}	出力ファレンス電圧 (安定化モード)	1	–	V _{DDIO} - 0.5	V	V _{DDIO} < 3.3
SID342	R _{PULLUP}	プルアップ抵抗	3.5	5.6	8.5	kΩ	
SID343	R _{PULLDOWN}	プルダウン抵抗	3.5	5.6	8.5	kΩ	
SID344	I _{IL}	入力リーク電流 (絶対値)	–	–	14	nA	V _{IH} ≤ V _{DDIO} ; 25°C
SID345	I _{IL}	入力リーク電流 (絶対値)	–	–	10	nA	V _{IH} > V _{DDIO} ; 25°C
SID346	C _{IN}	入力静電容量	–	–	7	pF	
SID347	VHYST-Single	シングル エンド モードでのヒステリシス	–	40	–	mV	
SID348	VHYST_Diff	差動モードでのヒステリシス	–	35	–	mV	
SID349	I _{DIODE}	保護ダイオードを通して V _{DD} / V _{SS} に流れる電流	–	–	100	μA	

SIO の AC 仕様 (設計上保証)

SID350	T _{RISEF}	高速 Strong モードでの立ち上がり時間	–	–	12	ns	V _{DD} = 3.3V、C _{load} = 25pF
SID351	T _{FALLF}	高速 Strong モードでの立ち下がり時間	–	–	12	ns	V _{DD} = 3.3V、C _{load} = 25pF
SID352	T _{RISES}	低速 Strong モードでの立ち上がり時間	–	–	75	ns	V _{DD} = 3.3V、C _{load} = 25pF
SID353	T _{FALLS}	低速 Strong モードでの立ち下がり時間	–	–	70	ns	V _{DD} = 3.3V、C _{load} = 25pF
SID354	F _{SIOUT1}	SIO Fout ; 非安定化、高速 Strong モード	–	–	33	MHz	3.3V ≤ V _{DD} ≤ 5.5V、25pF。設計上保証
SID355	F _{SIOUT2}	SIO Fout ; 非安定化、高速 Strong モード	–	–	16	MHz	1.71V ≤ V _{DD} ≤ 3.3V、25pF
SID356	F _{SIOUT3}	SIO Fout ; 安定化、高速 Strong モード	–	–	20	MHz	3.3V ≤ V _{DD} ≤ 5.5V、25pF
SID357	F _{SIOUT4}	SIO Fout ; 安定化、高速 Strong モード	–	–	10	MHz	1.71V ≤ V _{DD} ≤ 3.3V、25pF
SID358	F _{SIOUT3}	SIO Fout ; 非安定化、低速 Strong モード	–	–	5	MHz	3.3V ≤ V _{DD} ≤ 5.5V、25pF
SID359	F _{SIOUT4}	SIO Fout ; 非安定化、低速 Strong モード	–	–	3.5	MHz	1.71V ≤ V _{DD} ≤ 3.3V、25pF
SID360	F _{SIOUT5}	SIO Fout ; 安定化、低速 Strong モード	–	–	2.5	MHz	1.7V ≤ V _{DD} ≤ 5.5V、25pF
SID361	F _{GPIOIN}	GPIO の入力動作周波数 ; 1.71V ≤ V _{DD} ≤ 5.5V	–	–	48	MHz	1.71V ≤ V _{DD} ≤ 5.5V

表 47. CAN 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID420	IDD_CAN	ブロックの消費電流	–	–	200	uA	
SID421	CAN_bits	CANビットレート (最小は8MHzクロック)	–	–	1	Mbps	

注文情報

PSoC 4200L ファミリの型番と特長は下表のとおりです。

表 48. PSoC 4200L の注文情報

カテゴリ	MPN	特長													パッケージ				
		CPUの最大速度 (MHz)	フラッシュ (KB)	SRAM (Kバイト)	UDB	オペアンプ (CTBm)	CSD	LCD 直接駆動	12ビット SAR ADC	LP コンパレータ	TCPWM ブロック	SCB ブロック	フルスピード USB	CAN	GPIO	48-TQFP	64-TQFP	68-QFN	124-VFBGA
4246	CY8C4246AZI-L423	48	64	8	8	2	1	✓	1000ksps	2	8	3	-	-	38	✓	-	-	-
	CY8C4246AZI-L433	48	64	8	8	2	-	-	1000ksps	2	8	3	✓	-	38	✓	-	-	-
	CY8C4246AZI-L435	48	64	8	8	2	-	-	1000ksps	2	8	4	✓	-	53	-	✓	-	-
	CY8C4246AZI-L445	48	64	8	8	2	2	✓	1000ksps	2	8	4	✓	-	53	-	✓	-	-
	CY8C4246LTI-L445	48	64	8	8	2	2	✓	1000ksps	2	8	4	✓	-	57	-	-	✓	-
4247	CY8C4247AZI-L423	48	128	16	8	2	1	✓	1000ksps	2	8	3	-	-	38	✓	-	-	-
	CY8C4247AZI-L433	48	128	16	8	2	-	-	1000ksps	2	8	3	✓	-	38	✓	-	-	-
	CY8C4247AZI-L445	48	128	16	8	2	2	✓	1000ksps	2	8	4	✓	-	53	-	✓	-	-
	CY8C4247LTI-L445	48	128	16	8	2	2	✓	1000ksps	2	8	4	✓	-	57	-	-	✓	-
	CY8C4247AZI-L475	48	128	16	8	4	2	-	1000ksps	2	8	4	✓	-	53	-	✓	-	-
	CY8C4247LTI-L475	48	128	16	8	4	2	-	1000ksps	2	8	4	✓	-	57	-	-	✓	-
	CY8C4247BZI-L479	48	128	16	8	4	2	-	1000ksps	2	8	4	✓	-	98	-	-	-	✓
	CY8C4247AZI-L485	48	128	16	8	4	2	✓	1000ksps	2	8	4	✓	✓	53	-	✓	-	-
	CY8C4247LTI-L485	48	128	16	8	4	2	✓	1000ksps	2	8	4	✓	✓	57	-	-	✓	-
	CY8C4247LTQ-L485	48	128	16	8	4	2	✓	1000ksps	2	8	4	✓	✓	57	-	-	✓	-
	CY8C4247BZI-L489	48	128	16	8	4	2	✓	1000ksps	2	8	4	✓	✓	98	-	-	-	✓
4248	CY8C4248BZI-L469	48	256	32	8	4	-	-	1000ksps	2	8	4	-	-	96	-	-	-	✓
	CY8C4248AZI-L475	48	256	32	8	4	2	-	1000ksps	2	8	4	✓	-	53	-	✓	-	-
	CY8C4248LTI-L475	48	256	32	8	4	2	-	1000ksps	2	8	4	✓	-	57	-	-	✓	-
	CY8C4248BZI-L479	48	256	32	8	4	2	-	1000ksps	2	8	4	✓	-	98	-	-	-	✓
	CY8C4248AZI-L485	48	256	32	8	4	2	✓	1000ksps	2	8	4	✓	✓	53	-	✓	-	-
	CY8C4248LTI-L485	48	256	32	8	4	2	✓	1000ksps	2	8	4	✓	✓	57	-	-	✓	-
	CY8C4248LTQ-L485	48	256	32	8	4	2	✓	1000ksps	2	8	4	✓	✓	57	-	-	✓	-
	CY8C4248BZI-L489	48	256	32	8	4	2	✓	1000ksps	2	8	4	✓	✓	98	-	-	-	✓

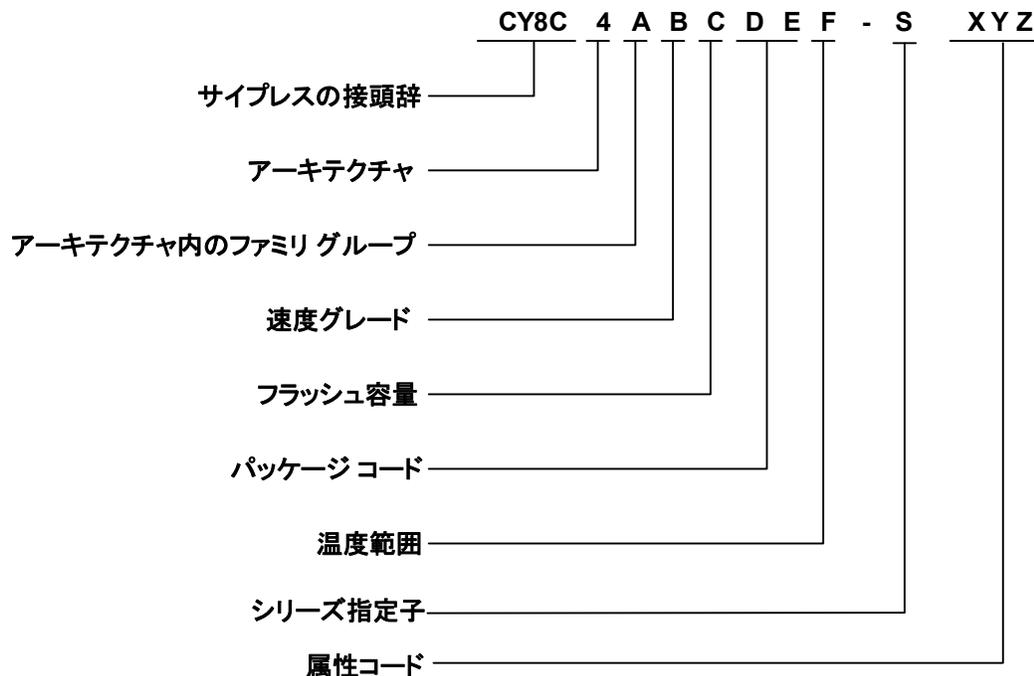
表 48 に使用される命名法は次の型番の命名規則にもとづいています。

表 49. MPN 命名法

フィールド	説明	値	意味
CY8C	サイプレスの接頭辞		
4	アーキテクチャ	4	PSoC 4
A	ファミリー	2	4200 ファミリ
B	CPU 速度	4	48MHz
C	フラッシュ容量	6	64KB
		7	128KB
		8	256KB
DE	パッケージコード	AX、AZ	TQFP
		LT	QFN
		BU	BGA
		FD	CSP
F	温度範囲	I	産業用
		Q	拡張産業用
S	シリーズ指定子	S	PSoC 4 S シリーズ
		L	PSoC 4 L シリーズ
		M	PSoC 4 M シリーズ
XYZ	属性コード	000 ~ 999	特定のファミリに設定される属性コード

製品番号の命名規則

製品番号は以下のとおりに定義されます。



パッケージ

表 50. パッケージ寸法

仕様 ID#	パッケージ	説明	パッケージ DWG#
PKG_1	124 ボール VFBGA	124 ボール、9mm x 9mm x 1.0mm 高さ、0.65mm ボールピッチ	001-97718
PKG_2	64 ピン TQFP	64 ピン TQFP、10mm x 10mm x 1.4mm 高さ、0.5mm ピッチ	51-85051
PKG_3	68 ピン QFN	68 ピン QFN、8mm x 8mm x 1.0mm 高さ、0.4mm ピッチ	001-09618
PKG_4	48 ピン TQFP	48 ピン TQFP、7mm x 7mm x 1.4mm 高さ、0.5mm のピッチ	51-85135

表 51. パッケージの特性

パラメーター	説明	条件	Min	Typ	Max	単位
T _A	動作周囲温度		-40	25	105	°C
T _J	動作接合部温度		-40	-	125	°C
T _{JA}	パッケージ θ _{JA} (124ボールVFBGA)		-	35	-	°C/W
T _{JA}	パッケージ θ _{JA} (64 ピン TQFP)		-	54	-	°C/W
T _{JA}	パッケージ θ _{JA} (68 ピン QFN)		-	17	-	°C/W
T _{JA}	パッケージ θ _{JA} (48 ピン TQFP)		-	67	-	°C/W

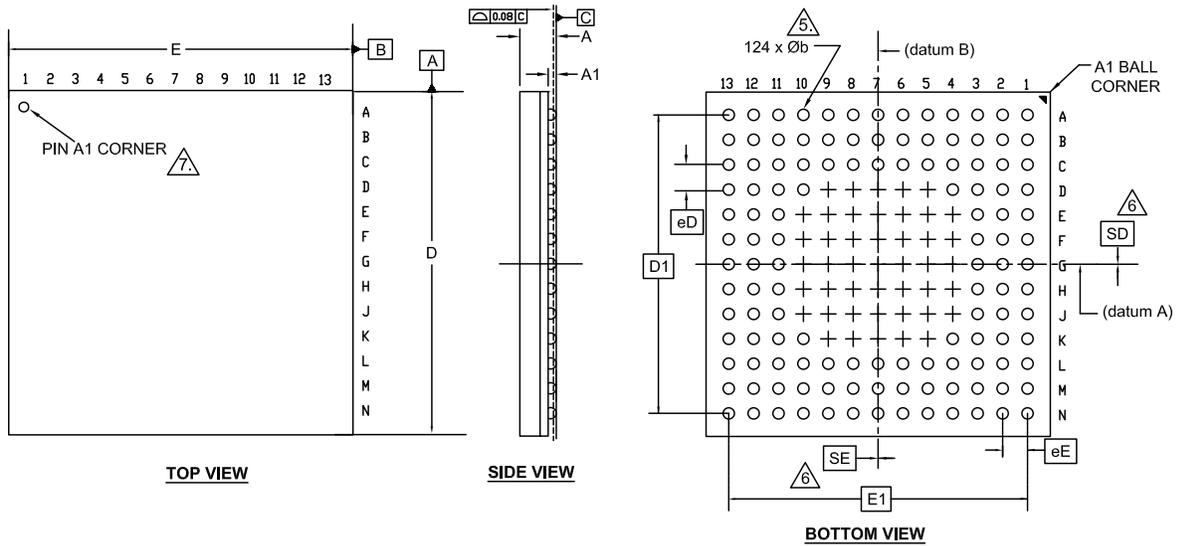
表 52. はんだリフロー ピーク温度

パッケージ	最高ピーク温度	ピーク温度での最長時間
すべてのパッケージ	260°C	30 秒

表 53. パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-2

パッケージ	MSL
すべてのパッケージ	MSL 3

図 8. 124 ボール VFBGA パッケージの外形



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.00
A1	0.16	0.21	0.26
D	8.90	9.00	9.10
E	8.90	9.00	9.10
D1	7.80 BSC		
E1	7.80 BSC		
MD	13		
ME	13		
N	124		
∅ b	0.25	0.30	0.35
eD	0.65 BSC		
eE	0.65 BSC		
SD	0		
SE	0		

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.
- JEDEC SPECIFICATION NO. REF. : MO-280.

001-97718 *B

図 9. 64 ピン TQFP パッケージの外形

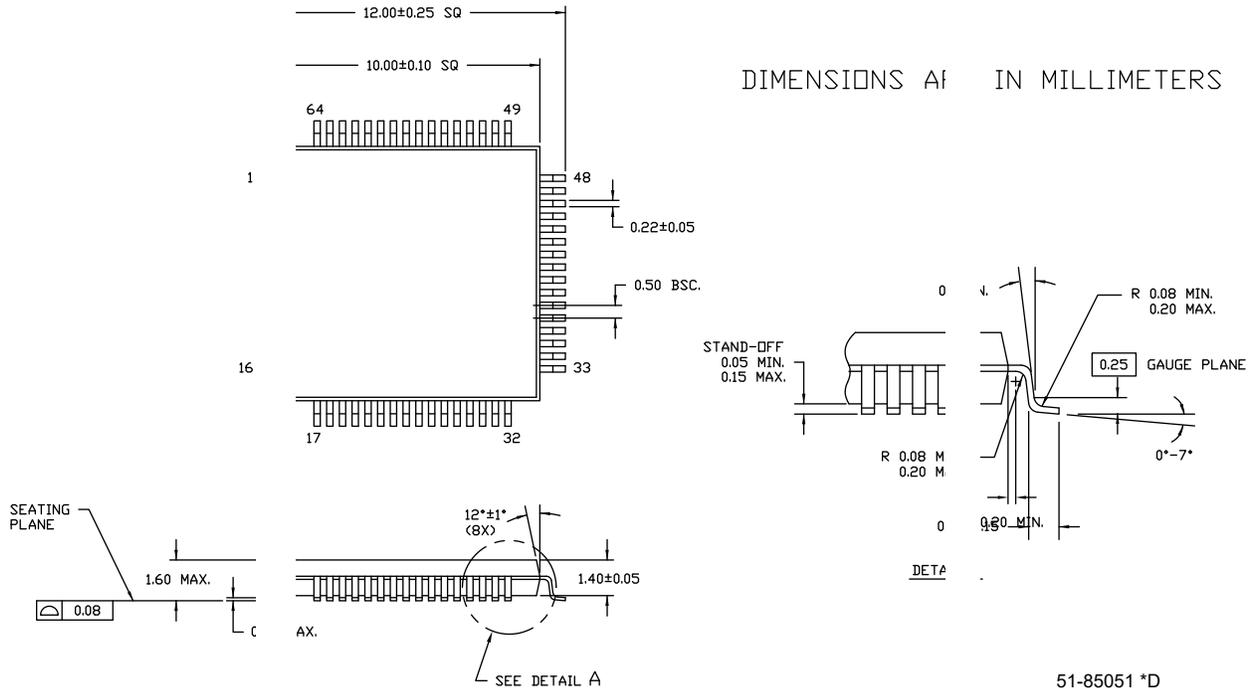
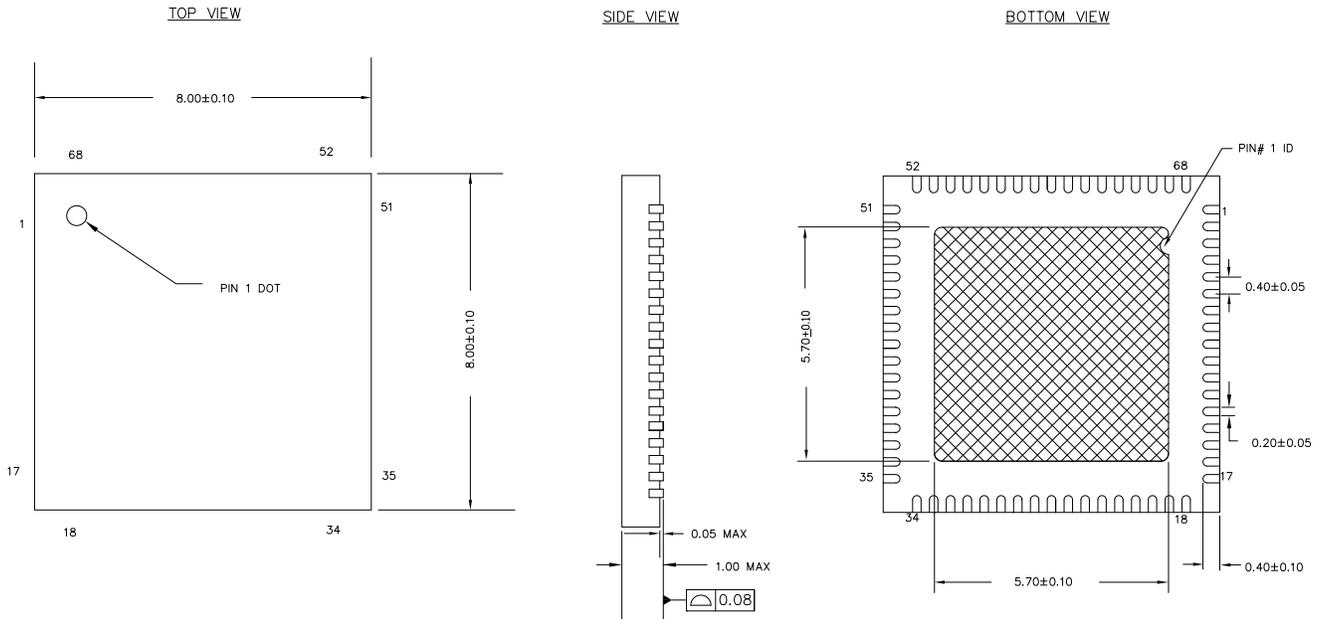


図 10. 68 ピン QFN パッケージの外形

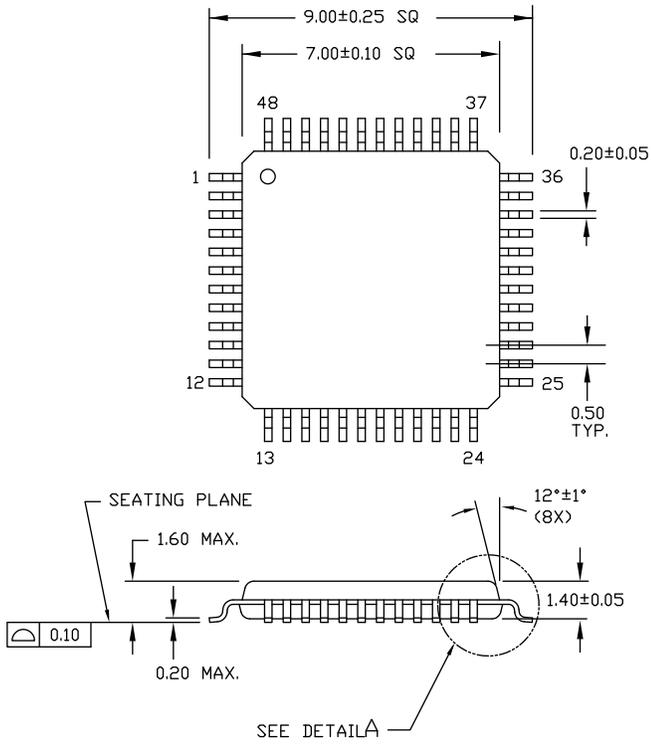


NOTES:

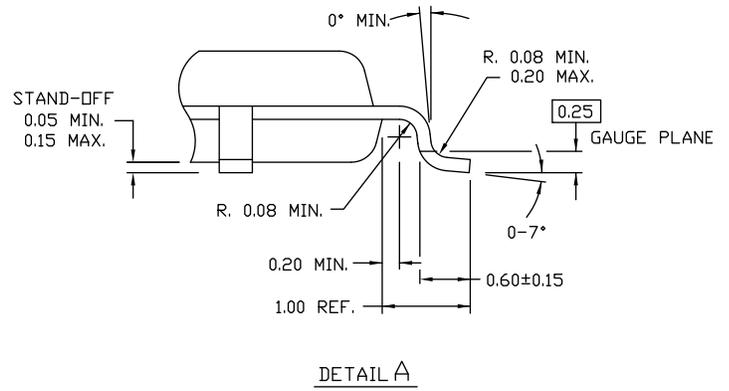
1. HATCH AREA IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC#: MO-220
3. PACKAGE WEIGHT: 17 ± 2mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-09618 *E

図 11. 48 ピン TQFP パッケージの外形



DIMENSIONS ARE IN MILLIMETERS



51-85135 *C

略語

表 54. 本書で使用する略語

略語	説明
abus	analog local bus (アナログ ローカル バス)
ADC	analog-to-digital converter (アナログ - デジタル変換器)
AG	analog global (アナログ グローバル)
AHB	AMBA high-performance bus (AMBA (アドバンスド マイクロコントローラ バス アーキテクチャ) 高性能バス)、Arm データ転送バス的一种
ALU	arithmetic logic unit (算術論理装置)
AMUXBUS	analog multiplexer bus (アナログ マルチプレクサバス)
API	application programming interface (アプリケーションプログラミング インターフェース)
APSR	application program status register (アプリケーションプログラム ステータスレジスタ)
Arm®	advanced RISC machine (高度な RISC マシン)、CPU アーキテクチャの一種
ATM	automatic thump mode (自動サンプリング モード)
BW	bandwidth (帯域幅)
CAN	Controller Area Network (コントローラ エリア ネットワーク)、通信プロトコルの一種
CMRR	common-mode rejection ratio (同相除去比)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査)、エラーチェック プロトコルの一種
DAC	digital-to-analog converter (デジタル - アナログ変換器)。IDAC、VDAC を参照してください
DFB	digital filter block (デジタル フィルター ブロック)
DIO	digital input/output (デジタル入出力)、アナログなし、デジタル機能のみを持つ GPIO。GPIO を参照してください。
DMIPS	Dhrystone million instructions per second (ドライストーン 100 万命令毎秒)
DMA	direct memory access (ダイレクト メモリ アクセス)。TD を参照してください。
DNL	differential nonlinearity (微分非直線性)。INL を参照してください。
DNU	do not use (使用しないでください)
DR	port write data registers (ポート書き込みデータ レジスタ)
DSI	digital system interconnect (デジタル システム インターコネクト)
DWT	data watchpoint and trace (データ ウォッチポイントとトレース)

表 54. 本書で使用する略語 (続き)

略語	説明
ECC	error correcting code (エラー訂正コード)
ECO	external crystal oscillator (外部水晶発振器)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能な読み出し専用メモリ)
EMI	electromagnetic interference (電磁干渉)
EMIF	external memory interface (外部メモリ インターフェース)
EOC	end of conversion (変換の終了)
EOF	end of frame (フレームの終了)
EPSR	execution program status register (実行プログラム ステータスレジスタ)
ESD	electrostatic discharge (静電気放電)
ETM	embedded trace macrocell (埋め込みトレース マクロセル)
FIR	finite impulse response (有限インパルス応答)。IIR を参照してください。
FPB	flash patch and breakpoint (フラッシュ パッチおよびブレークポイント)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力)、PSoC ピンに適用
HVI	high-voltage interrupt (高電圧割込み)。LVI、LVD を参照してください。
IC	integrated circuit (集積回路)
IDAC	current DAC (電流 DAC)。DAC、VDAC を参照してください。
IDE	integrated development environment (統合開発環境)
I ² C (別名: IIC)	Inter-Integrated Circuit (インター インテグレートド サーキット)、通信プロトコルの一種
IIR	infinite impulse response (無限インパルス応答)。FIR を参照してください。
ILO	internal low-speed oscillator (内部低速発振器)。IMO を参照してください。
IMO	internal main oscillator (内部主発振器)。ILO を参照してください。
INL	integral nonlinearity (積分非直線性)。DNL を参照してください。
I/O	input/output (入出力)。GPIO、DIO、SIO、USBIO を参照してください。
IPOR	initial power-on reset (初期パワーオン リセット)
IPSR	interrupt program status register (割込みプログラム ステータス レジスタ)

表 54. 本書で使用する略語 (続き)

略語	説明
IRQ	interrupt request (割込み要求)
ITM	instrumentation trace macrocell (計装トレース マクロセル)
LCD	liquid crystal display (液晶ディスプレイ)
LIN	local interconnect network (ローカル インターコ ネクト ネットワーク)、通信プロトコルの一種
LR	link register (リンクレジスタ)
LUT	lookup table (ルックアップ テーブル)
LVD	low-voltage detect (低電圧検出)。 LVI を参照してください。
LVI	low-voltage interrupt (低電圧割込み)。 HVI を参照してください。
LVTTTL	low-voltage transistor-transistor logic (低電圧トランジスタ-トランジスタ ロジック)
MAC	multiply-accumulate (積和演算)
MCU	microcontroller unit (マイクロコントローラー ユニット)
MISO	master-in slave-out (マスタ入カスレーブ出力)
NC	no connect (未接続)
NMI	nonmaskable interrupt (マスク不可割込み)
NRZ	non-return-to-zero (非ゼロ復帰)
NVIC	nested vectored interrupt controller (ネスト型ベクタ割込みコントローラー)
NVL	nonvolatile latch (不揮発性ラッチ)。 WOL を参照してください。
opamp	operational amplifier (オペアンプ)
PAL	programmable array logic (プログラマブル アレ イ ロジック)。PLD を参照してください。
PC	program counter (プログラム カウンター)
PCB	printed circuit board (プリント回路基板)
PGA	programmable gain amplifier (プログラマブル ゲイン アンプ)
PHUB	peripheral hub (ペリフェラル ハブ)
PHY	physical layer (物理層)
PICU	port interrupt control unit (ポート割込み制御ユニット)
PLA	programmable logic array (プログラマブル ロジック アレイ)
PLD	programmable logic device (プログラマブル ロ ジック デバイス)。PAL を参照してください。
PLL	phase-locked loop (位相同期回路)
PMDD	package material declaration data sheet (パッケージ材質宣言データシート)
POR	power-on reset (パワーオン リセット)

表 54. 本書で使用する略語 (続き)

略語	説明
PRES	precise power-on reset (高精度パワーオン リセット)
PRS	pseudo random sequence (疑似乱数列)
PS	port read data register (ポート読み出しデータ レジスタ)
PSoC™	Programmable System-on-Chip™ (プログラマブル システムオンチップ)
PSRR	power supply rejection ratio (電源電圧変動除去比)
PWM	pulse-width modulator (パルス幅変調器)
RAM	random-access memory (ランダム アクセス メモリ)
RISC	reduced-instruction-set computing (縮小命令セット コンピューティング)
RMS	root-mean-square (二乗平均平方根)
RTC	real-time clock (リアルタイム クロック)
RTL	register transfer language (レジスタ転送レベル言語)
RTR	remote transmission request (リモート送信要求)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)
SC/CT	switched capacitor/continuous time (スイッチド キャパシタ / 連続時間)
SCL	I ² C serial clock (I ² C シリアル クロック)
SDA	I ² C serial data (I ² C シリアル データ)
S/H	sample and hold (サンプル / ホールド)
SINAD	signal to noise and distortion ratio (信号対ノイズ比および歪み比)
SIO	special input/output (特殊入出力)、 高度機能 GPIO。GPIO を参照してください。
SOC	start of conversion (変換の開始)
SOF	start of frame (フレームの開始)
SPI	serial peripheral interface (シリアル ペリフェラ ル インターフェース)、通信プロトコルの一種
SR	slew rate (スルー レート)
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
SRES	software reset (ソフトウェア リセット)
SWD	serial wire debug (シリアル ワイヤ デバッグ)、 テスト プロトコルの一種
SWV	single-wire viewer (シングル ワイヤ ビューア)
TD	transaction descriptor (トランザクション ディス クリプタ)。DMA を参照してください。
THD	total harmonic distortion (全高調波歪み)

表 54. 本書で使用する略語 (続き)

略語	説明
TIA	transimpedance amplifier (トランスインピーダンス アンプ)
TRM	technical reference manual (技術リファレンス マニュアル)
TTL	transistor-transistor logic (トランジスタ - トランジスタ ロジック)
TX	transmit (送信)
UART	universal asynchronous transmitter receiver (汎用非同期トランスミッタ レシーバ)、 通信プロトコルの一種
UDB	universal digital block (ユニバーサル デジタル ブロック)
USB	universal serial bus (ユニバーサル シリアル バス)
USBIO	USB input/output (USB 入出力)、 USB ポートへの接続に使用される PSoC ピン
VDAC	voltage DAC (電圧 DAC)。DAC、IDAC を参照し てください。
WDT	watchdog timer (ウォッチドッグ タイマー)
WOL	write once latch (一度しか書き込めない ラッチ)。NVL を参照してください。
WRES	watchdog timer reset (ウォッチドッグ タイマー リセット)
XRES	external reset I/O pin (外部リセット I/O ピン)
XTAL	crystal (水晶)

本書の表記法

測定単位

表 55. 測定単位

記号	測定単位
°C	摂氏温度
dB	デシベル
fF	フェムト ファラド
Hz	ヘルツ
KB	1024 バイト
kbps	キロビット毎秒
Khr	キロ時間
kHz	キロヘルツ
kΩ	キロオーム
ksps	キロサンプル毎秒
LSB	最下位ビット
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラド
μH	マイクロヘンリー
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
nV	ナノボルト
Ω	オーム
pF	ピコファラド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル数毎秒
sqrtHz	ヘルツの平方根
V	ボルト

改訂履歴

文書名 : PSoC™ 4: PSoC 4200L データシート プログラマブル システム オンチップ (PSoC™) 文書番号 : 002-00068			
版	ECN	発行日	変更内容
**	4918933	09/17/2015	これは英語版 001-91686 Rev. *A を翻訳した日本語版 002-00068 Rev. ** です。
*A	5192745	03/29/2016	これは英語版 001-91686 Rev. *D を翻訳した日本語版 002-00068 Rev. *A です。
*B	5213845	04/14/2016	これは英語版 001-91686 Rev. *D を翻訳した日本語版 002-00068 Rev. *B です。 (未編集部分を組み合わせました。)
*C	5781088	06/26/2017	ロゴと著作権を更新。 パッケージダイアグラムを更新： 仕様 001-97718 の版数を ** から *A に変更しました。
*D	6737818	11/26/2019	これは英語版 001-91686 Rev. *J を翻訳した日本語版 002-00068 Rev. *D です。
*E	7160876	06/18/2021	これは英語版 001-91686 Rev. *K を翻訳した日本語版 002-00068 Rev. *E です。