



请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

概述

PSoC® 是一个可扩展且可重新配置的平台架构，用于包含 Arm® Cortex® CPU 的可编程嵌入式系统控制器系列（单核或多核）。基于超低功耗 40 nm 平台的 PSoC 6 产品系列有下面几个部分组成：具有低功耗闪存技术和数字可编程逻辑的双核微控制器，高性能的模数和数模转换，低功耗比较器以及标准的通信和时序外设。

特性

32 位双核 CPU 子系统

- 带有单周期乘法的 150 MHz Arm Cortex-M4F CPU（浮点和存储器保护单元），用于用户应用
- 带有单周期乘法和 MPU 的 100 MHz Cortex M0+ CPU，用于系统功能（用户不能进行编程）
- 用户可以选择 1.1 V 或 0.9 V 的内核逻辑操作
- 硬件中支持处理器间的通信
- 分别用于 M4 和 M0+ CPU 的 8 KB 四路组关联指令缓存
- 带有 1.1 V 内核操作的 CPU 活动功耗转换速率，对于 Cortex M4，该值为 40 μ A/MHz，对于 Cortex M0+，则为 20 μ A/MHz，两者都使用带内部降压调节器的 3.3 V 芯片供电电压
- 带有 0.9 V 内核操作的 CPU 活动功耗转换速率，对于 Cortex M4，该值为 22 μ A/MHz，对于 Cortex M0+，则为 15 μ A/MHz，两者都使用带内部降压调节器的 3.3 V 芯片供电电压
- 两个 DMA 控制器，其中每个都具有 16 个通道

灵活存储器子系统

- 1 MB 应用闪存，32 KB EEPROM 区域和 32 KB 监控闪存
- 128 位宽度的闪存访问，能够降低功耗
- 带有可选数据保留粒度的 SRAM
- 288 KB 大小的集成 SRAM
- 32 KB 数据保留边界（可保留 32 KB 到 288 KB，以步长为 32 KB 递增）
- 用于验证和安全功能的 OTP E-Fuse 存储器

低功耗操作 1.7 V~3.6 V

- 用于精细功耗管理的多种模式：活动、低功耗活动、睡眠、低功耗睡眠、深度睡眠以及休眠模式等
- 带有 64 KB SRAM 数据保留的深度睡眠模式下电流为 7 μ A，使用 3.3 V 的外部供电电源及内部降压
- 片上单入多出 (SIMO) 直流-直流降压转换器，< 1 μ A 静态电流
- 带有 64 字节存储器和实时时钟 (RTC) 的备用区域

灵活的时钟选项

- 片上晶体振荡器（高速、4~33 MHz，以及监视晶振、32 kHz）
- 用于倍增时钟频率的锁相环 (PLL)
- 8 MHz 内部主振荡器 (IMO)，准确度为 $\pm 2\%$
- 超低功耗 32 kHz 内部低速振荡器 (ILO)，准确度为 $\pm 10\%$
- 用于倍增 IMO 频率的锁频环 (FLL)

串行通信

- 九个运行时可重新配置的独立串行通信模块 (SCB)，这些模块中的每一个都能通过软件配置为 I²C、SPI 或 UART
- USB 全速双角色主机和器件接口

定时和脉冲宽度调制器

- 三十二个定时器 / 计数器 / 脉冲宽度调制器 (TCPWM) 模块
- 支持中心对齐、边沿对齐和伪随机模式
- 支持根据比较器触发 Kill 信号的功能

多达 104 个可编程 GPIO

- 可以编程驱动模式、强度和转换速率
- 具有六个过压容差 (OVT-GPIO) 引脚

封装

- 124-BGA（验证过程中）
- 80-WLCSP（高度为 0.33 和 0.43 mm）。薄型 80-WLCSP 封装（高度为 0.33 mm）正在合格检查过程中。

音频系统

- I2S 接口；高达 192 ksp/s 的字时钟
- 双 PDM 通道用于立体声数字麦克风

QSPI 接口

- 从外部四路 SPI 闪存实现现场执行 (XIP)
- 随时进行加密和解密
- 4 KB 大小 QSPI 缓冲器，能够在更低功耗条件下提供更好的 XIP 性能
- 支持 1、2、4 和双路 - 四路接口

勘误表：有关芯片勘误表的信息，请查看第 63 页上的“修订记录”。具体内容包括触发条件、受影响器件以及推荐的解决方案。

可编程模拟资源

- 12位1 Msps的SAR ADC包括差分、单端模式和16个具有信号求平均功能的通道序列发生器。
- 一个建立时间 < 5 μs 的12位电压模式 DAC
- 两个具有低功耗操作模式的运算放大器
- 可以在深度睡眠和休眠模式下工作的两个低功耗比较器
- 连接到 ADC 的内置温度传感器

可编程数字资源

- 12个可编程的逻辑模块（又称通用数字模块或简称为 UDB），其中每个模块包含 8 个宏单元和一个 8 位数据路径
- 可作为拖放式布尔基元（门控，寄存器）或 Verilog 可编程模块使用
- 赛普拉斯提供的外设组件库可将 UDB 用于常见功能，如 SDIO、通信外设（如 LIN、UART、SPI、I2C、S/PDIF）、波形发生器、伪随机序列发生器（PRS）以及许多其它功能。
- 通过智能 I/O（可编程 I/O）模块，可以对 GPIO 引脚上输入 / 输出的信号进行布尔运算
- 支持两个具有 Smart IO 模块的端口，这些端口的功能已经提供；可以在深度睡眠模式下使用这两个端口

电容式感应

- 赛普拉斯电容式 Sigma-Delta（CSD）提供了一流的信噪比、防水和接近感应性能
- 支持互电容感应（赛普拉斯 CSX），可以灵活使用自电容和互电容感应
- 触摸时唤醒，并且使用很低的电流
- 通过赛普拉斯提供的软件组件可以更快速、更容易地实现电容式感应设计
- 自动硬件调试（SmartSense™）

电量监测

- 该模块提供了处于不同功耗模式的时间的历史记录
- 通过该模块，可以观察软件电量监测过程并优化电源消耗

PSoC Creator 设计环境

- 集成开发环境提供了原理图设计输入和编译（包括模拟和数字自动布线）以及代码开发和调试等功能
- 应用编程接口（API 组件）可用于所有固定功能和可编程外设

行业标准工具的兼容性

- 输入原理图后，可以使用基于 ARM 的行业标准开发工具进行开发
- 可以在 PSoC Creator 中进行配置，然后将配置好的部分导入到 Arm/Keil 或 IAR IDE，用于进行代码开发和调试
- 支持行业标准 Arm 跟踪仿真跟踪模块

平台架构中具有内置的安全功能

- 基于 ROM 的信任根的多方面安全架构
- 安全启动不能被中断，直到建立系统保护属性为止
- 使用硬件散列在启动期间进行验证
- 逐步验证执行映像
- 针对受保护的子程序在只执行模式下安全执行代码
- 可以禁用所有调试和测试入口路径

加密加速器

- 对称和非对称加密方法（AES、3DES、RSA 和 ECC）以及散列函数（SHA-512、SHA-256）的硬件加速
- 真随机数生成器（TRNG）功能

更多信息

赛普拉斯网站 www.cypress.com 上提供了大量资料，有助于您正确选择 PSoC 器件，并能够快速和有效地将器件集成到您的设计中。下面提供了 PSoC 6 MCU 的简要资源列表：

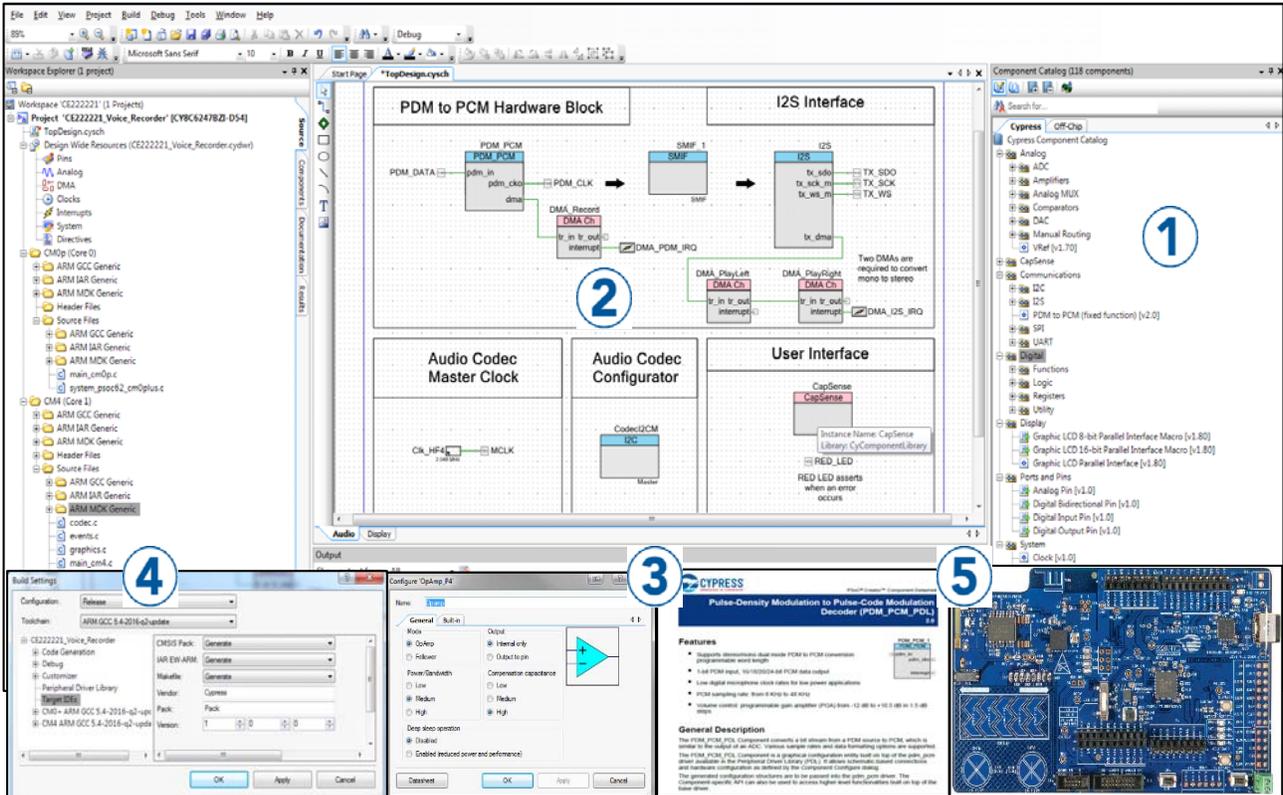
- **概况：** PSoC 产品系列、 PSoC 路线图
- **产品选择器：** PSoC 6 MCU 页
- **应用笔记** 提供了从基本到高级的广泛主题，其中包括：
 - AN210781: PSoC 6 MCU BLE 入门手册
 - AN218241: PSoC 6 MCU 硬件设计注意事项
 - AN213924: PSoC 6 MCU Bootloader 指南
 - AN215656: PSoC 6 MCU 双核 CPU 系统设计
 - AN219434: 将 PSoC Creator 代码导入 IDE 中
 - AN219528: PSoC 6 MCU 功耗降低技术
 - AN221111: PSoC 6 MCU: 创建一个安全系统
- **代码示例**为不同产品的性能和用途提供了 PSoC Creator 示例项目。
- **技术参考手册 (TRM)** 提供了 PSoC 6 MCU 架构和寄存器的详细说明。
- **开发工具**
 - **CY8CKIT-062-Wi-Fi/BT** 支持具有 WiFi 和蓝牙连接的 PSoC 62 系列 MCU。
 - **CY8CKIT-062-BLE** 支持具有蓝牙低功耗 (BLE) 连接的 PSoC 63 系列 MCU。
- **培训视频：** 请访问 www.cypress.com/training，获得关于 PSoC Creator 的各种视频培训资源

PSoC Creator

PSoC Creator 是一个基于 Windows 的免费集成开发环境 (IDE)。通过该工具，可以在 PSoC 6 MCU 中同时设计硬件和固件系统。如下面所示，通过 PSoC Creator，您可以进行以下操作：

1. 了解 PSoC Creator 中包含 200 多个组件的库。
2. 将组件图标施放到主要设计工作区中，以进行您的硬件系统设计
3. 使用组件配置工具和组件数据手册对各组件进行配置
4. 在 PSoC Creator IDE 中，协同设计您的应用固件和硬件或为第三方 IDE 构建项目
5. 使用 PSoC 6 Pioneer 套件对您的解决方案进行原型设计。如果需要更改设计，则通过 PSoC Creator 和组件随时能够进行修改，而不需要更改硬件。

图 1. PSoC Creator 的原理图输入项和组件



目录

模块与功能	5	器件级规范	25
功能定义	6	模拟外设	34
CPU和存储器子系统	6	数字外设	42
系统资源	6	存储器	45
模拟模块	7	系统资源	46
可编程数字资源	7	订购信息	54
固定功能数字模块	8	封装	56
GPIO	8	缩略语	60
特殊功能外设	9	文档规范	62
引脚分配	10	测量单位	62
电源	22	修订记录	63
开发支持	24	销售、解决方案和法律信息	64
文档	24	全球销售和 design 支持	64
在线资源	24	产品	64
工具	24	PSoC [®] 解决方案	64
电气规范	25	赛普拉斯开发者社区	64
最大绝对额定值	25	技术支持	64

模块与功能

图 2 显示了 PSoC 61 框图。拥有四个主要的子系统：CPU 子系统、系统资源、外设模块和 I/O 子系统。

图 2. 框图

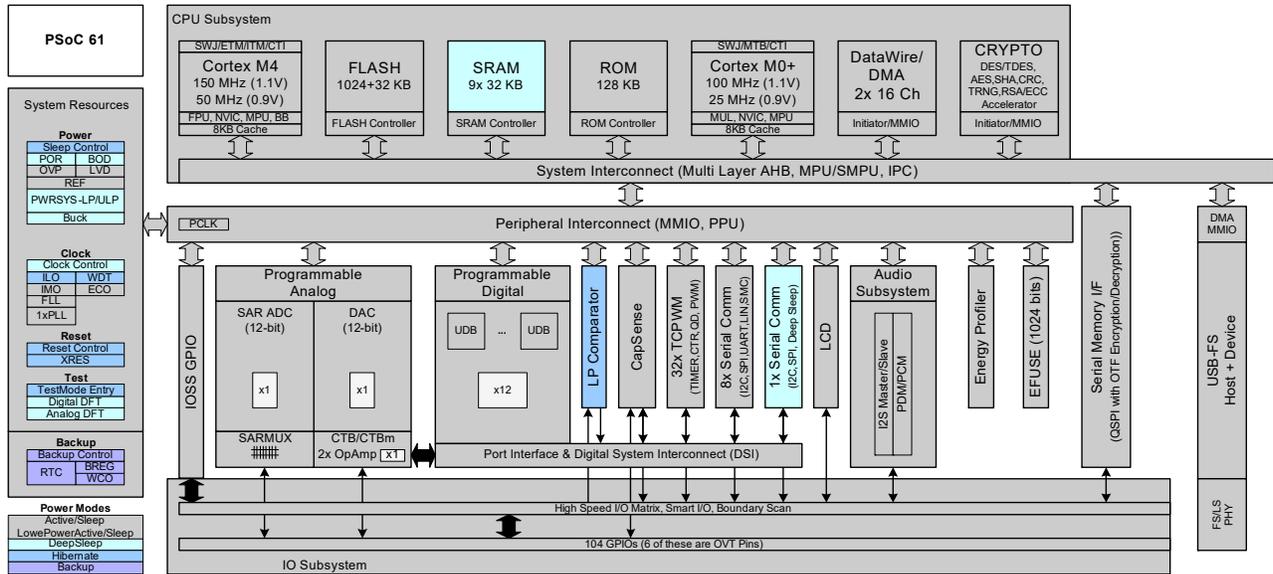


图 2 显示了芯片的子系统，并提供了这些系统之间的连接简化视图（在实践中使用了多层 AHB）。带颜色的编码部分表示最低功耗模式，在该模式中特定模块仍正常工作（例如，LP 比较器在深度睡眠模式下正常工作）。

PSoC 61 器件能够为硬件和固件的编程、测试、调试和跟踪提供广泛的支持。

借助完善的片上调试功能，使芯片能够在最终的系统中进行全面的调试。该功能不需要特殊的接口、调试转接板、模拟器或仿真器。它只需要标准的编程连接，即可全面支持调试。

PSoC Creator 集成开发环境（IDE）能够为 PSoC 61 器件提供全面集成的开发和调试支持。SWJ（SWD 和 JTAG）接口与行业标准的第三方探针完全兼容。PSoC 61 系列具有调试接口禁用选项以及非常强大的闪存保护功能，同时它还允许在片上可编程模块中实现客户专有功能，从而提供了极高的安全级别。

默认情况下，调试电路处于使能状态，并且只能通过固件禁用它们。如果未使能，重新使能这些电路的唯一方法是擦除整个器件，清除闪存保护，然后用调试功能已被启用的新固件对器件进行重新编程。

此外，对于担心网络钓鱼会通过器件恶意重新编程来进行欺诈性攻击或试图启动和中断闪存程序列表来击败安全设定的应用，所有器件接口都可以被永久禁用。当器件的最高安全级别有效时，所有编程、调试和测试接口都被禁用。安全级别是一个权衡选项，并由客户决定。

功能定义

CPU和存储器子系统

CPU

PSoC 61 中的 CPU 子系统由两个 Arm Cortex 内核及其相关的总线和存储器组成，具有浮点单元和存储器保护单元（FPU 和 MPU）的 M4 以及一个带有 MPU 的 M0+。Cortex M4 和 M0+ 具有包含 4 路组关联的 8 KB 指令缓存（I-Cache）。该子系统还包括独立的 DMA 控制器，其中每个控制器有 32 个通道、一个加密加速器模块，1 MB 的片上闪存，288 KB SRAM 和 128 KB ROM。Cortex M0+ 提供了一项安全且不可中断的启动功能。这样可以确保在启动后，系统的完整性得到检查，并且特权被强制执行。通过正常的 Arm 多层总线仲裁可以访问共享资源，并且通过实现硬件信号量和保护的处理器间通信（IPC）方案可以进行单独访问。在活动功耗模式下，Cortex M4 和 Cortex M0+ 的转换速率分别为 26 $\mu\text{A}/\text{MHz}$ 和 17 $\mu\text{A}/\text{MHz}$ ，两者都使用 3 V 的芯片供电电压，其中内部降压被使能，内部电源为 0.9 V。可将 Cortex M4 用于用户应用代码。Cortex M0+ 则用于系统功能（用户不能对其进行编程）。Cortex M4 的工作频率可达 150 MHz，M0+ 频率可达 100 MHz。请注意，对于速率超过 100 MHz 的 M4，M0+ 和总线外设的速率被限制为 M4 速率的一半。因此，对于工作频率为 150 MHz 的 M4，M0+ 和外设的速率限于 75 MHz。

DMA 控制器

支持两个 DMA 控制器，其中每个都有 16 个通道。这些控制器支持使用 AHB 多层总线对外设进行独立访问。

闪存

PSoC 6 A-M 具有一个 1 MB 的闪存模块和额外的 32 KB 闪存。为实现更长久的数据保留，该额外闪存可作为 EEPROM 使用。此外，该控制器还包含一个单独的 32 KB 闪存块，可以安全锁定该块，并且只能通过一个无法更改的密钥锁对其进行访问（一次性可编程）。

带有 32 KB 数据保留粒度的 SRAM

SRAM 存储器有一个大小为 288 KB 的空间，可以完全保留该部分，也可以以 32 KB 块的增量（由用户指定）进行保留。

SRAM

提供了一个包含引导和配置子程序的 128 KB 监控 ROM。如果需要验证用户闪存，则该 ROM 会用于确保安全启动。

一次性可编程（OTP）eFuse

使用该存储器为每个芯片存储唯一一个不可更改的标识符。此外，还可以使用该存储器存储一个散列值，该散列值用于验证闪存内容或其它用户定义内容的真实性。

系统资源

电源系统

电源系统确保通过以下两种方法中的一种能使电压电平满足相应模式的要求：延迟进入模式（例如，上电复位（POR）时），直到电压电平满足要求以便能正常工作为止；或在电源电压低于指定值时生成复位事件（欠压检测（BOD））。该设计将确保在电源电压低于指定电平（例如，低于 1.7 V）和发生复位期间，芯片仍然能够安全操作。此外，不需要电压排序。VDD 内核逻辑电源（1.7 至 3.6 V）将为片上降压供电，这样会产生可选的 1.1 V 或 0.9 V 内核逻辑电压。根据工作频率，降压转换器的静态电流会小于 1 μA 。此外，还提供了一个名为 Backup（备用）的独立电源域。请注意，其并非为一个电源模式。该域由 VBACKUP 域供电，它包括 32 kHz 监视晶体振荡器（WCO）、RTC 和备用寄存器。未作为备用域使用时，该域被连接到 VDD。端口 0 由该电源供电。可以将端口 0 的引脚 5（P0.5）指定为 PMIC 唤醒输出（由 RTC 定时）。默认情况下，P0.5 被驱动为电阻上拉模式。

时钟系统

PSoC 61 的时钟系统为需要时钟的所有子系统提供时钟，并且通过该时钟系统可以在各种时钟源之间进行切换而不会产生瞬时脉冲。此外，时钟系统可确保没有亚稳态情况的出现。

PSoC 61 的时钟系统包括内部主振荡器（IMO）、内部低速振荡器（ILO）、晶体振荡器（ECO 和 WCO）、PLL、FLL，并能提供外部时钟。FLL 将在高速时钟状态下提供快速唤醒，而无需等待一个 PLL 锁定事件（最多可能需要 50 μs ）。可以对各个时钟进行缓冲，然后将它们引导到 Smart I/O 端口上的引脚。

使用精度更高的时钟，可以将 32 kHz 振荡器调校为不超过 2 ppm。ECO 提供的精度为 ± 20 ppm，并且它使用了一个外部晶振。

IMO 时钟源

在 PSoC 61 中，IMO 是主要的内部时钟源。在测试过程中，该时钟源被调校，以达到指定的准确度。IMO 默认频率为 8 MHz。IMO 容差为 $\pm 2\%$ ，并且其电流消耗小于 10 μA 。

ILO 时钟源

ILO 是超低功耗的振荡器（额定值为 32 kHz），它可以在深度睡眠和休眠模式下为外设操作提供时钟。利用 IMO 校准 ILO 驱动计数器可以提高精度。赛普拉斯提供了一个用于校准目的的软件组件。

看门狗定时器（WDT）

看门狗定时器（WDT）由 ILO 或 WCO 提供时钟，因此它能够在深度睡眠和休眠模式下工作。如果在超时时仍未得到处理，它将生成看门狗复位。看门狗复位被记录在复位原因寄存器中。

时钟分频器

提供的整数和小数时钟分频器用于外设使用和时序目的。时钟分频器的长度为 16 位和 24 位，可实现非常精准的时钟控制。

复位

可以从各种源（包括软件复位）复位 PSoC 61。复位事件是异步的，用于确保将器件恢复到一个已知状态。复位原因被记录在寄存器内，该寄存器的内容在复位过程中保持不变，这样软件可以确定复位原因。芯片为外部复位提供一个 XRES 引脚，以便在上电或重新配置期间避免配置和多个引脚功能发生问题。

模拟模块

12 位 SAR ADC

12 位、1 Msps 的 SAR ADC 可以在最大时钟速率为 18 MHz 的条件下运行，在该频率下进行 12 位数据转换至少需要 18 个时钟周期。

该模块通过下面三种方式增强模块的功能：添加参考电压缓冲区（可微调，从而达到 $\pm 1\%$ 的误差）；提供了三个内部电压参考选择： V_{DD} 、 $V_{DD}/2$ 和 V_{REF} （额定电压为 1.024 V）；通过 GPIO 引脚提供外部参考电压。采样和保持（S/H）时间是一个可编程的值。根据要求，可以通过该值降低对放大器增益带宽的要求。该放大器驱动 SAR 输入，而该输入又确定该放大器的建立时间。在使用了合适的参考电压和允许的噪声环境中，对于真正的 12 位精度，系统性能将为 65 dB。为提高在嘈杂条件下的性能，可以为内部参考电压提供一个外部旁路电容（通过一个固定引脚位置）。

SAR 通过一个 8 输入序列发生器连接到一组固定引脚。序列发生器自动循环性地通过已选通道（序列发生器扫描），而不需要任何切换开销（即无论是在单通道上还是分布在多通道上，总采样带宽一直等于 1 Msps）。序列发生器的切换通过一个状态机或固件驱动实现。序列发生器的每一路转换结果被缓存到不同的结果寄存器，减轻 CPU 中断处理的要求。为了适应各种源阻抗和频率的信号，每个通道都可能有不同的可编程采样时间。另外，SAR ADC 支持硬件的转换结果溢出检测机制。转换结果的上下范围可以指定并保存在寄存器里，当 ADC 转换结果上/下溢出时，可以触发中断。这样节省了 CPU 软件检测转换结果溢出与否的时间。

SAR 可以量化片上温度传感器的输出，来对其它功能做温度补偿。由于 SAR 需要一个高速时钟（可高达 18 MHz），因此不能在深度睡眠模式和休眠模式下使用该模块。SAR 的工作电压范围为 1.71~3.6 V。

温度传感器

PSoC 61 有一个片上温度传感器。该传感器包含一个二极管，该二极管的偏置电流由一个电源（可被禁用以便节省功耗）提供。该温度传感器的输出可以连接至 ADC 做量化采样，量化结果通过赛普拉斯提供的固定算法来转换成温度值。

12 位 DAC

芯片上有一个 12 位的电压模式 DAC，可以在不到 5 μ s 的时间内进入稳定状态。DAC 可以由 DMA 控制器驱动，以生成用户定义的波形。芯片的 DAC 输出可以是电阻梯形输出（高度线性近地）或缓冲输出。

带有两个运算放大器的连续时间模块（CTBm）

该模块由两个运算放大器组成，它们的输入和输出连接到固定引脚上。此外，这些放大器还有三种功耗模式和一个比较器模式。这些运算放大器的输出可作为 SAR 输入的缓冲器使用。可将这些运算放大器的非反相输入连接到两个引脚中的任何一个，从而能够在不同时间内使用独立的传感器。通过固件可以选择引脚。可以将运算放大器设置为四种电源电平中的一种；对于最低电平，运算放大器可以在深度休眠模式下工作，从而在该模式下能够保持较低性能的时间功能。可以通过运算放大器对 DAC 输出进行缓冲。

低功耗比较器

PSoC 61 有一对能够在深度睡眠和休眠模式下工作的低功耗比较器。当模拟系统模块被禁用时，仍可以在深度睡眠和休眠模式下监控外部电压电平。除非在异步功耗模式（休眠）下工作，否则，将对比较器输出进行同步化，以避免进入亚稳态。在该异步功耗模式中，系统唤醒电路是由一个比较器开关事件激活。

可编程数字资源

智能 I/O

共有两个智能 I/O 模块，通过它们可以对从芯片子系统进入 GPIO 引脚的信号或进入芯片的信号进行布尔运算。这些运算可以同步或异步进行，并且这些模块将在低功耗模式（如深度睡眠和休眠模式）下工作。例如，通过前面的操作可以检测用于指示 CPU 需要唤醒的逻辑条件，避免它在发生通用 I/O 中断时被唤醒，因为这类唤醒操作会消耗更多的电源，并且可能生成假唤醒。

通用数字模块（UDB）和端口接口

PSoC 61 具有 12 个 UDB；UDB 阵列同样也提供了一个数字信号互连（DSI）结构，通过该结构可以将来自外设和端口的信号路由到 UDB 或在模块中对那些信号进行路由，以进行通信和控制。

固定功能数字模块

定时器 / 计数器 / PWM 模块

定时器 / 计数器 / PWM 模块包含 32 个计数器，这些计数器的周期长度可以由用户编程。另外，还有一个捕获寄存器，用于记录事件发生（可能是 I/O 事件）时的计数值；一个周期寄存器，用于停止或自动重新加载计数器（如果计数值与周期寄存器的值相等）和一个比较寄存器，用于生成比较值信号，以作为 PWM 占空比输出使用。该模块还提供了正向输出和反向输出间的可编程偏移；这样，这些输出可以作为可编程死区的互补 PWM 输出使用。此外，它还提供一个用于强制输出进入预定义状态的 Kill 输入；例如，该功能可用于电动机驱动系统的下面情况：当出现过流状态时，驱动 FET 的 PWM 需要立即关闭，而没有时间进行软件干预。共有 8 个 32 位计数器和 24 个 16 位计数器。

串行通信模块 (SCB)

PSoC 61 有九个 SCB，每一个 SCB 都可以实现 I²C、UART 或 SPI 接口。其中一个 SCB 将使用外部时钟工作于深度睡眠模式，并且该 SCB 只在从器件模式下工作（需要外部时钟）。

I²C 模式：硬件 I²C 模块可执行整个多主器件和从器件接口（具有多主器件仲裁功能）。该模块的工作速率可达 1 Mbps（增强型快速模式），并且它提供了各种灵活的缓冲选项，以降低 CPU 的中断开销和延迟。该模块还具有一个 EzI²C，通过它可以在 PSoC 61 存储器中创建邮箱的地址范围，并且可以有效地减少用于读取和写入存储器阵列的 I²C 通信。此外，该模块还支持一个用于接收和发送数据的 256 字节 FIFO。使用该 FIFO 延长 CPU 读取数据的时间，可以大大降低因 CPU 没有及时读取数据而导致时钟延展的需求。FIFO 可用在所有通道，并且在没有 DMA 的情况下它非常有用。

I²C 外设与 I²C 标准模式、快速模式和增强快速模式等器件相兼容，如 NXP I²C 总线规范和用户手册 (UM10204) 中所定义。在开漏模式下，可以使用 GPIO 实现 I²C 总线 I/O。

UART 模式：这是一个运行速度高达 1 Mbps 的全功能 UART。该模块支持汽车单线接口 (LIN)、红外接口 (IrDA) 和智能卡 (ISO7816) 等协议，这些都是基本 UART 协议的衍生协议。此外，它还支持 9 位多处理器模式，在该模式下可以寻址连接到通用 RX 和 TX 线的外设。支持通用 UART 功能，如奇偶校验错误、中断检测和帧错误。256 字节的 FIFO 允许更长的 CPU 服务延迟。

SPI 模式：SPI 模式支持完整的 Motorola SPI、TI 安全简单配对 (SSP)（基本上添加用于同步 SPI 编解码器的启动脉冲）和 National Microwire (SPI 的半双工形式)。SPI 模块可以使用 FIFO，并且支持 EzSPI 模式；在该模式下可以减少读取和写入存储器阵列时的数据交换。SPI 接口可以使用一个频率高达 48 MHz 的 SPI 时钟进行操作。

USB 全速双角色主机和器件接口

PSoC 61 集成了 USB 主机和器件接口的双功能。该器件可以有多个端点。此外，它还提供了一个 512 字节大小的 SRAM 缓冲区并支持 DMA。

QSPI 接口

提供了四路 SPI (QSPI) 接口（可选择 1、2 或 4 位宽度），其工作频率为 80 MHz。该模块还支持动态加密和解密，从而能够在合理的速度下支持现场执行操作。

GPIO

PSoC 61 具有多达 104 个 GPIO。GPIO 模块实现以下功能：

■ 八种驱动强度模式：

- 模拟输入模式（禁用了输入和输出缓冲区）
- 仅限输入
- 弱上拉和强下拉
- 强上拉和弱下拉
- 开漏和强下拉
- 开漏和强上拉
- 强上拉和强下拉
- 弱上拉和弱下拉

■ 选择输入阈值（CMOS 或 LVTTTL）

■ 用于锁存前一状态的保持模式（用于保留 I/O 在深度睡眠模式和休眠模式的状态）

■ dV/dt 相关噪声控制的可选转换速率，用于降低 EMI

引脚被分组为逻辑单元（又称为端口），其宽度为 8 位。在上电和复位期间，各模块被强制为禁用状态，以避免给任何输入供电和 / 或造成引脚启用时的过流现象。复用网络，又称高速 I/O 矩阵 (HSIOM)，用于复用可能连接到一个 I/O 引脚的各种信号。数据输出寄存器和引脚状态寄存器分别用于保存引脚上需要驱动的值和引脚的状态。

如果中断被使能，则每个 I/O 引脚都能生成一个中断，并且每个 I/O 端口都有一个与其相关的中断请求 (IRQ) 和中断服务子程序 (ISR) 向量。六个 GPIO 引脚能够进行过压容差 (OVT) 操作，即在输入电压可能超过 VDD 的条件下操作（该性能可用于 I²C 功能，这样在关闭芯片电源时仍然能够保持与有效运行的 I²C 总线间的物理连接，并且毫不影响该总线的功能）。

可以将各个 GPIO 引脚组合在一起，以灌入 16 mA 或更大的灌电流。GPIO 引脚可能不会被上拉超过 3.6 V。

特殊功能外设

CapSense

通过 CapSense Sigma Delta (CSD) 模块，可以在 PSoC 61 的所有引脚上支持 CapSense。该模块可以连接到一个模拟多路复用总线。所有 GPIO 引脚都能通过一个模拟开关连接到 AMUX 总线。因此，在软件控制情况下，系统中的任何引脚或引脚组都可以提供 CapSense 功能。为了易于使用，赛普拉斯为 CapSense 模块提供了一个软件组件。

通过将屏蔽电压驱动到另一个模拟总线，可以提供耐水性能。通过在同相位中驱动屏蔽电极和感应电极，可以提供防水功能。这样可以避免屏蔽电容造成感应输入衰减。另外，还可以实现接近感应。

CapSense 模块是一个高级、低噪声的可编程模块，它提供了可编程的参考电压和电流源范围，有助于提升系统的灵敏和灵活性。该模块也可以使用一个外部参考电压。它支持全波 CSD 模式，在该模式下可以交换 VDDA 和接地电压的感应，以消除电源相关的噪声。

CapSense 模块具有两个 7 位 IDAC。如果不用 CapSense (两个 IDAC 都可用) 或 CapSense 没有防水功能 (一个 IDAC 可用)，可以将这两个 IDAC 作为通用 IDAC 使用。可以通过使用其中一个 IDAC 来实现 (慢速) 10 位斜率 ADC。

该模块可以实现滑动、敲击、触摸时唤醒 (<1.8 V 时 <3 μ A)、互电容和其他类型的感应功能。

音频系统

该子系统由一个 I2S 模块和两个 PDM 通道组成。PDM 通道连接一个 PDM 麦克风的比特流输出。PDM 处理通道提供了下降校正功能，并且可以在 384 kHz 至 3.072 MHz 的时钟速度下工作。此外，还可以以高达 48 ksp/s 的音频采样率生成 16 至 24 位的字长。

I2S 接口支持主器件和从器件模式，它的字时钟速度高达 192 ksp/s (8 位至 32 位字)。

引脚分配

表 1. 124 BGA 和 80 WLCSP 引脚说明

124 BGA		80 WLCSP	
引脚	名称	引脚	名称
A2	VCCD	A10	VCCD
A1	VDDD	B11	VDDD
D1	VBACKUP	D11	VBACKUP
E3	P0.0	C10	P0.0
E2	P0.1	D9	P0.1
E1	P0.2	E10	P0.2
F3	P0.3	F9	P0.3
F2	P0.4	G8	P0.4
G3	P0.5	F11	P0.5
G3	P0.5	F11	P0.5
F1	XRES	G10	XRES
G2	P1.0	H11	P1.0
G1	P1.1	H9	P1.1
H3	P1.2		
H2	P1.3		
H1	P1.4	K9	P1.4
J3	P1.5	J10	P1.5
B12、C3、D4、D10、K4、K10	VSS	R8	VSS
J1	VDD_NS	K11	VDD_NS
J2	VIND1	L10	VIND1
K2	VIND2	M11	VIND2
K3	VBUCK1	N10	VBUCK1
K1	VRF		
M1	VDDUSB	P11	VDDUSB
L1	USBDM	P9	USBDM
L2	USBDP	R10	USBDP
M2	P2.0		
N2	P2.1		
L3	P2.2		
M3	P2.3		
N3	P2.4		
N1	P2.5		
M4	P2.6		
N4	P2.7		
L5	P3.0		
L4	VDDIOR	K11	VDD_NS
L4	VDDIOR	K11	VDD_NS
M5	P3.1		

表 1. 124 BGA 和 80 WLCSP 引脚说明 (续)

124 BGA		80 WLCSP	
引脚	名称	引脚	名称
N5	P3.2		
L6	P3.3		
M6	P3.4		
N6	P3.5		
L7	P4.0		
M7	P4.1		
N7	P5.0	M9	P5.0
L8	P5.1	N8	P5.1
M8	P5.2	R6	P5.2
N8	P5.3	P7	P5.3
L9	P5.4	L8	P5.4
M9	P5.5	M7	P5.5
B12、C3、D4、D10、K4、K10	VSS	P5	VSS
N9	P5.6	R4	P5.6
N10	P5.7	N6	P5.7
M10	P6.0	J8	P6.0
L10	P6.1	K7	P6.1
L11	P6.2	L6	P6.2
M11	P6.3	R2	P6.3
N11	P6.4	P3	P6.4
M12	P6.5	N4	P6.5
N12	P6.6	M5	P6.6
M13	P6.7	J6	P6.7
L13	P7.0	N2	P7.0
L12	P7.1	M3	P7.1
K13	P7.2	L4	P7.2
N13	P7.3	K5	P7.3
K11	P7.4		
J13	P7.5		
J12	P7.6		
J11	P7.7	L2	P7.7
K12	VDDIO1	M1	VDDIO1
H13	P8.0	H3	P8.0
H12	P8.1	K1	P8.1
H11	P8.2	K3	P8.2
G13	P8.3	J4	P8.3
G12	P8.4	J2	P8.4
G11	P8.5		
F13	P8.6		

表 1. 124 BGA 和 80 WLCSP 引脚说明 (续)

124 BGA		80 WLCSP	
引脚	名称	引脚	名称
F12	P8.7		
B12、C3、D4、D10、K4、K10	VSS	D1	VSS
A12	VDDA	F1	VDDA
E11	P9.0	H1	P9.0
E12	P9.1	G2	P9.1
E13	P9.2	E2	P9.2
F11	P9.3	C2	P9.3
D13	P9.4	F3	P9.4
D12	P9.5		
D11	P9.6		
C13	P9.7	A2	P9.7
B13	VREF		
A13	VDDIOA	F1	VDDA
A12	VDDA	F1	VDDA
C12	P10.0	G4	P10.0
A11	P10.1	H5	P10.1
B11	P10.2		
C11	P10.3		
A10	P10.4	B3	P10.4
B10	P10.5	D3	P10.5
C10	P10.6		
A9	P10.7		
B9	P11.0	E4	P11.0
C9	P11.1	F5	P11.1
A8	P11.2	G6	P11.2

表 1. 124 BGA 和 80 WLCSP 引脚说明 (续)

124 BGA		80 WLCSP	
引脚	名称	引脚	名称
B8	P11.3	A4	P11.3
C8	P11.4	C4	P11.4
A7	P11.5	B5	P11.5
B12、C3、D4、D10、K4、K10	VSS	A8	VSS
B7	P11.6	D5	P11.6
C7	P11.7	C6	P11.7
C4	VDDIO0	A6	VDDIO0
A6	P12.0	B7	P12.0
B6	P12.1	D7	P12.1
C6	P12.2	C8	P12.2
A5	P12.3	B9	P12.3
B5	P12.4	E6	P12.4
C5	P12.5	E8	P12.5
A4	P12.6	F7	P12.6
B4	P12.7	H7	P12.7
B1	P13.0		
A3	P13.1		
B3	P13.2		
B2	P13.3		
C2	P13.4		
C1	P13.5		
D3	P13.6		
D2	P13.7		

按封装类型区分的端口的相应供电电源如下：

- P0: VBACKUP
- P1: VDDD 端口 1 GPIO 引脚具有过压容差 (OVT)。
- P2、P3、P4: VDDIOR
- P5、P6、P7、P8: VDDIO1
- P9、P10: VDDIO、VDDA (在 PCB 上, VDDIO 和 VDDA 必须连接在一起)
- P11、P12、P13: VDDIO0
- P14: VDDUSB

每个端口引脚都有多个备用功能。表 2 中定义了这些功能。

表 2. 多个备用功能^[1]

端口/引脚	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P0.0	tcpwm[0].line[0]:0	tcpwm[1].line[0]:0		srss.ext_clk:0				scb[0].spi_select1:0			peri.tr_io_input[0]:0						
P0.1	tcpwm[0].line_compl[0]:0	tcpwm[1].line_compl[0]:0						scb[0].spi_select2:0			peri.tr_io_input[1]:0					cpuss.swj_trstn	
P0.2	tcpwm[0].line[1]:0	tcpwm[1].line[1]:0				scb[0].uart_rx:0	scb[0].i2c_scl:0	scb[0].spi_mosi:0									
P0.3	tcpwm[0].line_compl[1]:0	tcpwm[1].line_compl[1]:0				scb[0].uart_tx:0	scb[0].i2c_sda:0	scb[0].spi_miso:0									
P0.4	tcpwm[0].line[2]:0	tcpwm[1].line[2]:0				scb[0].uart_rts:0		scb[0].spi_clk:0			peri.tr_io_output[0]:2						
P0.5	tcpwm[0].line_compl[2]:0	tcpwm[1].line_compl[2]:0		srss.ext_clk:1		scb[0].uart_cts:0		scb[0].spi_select0:0				peri.tr_io_output[1]:2					
P1.0	tcpwm[0].line[3]:0	tcpwm[1].line[3]:0				scb[7].uart_rx:0	scb[7].i2c_scl:0	scb[7].spi_mosi:0			peri.tr_io_input[2]:0						
P1.1	tcpwm[0].line_compl[3]:0	tcpwm[1].line_compl[3]:0				scb[7].uart_tx:0	scb[7].i2c_sda:0	scb[7].spi_miso:0			peri.tr_io_input[3]:0						
P1.2	tcpwm[0].line[4]:4	tcpwm[1].line[12]:1				scb[7].uart_rts:0		scb[7].spi_clk:0									
P1.3	tcpwm[0].line_compl[4]:4	tcpwm[1].line_compl[12]:1				scb[7].uart_cts:0		scb[7].spi_select0:0									
P1.4	tcpwm[0].line[5]:4	tcpwm[1].line[13]:1						scb[7].spi_select1:0									
P1.5	tcpwm[0].line_compl[5]:4	tcpwm[1].line_compl[14]:1						scb[7].spi_select2:0									
P14.0																	
P14.1																	
P2.0	tcpwm[0].line[6]:4	tcpwm[1].line[15]:1				scb[1].uart_rx:0	scb[1].i2c_scl:0	scb[1].spi_mosi:0			peri.tr_io_input[4]:0					blessexp_ret_switch_hv	
P2.1	tcpwm[0].line_compl[6]:4	tcpwm[1].line_compl[15]:1				scb[1].uart_tx:0	scb[1].i2c_sda:0	scb[1].spi_miso:0			peri.tr_io_input[5]:0					blessexp_ret_do_hv	

注释:

- 信号的符号格式为: IPName[x].signal_name[u]:y
IPName = 模块的名称 (例如 tcpwm), x = IP 的唯一实例, Signal_name = 信号的名称, u = 信号编号, 适用于下面情况: 多个信号共用一个特定信号名称, y = 指定的信号名称副本。
例如, 名称 "tcpwm [0].line_compl [3]: 4" 表示这是 tcpwm 模块的实例 0, 信号为 line_compl # 3 (行输出的补码), 并且该信号第四次出现 (副本)。提供信号副本是为了灵活地路由并最大化片上资源的使用率。

表 2. 多个备用功能^[1] (续)

端口/ 引脚	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P2.2	tcpwm[0].line[7]:4	tcpwm[1].line[16]:1				scb[1].uart_rts:0		scb[1].spi_clk:0							bless.mxd_dpslp_buck_en		
P2.3	tcpwm[0].line_compl[7]:4	tcpwm[1].line_compl[16]:1				scb[1].uart_cts:0		scb[1].spi_select0:0							bless.mxd_dpslp_reset_n		
P2.4	tcpwm[0].line[0]:5	tcpwm[1].line[17]:1						scb[1].spi_select1:0							bless.mxd_dpslp_clk_en		
P2.5	tcpwm[0].line_compl[0]:5	tcpwm[1].line_compl[17]:1						scb[1].spi_select2:0							bless.mxd_dpslp_isolate_n		
P2.6	tcpwm[0].line[1]:5	tcpwm[1].line[18]:1						scb[1].spi_select3:0							bless.mxd_dpslp_act_do_en		
P2.7	tcpwm[0].line_compl[1]:5	tcpwm[1].line_compl[18]:1													bless.mxd_dpslp_xtal_en		
P3.0	tcpwm[0].line[2]:5	tcpwm[1].line[19]:1				scb[2].uart_rx:1	scb[2].i2c_scl:1	scb[2].spi_mosi:1				peri.tr_io_in_put[6]:0			bless.mxd_dpslp_dig_do_en		
P3.1	tcpwm[0].line_compl[2]:5	tcpwm[1].line_compl[19]:1				scb[2].uart_tx:1	scb[2].i2c_sda:1	scb[2].spi_miso:1				peri.tr_io_in_put[7]:0		bless.mxd_act_d_bus_rx_en			
P3.2	tcpwm[0].line[3]:5	tcpwm[1].line[20]:1				scb[2].uart_rts:1		scb[2].spi_clk:1						bless.mxd_act_d_bus_tx_en			
P3.3	tcpwm[0].line_compl[3]:5	tcpwm[1].line_compl[20]:1				scb[2].uart_cts:1		scb[2].spi_select0:1						bless.mxd_act_bpktcl			
P3.4	tcpwm[0].line[4]:5	tcpwm[1].line[21]:1						scb[2].spi_select1:1						bless.mxd_act_tx_d_rxd			
P3.5	tcpwm[0].line_compl[4]:5	tcpwm[1].line_compl[21]:1						scb[2].spi_select2:1						bless.mxd_dpslp_rcb_data			
P4.0	tcpwm[0].line[5]:5	tcpwm[1].line[22]:1				scb[7].uart_rx:1	scb[7].i2c_scl:1	scb[7].spi_mosi:1				peri.tr_io_in_put[8]:0		bless.mxd_dpslp_rcb_clk			
P4.1	tcpwm[0].line_compl[5]:5	tcpwm[1].line_compl[22]:1				scb[7].uart_tx:1	scb[7].i2c_sda:1	scb[7].spi_miso:1				peri.tr_io_in_put[9]:0		bless.mxd_dpslp_rcb_le			
P4.2	tcpwm[0].line[6]:5	tcpwm[1].line[23]:1				scb[7].uart_rts:1		scb[7].spi_clk:1									

注释:

1. 信号的符号格式为: IPName[x].signal_name[u]:y

IPName = 模块的名称 (例如 tcpwm), x = IP 的唯一实例, Signal_name = 信号的名称, u = 信号编号, 适用于下面情况: 多个信号共用一个特定信号名称, y = 指定的信号名称副本。

例如, 名称 "tcpwm[0].line_compl[3]: 4" 表示这是 tcpwm 模块的实例 0, 信号为 line_compl # 3 (行输出的补码), 并且该信号第四次出现 (副本)。提供信号副本是为了灵活地路由并最大化片上资源的使用率。

表 2. 多个备用功能^[1] (续)

端口/引脚	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P4.3	tcpwm[0].line_compl[6]:5	tcpwm[1].line_compl[23]:1				scb[7].uart_cts:1		scb[7].spi_select0:1							bles.mxd_dpssp_mx-d_clk_out		
P5.0	tcpwm[0].line[4]:0	tcpwm[1].line[4]:0				scb[5].uart_rx:0	scb[5].i2c_scl:0	scb[5].spi_mosi:0		audioss.clk_i2s_if	peri.tr_io_input[10]:0						
P5.1	tcpwm[0].line_compl[4]:0	tcpwm[1].line_compl[4]:0				scb[5].uart_tx:0	scb[5].i2c_sda:0	scb[5].spi_miso:0		audioss.tx_sck	peri.tr_io_input[11]:0						
P5.2	tcpwm[0].line[5]:0	tcpwm[1].line[5]:0				scb[5].uart_rts:0		scb[5].spi_clk:0		audioss.tx_ws							
P5.3	tcpwm[0].line_compl[5]:0	tcpwm[1].line_compl[5]:0				scb[5].uart_cts:0		scb[5].spi_select0:0		audioss.tx_sdo							
P5.4	tcpwm[0].line[6]:0	tcpwm[1].line[6]:0						scb[5].spi_select1:0		audioss.rx_sck							
P5.5	tcpwm[0].line_compl[6]:0	tcpwm[1].line_compl[6]:0						scb[5].spi_select2:0		audioss.rx_ws							
P5.6	tcpwm[0].line[7]:0	tcpwm[1].line[7]:0						scb[5].spi_select3:0		audioss.rx_sdi							
P5.7	tcpwm[0].line_compl[7]:0	tcpwm[1].line_compl[7]:0						scb[3].spi_select3:0									
P6.0	tcpwm[0].line[0]:1	tcpwm[1].line[8]:0	scb[8].i2c_scl:0			scb[3].uart_rx:0	scb[3].i2c_scl:0	scb[3].spi_mosi:0						cpuss.fault_out[0]			scb[8].spi_mosi:0
P6.1	tcpwm[0].line_compl[0]:1	tcpwm[1].line_compl[8]:0	scb[8].i2c_sda:0			scb[3].uart_tx:0	scb[3].i2c_sda:0	scb[3].spi_miso:0						cpuss.fault_out[1]			scb[8].spi_miso:0
P6.2	tcpwm[0].line[1]:1	tcpwm[1].line[9]:0				scb[3].uart_rts:0		scb[3].spi_clk:0									scb[8].spi_clk:0
P6.3	tcpwm[0].line_compl[1]:1	tcpwm[1].line_compl[9]:0				scb[3].uart_cts:0		scb[3].spi_select0:0									scb[8].spi_select0:0
P6.4	tcpwm[0].line[2]:1	tcpwm[1].line[10]:0	scb[8].i2c_scl:1			scb[6].uart_rx:2	scb[6].i2c_scl:2	scb[6].spi_mosi:2			peri.tr_io_input[12]:0	peri.tr_io_output[0]:1			cpuss.swj_swo_tdo		scb[8].spi_mosi:1
P6.5	tcpwm[0].line_compl[2]:1	tcpwm[1].line_compl[10]:0	scb[8].i2c_sda:1			scb[6].uart_tx:2	scb[6].i2c_sda:2	scb[6].spi_miso:2			peri.tr_io_input[13]:0	peri.tr_io_output[1]:1			cpuss.swj_swdoe_tdi		scb[8].spi_miso:1
P6.6	tcpwm[0].line[3]:1	tcpwm[1].line[11]:0				scb[6].uart_rts:2		scb[6].spi_clk:2							cpuss.swj_swdio_tms		scb[8].spi_clk:1

注释:

1. 信号的符号格式为: IPName[x].signal_name[u]:y
 IPName = 模块的名称 (例如 tcpwm), x = IP 的唯一实例, Signal_name = 信号的名称, u = 信号编号, 适用于下面情况: 多个信号共用一个特定信号名称, y = 指定的信号名称副本。
 例如, 名称 "tcpwm[0].line_compl[3]:4" 表示这是 tcpwm 模块的实例 0, 信号为 line_compl # 3 (行输出的补码), 并且该信号第四次出现 (副本)。提供信号副本是为了灵活地路由并最大化片上资源的使用率。

表 2. 多个备用功能^[1] (续)

端口/引脚	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P6.7	tcpwm[0].line_compl[3]:1	tcpwm[1].line_compl[11]:0				scb[6].uart_cts:2		scb[6].spi_select0:2								cpuss.swj_swclk_tclk	scb[8].spi_select0:1
P7.0	tcpwm[0].line[4]:1	tcpwm[1].line[12]:0				scb[4].uart_rx:1	scb[4].i2c_scl:1	scb[4].spi_mosi:1			peri.tr_io_input[14]:0		cpuss.trace_clock				
P7.1	tcpwm[0].line_compl[4]:1	tcpwm[1].line_compl[12]:0				scb[4].uart_tx:1	scb[4].i2c_sda:1	scb[4].spi_miso:1			peri.tr_io_input[15]:0						
P7.2	tcpwm[0].line[5]:1	tcpwm[1].line[13]:0				scb[4].uart_rts:1		scb[4].spi_clk:1									
P7.3	tcpwm[0].line_compl[5]:1	tcpwm[1].line_compl[13]:0				scb[4].uart_cts:1		scb[4].spi_select0:1									
P7.4	tcpwm[0].line[6]:1	tcpwm[1].line[14]:0						scb[4].spi_select1:1					bless.ext_lina_rx_ctl_out	cpuss.trace_data[3]:2			
P7.5	tcpwm[0].line_compl[6]:1	tcpwm[1].line_compl[14]:0						scb[4].spi_select2:1					bless.ext_pa_tx_ctl_out	cpuss.trace_data[2]:2			
P7.6	tcpwm[0].line[7]:1	tcpwm[1].line[15]:0						scb[4].spi_select3:1					bless.ext_pa_lina_chip_en_out	cpuss.trace_data[1]:2			
P7.7	tcpwm[0].line_compl[7]:1	tcpwm[1].line_compl[15]:0						scb[3].spi_select1:0	cpuss.clk_fm_pump					cpuss.trace_data[0]:2			
P8.0	tcpwm[0].line[0]:2	tcpwm[1].line[16]:0				scb[4].uart_rx:0	scb[4].i2c_scl:0	scb[4].spi_mosi:0			peri.tr_io_input[16]:0						
P8.1	tcpwm[0].line_compl[0]:2	tcpwm[1].line_compl[16]:0				scb[4].uart_tx:0	scb[4].i2c_sda:0	scb[4].spi_miso:0			peri.tr_io_input[17]:0						
P8.2	tcpwm[0].line[1]:2	tcpwm[1].line[17]:0				scb[4].uart_rts:0		scb[4].spi_clk:0									
P8.3	tcpwm[0].line_compl[1]:2	tcpwm[1].line_compl[17]:0				scb[4].uart_cts:0		scb[4].spi_select0:0									
P8.4	tcpwm[0].line[2]:2	tcpwm[1].line[18]:0						scb[4].spi_select1:0									
P8.5	tcpwm[0].line_compl[2]:2	tcpwm[1].line_compl[18]:0						scb[4].spi_select2:0									
P8.6	tcpwm[0].line[3]:2	tcpwm[1].line[19]:0						scb[4].spi_select3:0									

注释:

- 信号的符号格式为: IPName[x].signal_name[u]:y
IPName = 模块的名称 (例如 tcpwm), x = IP 的唯一实例, Signal_name = 信号的名称, u = 信号编号, 适用于下面情况: 多个信号共用一个特定信号名称, y = 指定的信号名称副本。
例如, 名称 "tcpwm [0].line_compl [3]: 4" 表示这是 tcpwm 模块的实例 0, 信号为 line_compl # 3 (行输出的补码), 并且该信号第四次出现 (副本)。提供信号副本是为了灵活地路由并最大化片上资源的使用率。

表 2. 多个备用功能^[1] (续)

端口/引脚	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P8.7	tcpwm[0].line_compl[3]:2	tcpwm[1].line_compl[19]:0						scb[3].spi_select2:0									
P9.0	tcpwm[0].line[4]:2	tcpwm[1].line[20]:0				scb[2].uart_rx:0	scb[2].i2c_scl:0	scb[2].spi_mosi:0			peri.tr_io_in_put[18]:0			cpuss.trace_data[3]:0			
P9.1	tcpwm[0].line_compl[4]:2	tcpwm[1].line_compl[20]:0				scb[2].uart_tx:0	scb[2].i2c_sda:0	scb[2].spi_miso:0			peri.tr_io_in_put[19]:0			cpuss.trace_data[2]:0			
P9.2	tcpwm[0].line[5]:2	tcpwm[1].line[21]:0				scb[2].uart_rts:0		scb[2].spi_clk:0		pass.dsi_ctb_cmp0:1				cpuss.trace_data[1]:0			
P9.3	tcpwm[0].line_compl[5]:2	tcpwm[1].line_compl[21]:0				scb[2].uart_cts:0		scb[2].spi_select0:0		pass.dsi_ctb_cmp1:1				cpuss.trace_data[0]:0			
P9.4	tcpwm[0].line[7]:5	tcpwm[1].line[0]:2						scb[2].spi_select1:0									
P9.5	tcpwm[0].line_compl[7]:5	tcpwm[1].line_compl[0]:2						scb[2].spi_select2:0									
P9.6	tcpwm[0].line[0]:6	tcpwm[1].line[1]:2						scb[2].spi_select3:0									
P9.7	tcpwm[0].line_compl[0]:6	tcpwm[1].line_compl[1]:2															
P10.0	tcpwm[0].line[6]:2	tcpwm[1].line[22]:0				scb[1].uart_rx:1	scb[1].i2c_scl:1	scb[1].spi_mosi:1			peri.tr_io_in_put[20]:0			cpuss.trace_data[3]:1			
P10.1	tcpwm[0].line_compl[6]:2	tcpwm[1].line_compl[22]:0				scb[1].uart_tx:1	scb[1].i2c_sda:1	scb[1].spi_miso:1			peri.tr_io_in_put[21]:0			cpuss.trace_data[2]:1			
P10.2	tcpwm[0].line[7]:2	tcpwm[1].line[23]:0				scb[1].uart_rts:1		scb[1].spi_clk:1						cpuss.trace_data[1]:1			
P10.3	tcpwm[0].line_compl[7]:2	tcpwm[1].line_compl[23]:0				scb[1].uart_cts:1		scb[1].spi_select0:1						cpuss.trace_data[0]:1			
P10.4	tcpwm[0].line[0]:3	tcpwm[1].line[0]:1						scb[1].spi_select1:1	audioss.pdm_clk								
P10.5	tcpwm[0].line_compl[0]:3	tcpwm[1].line_compl[0]:1						scb[1].spi_select2:1	audioss.pdm_data								
P10.6	tcpwm[0].line[1]:6	tcpwm[1].line[2]:2						scb[1].spi_select3:1									

注释:

1. 信号的符号格式为: IPName[x].signal_name[u]:y
 IPName = 模块的名称 (例如 tcpwm), x = IP 的唯一实例, Signal_name = 信号的名称, u = 信号编号, 适用于下面情况: 多个信号共用一个特定信号名称, y = 指定的信号名称副本。
 例如, 名称 "tcpwm[0].line_compl[3]: 4" 表示这是 tcpwm 模块的实例 0, 信号为 line_compl # 3 (行输出的补码), 并且该信号第四次出现 (副本)。提供信号副本是为了灵活路由并最大化片上资源的使用率。

表 2. 多个备用功能^[1] (续)

端口/引脚	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P10.7	tcpwm[0].line_compl[1]:6	tcpwm[1].line_compl[2]:2															
P11.0	tcpwm[0].line[1]:3	tcpwm[1].line[1]:1			smif.spi_select2	scb[5].uart_rx:1	scb[5].i2c_scl:1	scb[5].spi_mosi:1					peri.tr_io_input[22]:0				
P11.1	tcpwm[0].line_compl[1]:3	tcpwm[1].line_compl[1]:1			smif.spi_select1	scb[5].uart_tx:1	scb[5].i2c_sda:1	scb[5].spi_miso:1					peri.tr_io_input[23]:0				
P11.2	tcpwm[0].line[2]:3	tcpwm[1].line[2]:1			smif.spi_select0	scb[5].uart_rts:1		scb[5].spi_clk:1									
P11.3	tcpwm[0].line_compl[2]:3	tcpwm[1].line_compl[2]:1			smif.spi_data3	scb[5].uart_cts:1		scb[5].spi_select0:1					peri.tr_io_output[0]:0				
P11.4	tcpwm[0].line[3]:3	tcpwm[1].line[3]:1			smif.spi_data2			scb[5].spi_select1:1					peri.tr_io_output[1]:0				
P11.5	tcpwm[0].line_compl[3]:3	tcpwm[1].line_compl[3]:1			smif.spi_data1			scb[5].spi_select2:1									
P11.6					smif.spi_data0			scb[5].spi_select3:1									
P11.7					smif.spi_clk												
P12.0	tcpwm[0].line[4]:3	tcpwm[1].line[4]:1			smif.spi_data4	scb[6].uart_rx:0	scb[6].i2c_scl:0	scb[6].spi_mosi:0					peri.tr_io_input[24]:0				
P12.1	tcpwm[0].line_compl[4]:3	tcpwm[1].line_compl[4]:1			smif.spi_data5	scb[6].uart_tx:0	scb[6].i2c_sda:0	scb[6].spi_miso:0					peri.tr_io_input[25]:0				
P12.2	tcpwm[0].line[5]:3	tcpwm[1].line[5]:1			smif.spi_data6	scb[6].uart_rts:0		scb[6].spi_clk:0									
P12.3	tcpwm[0].line_compl[5]:3	tcpwm[1].line_compl[5]:1			smif.spi_data7	scb[6].uart_cts:0		scb[6].spi_select0:0									
P12.4	tcpwm[0].line[6]:3	tcpwm[1].line[6]:1			smif.spi_select3			scb[6].spi_select1:0	audioss.pdm_clk								
P12.5	tcpwm[0].line_compl[6]:3	tcpwm[1].line_compl[6]:1						scb[6].spi_select2:0	audioss.pdm_data								
P12.6	tcpwm[0].line[7]:3	tcpwm[1].line[7]:1						scb[6].spi_select3:0									
P12.7	tcpwm[0].line_compl[7]:3	tcpwm[1].line_compl[7]:1															

注释:

- 信号的符号格式为: IPName[x].signal_name[u]:y
IPName = 模块的名称 (例如 tcpwm), x = IP 的唯一实例, Signal_name = 信号的名称, u = 信号编号, 适用于下面情况: 多个信号共用一个特定信号名称, y = 指定的信号名称副本。
例如, 名称 "tcpwm [0].line_compl [3]: 4" 表示这是 tcpwm 模块的实例 0, 信号为 line_compl # 3 (行输出的补码), 并且该信号第四次出现 (副本)。提供信号副本是为了灵活地路由并最大化片上资源的使用率。

表 2. 多个备用功能^[1] (续)

端口/ 引脚	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P13.0	tcpwm[0].line[0]:4	tcpwm[1].line[8]:1				scb[6].uart_rx:1	scb[6].i2c_scl:1	scb[6].spi_mosi:1			peri.tr_io_in_put[26]:0						
P13.1	tcpwm[0].line_compl[0]:4	tcpwm[1].line_compl[8]:1				scb[6].uart_tx:1	scb[6].i2c_sda:1	scb[6].spi_miso:1			peri.tr_io_in_put[27]:0						
P13.2	tcpwm[0].line[1]:4	tcpwm[1].line[9]:1				scb[6].uart_rts:1		scb[6].spi_clk:1									
P13.3	tcpwm[0].line_compl[1]:4	tcpwm[1].line_compl[9]:1				scb[6].uart_cts:1		scb[6].spi_select0:1									
P13.4	tcpwm[0].line[2]:4	tcpwm[1].line[10]:1						scb[6].spi_select1:1									
P13.5	tcpwm[0].line_compl[2]:4	tcpwm[1].line_compl[10]:1						scb[6].spi_select2:1									
P13.6	tcpwm[0].line[3]:4	tcpwm[1].line[11]:1						scb[6].spi_select3:1									
P13.7	tcpwm[0].line_compl[3]:4	tcpwm[1].line_compl[11]:1															

注释:

- 信号的符号格式为: IPName[x].signal_name[u]:y
 IPName = 模块的名称 (例如 tcpwm), x = IP 的唯一实例, Signal_name = 信号的名称, u = 信号编号, 适用于下面情况: 多个信号共用一个特定信号名称, y = 指定的信号名称副本。
 例如, 名称 "tcpwm [0].line_compl [3]: 4" 表示这是 tcpwm 模块的实例 0, 信号为 line_compl # 3 (行输出的补码), 并且该信号第四次出现 (副本)。提供信号副本是为了灵活地路由并最大化片上资源的使用率。

表 3 中提供了模拟、智能 I/O 和 DSI 备用端口引脚功能。

表 3. 端口引脚模拟，智能 I/O 和 DSI 功能

端口 / 引脚	名称	模拟	数字 HV	DSI	SMARTIO	USB
P0.0	P0.0	wco_in		dsi[0].port_if[0]		
P0.1	P0.1	wco_out		dsi[0].port_if[1]		
P0.2	P0.2			dsi[0].port_if[2]		
P0.3	P0.3			dsi[0].port_if[3]		
P0.4	P0.4		pmic_wakeup_in hibernate_wakeup[1]	dsi[0].port_if[4]		
P0.5	P0.5		pmic_wakeup_out	dsi[0].port_if[5]		
P1.0	P1.0			dsi[1].port_if[0]		
P1.1	P1.1			dsi[1].port_if[1]		
P1.2	P1.2			dsi[1].port_if[2]		
P1.3	P1.3			dsi[1].port_if[3]		
P1.4	P1.4		hibernate_wakeup[0]	dsi[1].port_if[4]		
P1.5	P1.5			dsi[1].port_if[5]		
P14.0	USB DP					usb.usb_dp_pad
P14.1	USB DM					usb.usb_dm_pad
P2.0	P2.0			dsi[2].port_if[0]		
P2.1	P2.1			dsi[2].port_if[1]		
P2.2	P2.2			dsi[2].port_if[2]		
P2.3	P2.3			dsi[2].port_if[3]		
P2.4	P2.4			dsi[2].port_if[4]		
P2.5	P2.5			dsi[2].port_if[5]		
P2.6	P2.6			dsi[2].port_if[6]		
P2.7	P2.7			dsi[2].port_if[7]		
P3.0	P3.0					
P3.1	P3.1					
P3.2	P3.2					
P3.3	P3.3					
P3.4	P3.4					
P3.5	P3.5					
P4.0	P4.0			dsi[0].port_if[6]		
P4.1	P4.1			dsi[0].port_if[7]		
P4.2	P4.2			dsi[1].port_if[6]		
P4.3	P4.3			dsi[1].port_if[7]		
P5.0	P5.0			dsi[3].port_if[0]		
P5.1	P5.1			dsi[3].port_if[1]		
P5.2	P5.2			dsi[3].port_if[2]		
P5.3	P5.3			dsi[3].port_if[3]		
P5.4	P5.4			dsi[3].port_if[4]		
P5.5	P5.5			dsi[3].port_if[5]		
P5.6	P5.6	lpcomp.inp_comp0		dsi[3].port_if[6]		
P5.7	P5.7	lpcomp.inn_comp0		dsi[3].port_if[7]		
P6.0	P6.0			dsi[4].port_if[0]		

表 3. 端口引脚模拟，智能 I/O 和 DSI 功能（续）

端口 / 引脚	名称	模拟	数字 HV	DSI	SMARTIO	USB
P6.1	P6.1			dsi[4].port_if[1]		
P6.2	P6.2	lpcomp.inp_comp1		dsi[4].port_if[2]		
P6.3	P6.3	lpcomp.inn_comp1		dsi[4].port_if[3]		
P6.4	P6.4			dsi[4].port_if[4]		
P6.5	P6.5			dsi[4].port_if[5]		
P6.6	P6.6		swd_data	dsi[4].port_if[6]		
P6.7	P6.7		swd_clk	dsi[4].port_if[7]		
P7.0	P7.0			dsi[5].port_if[0]		
P7.1	P7.1	csd.cmodpadd csd.cmodpads		dsi[5].port_if[1]		
P7.2	P7.2	csd.csh_tankpadd csd.csh_tankpads		dsi[5].port_if[2]		
P7.3	P7.3	csd.vref_ext		dsi[5].port_if[3]		
P7.4	P7.4			dsi[5].port_if[4]		
P7.5	P7.5			dsi[5].port_if[5]		
P7.6	P7.6			dsi[5].port_if[6]		
P7.7	P7.7	csd.cshieldpads		dsi[5].port_if[7]		
P8.0	P8.0			dsi[11].port_if[0]	smartio[8].io[0]	
P8.1	P8.1			dsi[11].port_if[1]	smartio[8].io[1]	
P8.2	P8.2			dsi[11].port_if[2]	smartio[8].io[2]	
P8.3	P8.3			dsi[11].port_if[3]	smartio[8].io[3]	
P8.4	P8.4			dsi[11].port_if[4]	smartio[8].io[4]	
P8.5	P8.5			dsi[11].port_if[5]	smartio[8].io[5]	
P8.6	P8.6			dsi[11].port_if[6]	smartio[8].io[6]	
P8.7	P8.7			dsi[11].port_if[7]	smartio[8].io[7]	
P9.0	P9.0	ctb_oa0+		dsi[10].port_if[0]	smartio[9].io[0]	
P9.1	P9.1	ctb_oa0-		dsi[10].port_if[1]	smartio[9].io[1]	
P9.2	P9.2	ctb_oa0_out		dsi[10].port_if[2]	smartio[9].io[2]	
P9.3	P9.3	ctb_oa1_out		dsi[10].port_if[3]	smartio[9].io[3]	
P9.4	P9.4	ctb_oa1-		dsi[10].port_if[4]	smartio[9].io[4]	
P9.5	P9.5	ctb_oa1+		dsi[10].port_if[5]	smartio[9].io[5]	
P9.6	P9.6	ctb_oa0+		dsi[10].port_if[6]	smartio[9].io[6]	
P9.7	P9.7	ctb_oa1+ or ext_vref		dsi[10].port_if[7]	smartio[9].io[7]	
P10.0	P10.0	sarmux[0]		dsi[9].port_if[0]		
P10.1	P10.1	sarmux[1]		dsi[9].port_if[1]		
P10.2	P10.2	sarmux[2]		dsi[9].port_if[2]		
P10.3	P10.3	sarmux[3]		dsi[9].port_if[3]		
P10.4	P10.4	sarmux[4]		dsi[9].port_if[4]		
P10.5	P10.5	sarmux[5]		dsi[9].port_if[5]		
P10.6	P10.6	sarmux[6]		dsi[9].port_if[6]		
P10.7	P10.7	sarmux[7]		dsi[9].port_if[7]		

表 3. 端口引脚模拟，智能 I/O 和 DSI 功能 (续)

端口 / 引脚	名称	模拟	数字 HV	DSI	SMARTIO	USB
P11.0	P11.0			dsi[8].port_if[0]		
P11.1	P11.1			dsi[8].port_if[1]		
P11.2	P11.2			dsi[8].port_if[2]		
P11.3	P11.3			dsi[8].port_if[3]		
P11.4	P11.4			dsi[8].port_if[4]		
P11.5	P11.5			dsi[8].port_if[5]		
P11.6	P11.6			dsi[8].port_if[6]		
P11.7	P11.7			dsi[8].port_if[7]		
P12.0	P12.0			dsi[7].port_if[0]		
P12.1	P12.1			dsi[7].port_if[1]		
P12.2	P12.2			dsi[7].port_if[2]		
P12.3	P12.3			dsi[7].port_if[3]		
P12.4	P12.4			dsi[7].port_if[4]		
P12.5	P12.5			dsi[7].port_if[5]		
P12.6	P12.6	eco_in		dsi[7].port_if[6]		
P12.7	P12.7	eco_out		dsi[7].port_if[7]		
P13.0	P13.0			dsi[6].port_if[0]		
P13.1	P13.1			dsi[6].port_if[1]		
P13.2	P13.2			dsi[6].port_if[2]		
P13.3	P13.3			dsi[6].port_if[3]		
P13.4	P13.4			dsi[6].port_if[4]		
P13.5	P13.5			dsi[6].port_if[5]		
P13.6	P13.6			dsi[6].port_if[6]		
P13.7	P13.7			dsi[6].port_if[7]		

电源

电源系统框图（参见图 3）显示了 PSoC 61 上电源引脚的一般要求。通过 PSoC 61 电源方案可以实现不同的 VDDIO 和 VDDA 连接。由于不需要分析和指定序列要求，客户可以按任意顺序启动电源，并且在允许操作之前，电源系统需要确保所有域中的电源都保持良好状态。VDDD、VDDA 和 VDDIO 可以是单独的网络，它们没有在芯片上欧姆连接。根据不同的封装要求，可能需要在芯片外连接这些电源。

除了 LDO 外，电源系统还将配备一个降压调节器。具有多个输出的单输入多输出（SIMO）降压调节器可以节省一个电感器。

图 3 显示了初步框图。

图 3. SOC 电源连接

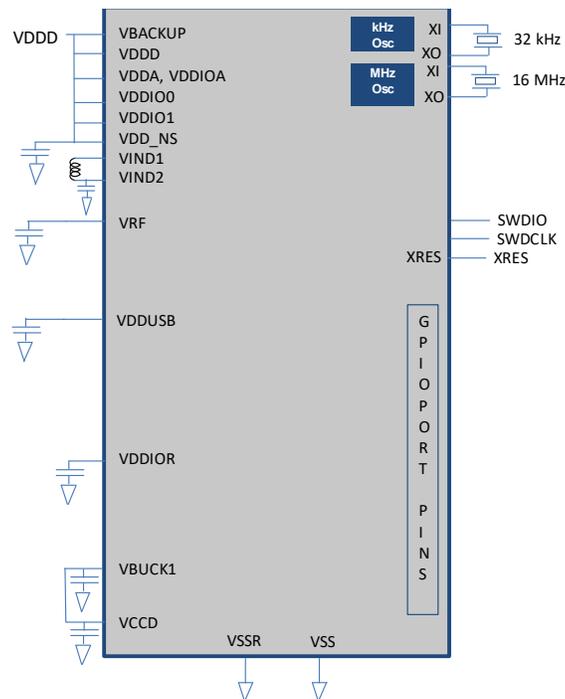


图 3 显示了 PSoC 61 的电源引脚。它还显示了需要旁路电容的引脚。

电源引脚的说明具体如下：

1. VBACKUP 是备用域的电源。备用域包括 32 kHz WCO、RTC 和备用寄存器。它可以通过 RTC 定时器或外部输入为芯片生成一个唤醒中断。它还可以生成一个用于唤醒外部电路的输出。当不作为单独的电池备用域使用时，它将被连接到 VDDD。VBACKUP 为端口 0 提供电源。
2. VDDD 是主要的数字电源输入（1.7 至 3.6 V）。它为内部电压调节器和端口 1 提供输入。
3. VDDA 是提供给模拟外设的电源（1.7 至 3.6 V）。必须将其连接到 PCB 上的 VDDIOA。
4. VDDIOA 是端口 9 和 10 的电源。它必须连接到 PCB 上的 VDDA（如果可用）。当 VDDIOA 不存在时，端口 9 和 10 由 VDDA 供电。

5. VDD_NS 是降压的电源输入，其电压要求与 VDDD 相同。VDD_NS 与地之间的旁路电容大小要求为 10 μ F。
6. 可用时，VDDIO0 是端口 11~13 的电源。该电源不可用时，这些端口由 VDDD 供电。
7. 可用时，VDDIO1 是端口 5~8 的电源。该电源不可用时，这些端口由 VDDA 供电。
8. 仅在 BGA 124 封装中，VDDIOR 才作为端口 2~4 的电源使用。

上面所有引脚都可以与 VDDD 短接，如图 3 所示。

9. VRF 是 SIMO 降压的第二个输出。
10. VBUCK1 是内部内核逻辑的 SIMO 降压输出，并被连接到 VCCD。
11. VCCD 是内部内核逻辑，它需要连接到 VBUCK1 并实现解耦。

电源电压范围为1.71~3.6V，所有功能和电路均在该范围内工作。必须将所有接地端在 PCB 上短接起来。必须从 VDDD 和 VDDA 接地或图中所注明的所有位置处使用旁路电容。在该频率范围内，系统的典型做法是使用一个 10 μF 范围内的电容与一个较小的电容（例如，0.1 μF ）并联。请注意，这只是简单的经验法则。

对于重要的应用，PCB 布局、走线间的电感和旁路电容寄生都要通过仿真，从而在设计时获得最佳旁路。建议的降压输出电容值为 10 μF （对于 Vrf）和 4.7 μF （对于 VBUCK1）。连接到 Vind2 的电容值应为 100 nF。所有电容值应为 $\pm 20\%$ 或更好；建议电感值为 2.2 $\mu\text{H} \pm 20\%$ （例如，TDK MLP2012H2R2MT0S1）。

开发支持

PSoC 61 器件系列具有一系列丰富的文档、开发工具和在线资源，能够为您在开发过程中提供帮助。更多有关信息，请访问 <http://www.cypress.com/products/32-bit-arm-cortex-m4-psoc-6> 网站。

文档

通过 PSoC 61 系列的文档，您可以快速找到问题的答案。本节列出了部分关键文档。

软件用户指南：介绍了有关使用 PSoC Creator 的流程。该指南详细介绍了 PSoC Creator 项目的构建流程、如何将源控件与 PSoC Creator 结合使用等信息。

组件数据手册：PSoC 非常灵活，在投入生产很长时间后依然可以创建新的外设（组件）。组件数据手册提供了选择和使用特定组件时所需的全部信息，其中包括功能说明、API 文档、示例代码以及交流 / 直流规范。

技术参考手册：技术参考手册（TRM）包含使用 PSoC 器件所需的全部技术细节，其中包括有关所有 PSoC 寄存器的完整说明。可以在 <http://www.cypress.com/products/32-bit-arm-cortex-m4-psoc-6> 网站上的文档部分中找到技术参考手册（TRM）。

在线资源

除了印刷文档之外，您还可以随时通过赛普拉斯 PSoC 论坛，与世界各地的 PSoC 用户和专家互相联系。

工具

PSoC 61 系列具备行业标准的内核、编程和调试接口，是开发工具体系的组成部分。有关易于使用的创新型 PSoC Creator IDE、所支持的第三方编译器、编程器、调试器和开发套件的最新信息，请访问我们的网站：
www.cypress.com/products/psoc-creator-integrated-design-environment-ide。

电气规范

注意：这些规范是初版，可能会有改变。

最大绝对额定值

表 4. 最大绝对额定值 [2]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID1	V _{DD_ABS}	相对于 V _{SS} 的模拟或数字供电电压 (V _{SSD} = V _{SSA})	-0.5	-	4	V	最大绝对额定值
SID2	V _{CCD_ABS}	相对于 V _{SSD} 的直接数字系统内核输入电压	-0.5	-	1.2	V	最大绝对额定值
SID3	V _{GPIO_ABS}	GPIO 电压; V _{DDD} 或 V _{DDA}	-0.5	-	V _{DD} + 0.5	V	最大绝对额定值
SID4	I _{GPIO_ABS}	每个 GPIO 上的电流	-25	-	25	mA	最大绝对额定值
SID5	I _{GPIO_injection}	每个引脚上的 GPIO 注入电流	-0.5	-	0.5	mA	最大绝对额定值
SID3A	ESD_HBM	静电放电 — 人体模型	2200	-	-	V	最大绝对额定值
SID3B	ESD_HBM_ANT	静电放电 — 人体模型; 天线引脚	500	-	-	V	最大绝对额定值; RF 引脚
SID4A	ESD_CDM	静电放电 — 充电器件模型	500	-	-	V	最大绝对额定值
SID4B	ESD_CD-M_ANT	静电放电 — 充电器件模型; 天线引脚	200	-	-	V	最大绝对额定值; RF 引脚
SID5A	LU	无锁存操作的引脚电流	-100	-	100	mA	最大绝对额定值

注意：除非另有说明，否则这些规范的适用条件为：-40 °C ≤ TA ≤ 85 °C 和 1.71 V~3.6 V。

器件级规范

表 5. 电源范围、CPU 电流以及转换时间规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
直流规范							
SID6	V _{DDD}	内部电压调节器和端口 1 的 GPIO 电源。	1.7	-	3.6	V	-
SID7	V _{DDA}	模拟供电电压。 PCB 上与 V _{DDIOA} 短接。	1.7	-	3.6	V	内部未稳压电源
SID7A	V _{DDIO1}	可用时，作为端口 5~8 的 GPIO 电源	1.7	-	3.6	V	V _{DDIO_1} 必须 ≥ V _{DDA} 。
SID7B	V _{DDIO0}	可用时，作为端口 11~13 的 GPIO 电源	1.7	-	3.6	V	-
SID7E	V _{DDIO0}	E-Fuse 编程的电源	2.38	2.5	2.62	V	E-Fuse 编程的电压
SID7C	V _{DDIO2}	仅限 BGA 124 上端口 2~4 的 GPIO 电源	1.7	-	3.6	V	-
SID7D	V _{DDIOA}	端口 9~10 的 GPIO 电源。 PCB 上与 V _{DDA} 短接。	1.7	-	3.6	V	-
SID7F	V _{DDUSB}	可用时，作为端口 14 (USB 或 GPIO) 的电源	1.7	-	3.6	V	对于 USB，最小电源电压为 2.85 V
SID6B	V _{BACKUP}	可用时，作为备用电源和 GPIO 端口 0 的电源	1.7	-	3.6	V	在备用模式下，最小值为 1.4 V
SID8	V _{CCD1}	输出电压 (供给内核逻辑旁路)	-	1.1	-	V	高速模式
SID9	V _{CCD2}	输出电压 (供给内核逻辑旁路)	-	0.9	-	V	ULP 模式。 有效范围为 -20~85 °C。

注释：

- 使用高于表 4 中所列出的最大绝对值可能会给器件造成永久性损害。长期使用最大绝对值可能会影响器件的可靠性。最大存放温度是 150°C，符合 JEDEC 标准 JESD22-A103 — 高温存放使用寿命。如果采用的值低于最大绝对值但高于正常值，则器件可能不会正常工作。

表 5. 电源范围、CPU 电流以及转换时间规范 (续)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID10	C _{EFC}	调节器电压 (V _{CCD}) 的外部旁路电容	3.8	4.7	5.6	μF	X5R 陶瓷或性能更好的电容有效值为 0.8~1.2 V
SID11	C _{EXC}	电源去耦电容	–	10	–	μF	X5R 陶瓷或性能更好的电容
LP 范围的电源规范 (对于 V _{CCD} = 1.1 V, 并带降压和 LDO)							
Cortex M4. 活动模式							
在缓存被禁用 (Flash) 的条件下执行							
SIDF1	I _{DD1}	从闪存内执行; CM4 处于活动模式, 运行速率为 50 MHz, CM0+ 处于睡眠模式, 运行速率为 25 MHz。带 IMO 和 FLL。While(1)。	–	2.3	3.2	mA	V _{DDD} = 3.3 V, 降压 “开”, 在 60 °C 温度下为最大值
			–	3.1	3.6	mA	V _{DDD} = 1.8 V, 降压 “开”, 在 60 °C 温度下为最大值
			–	5.7	6.5	mA	V _{DDD} = 1.8~3.3 V, LDO, 在 85 °C 温度下为最大值
SIDF2	I _{DD2}	从闪存内执行; CM4 处于活动模式, 运行速率为 8 MHz, CM0+ 处于睡眠模式, 运行速率为 8 MHz。带 IMO。While(1)。	–	0.9	1.5	mA	V _{DDD} = 3.3 V, 降压 “开”, 在 60 °C 温度下为最大值
			–	1.2	1.6	mA	V _{DDD} = 1.8 V, 降压 “开”, 在 60 °C 温度下为最大值
			–	2.8	3.5	mA	V _{DDD} = 1.8~3.3 V、LDO、在 85 °C 温度下为最大值
在缓存被使能的条件下执行							
SIDC1	I _{DD3}	从缓存内执行; CM4 处于活动模式, 运行速率为 150 MHz, CM0+ 处于睡眠模式, 运行速率为 75 MHz。IMO 和 FLL。Dhrystone。	–	6.3	7	mA	V _{DDD} = 3.3 V, 降压 “开”, 在 60 °C 温度下为最大值
			–	9.7	11.2	mA	V _{DDD} = 1.8 V, 降压 “开”, 在 60 °C 温度下为最大值
			–	14.4	15.1	mA	V _{DDD} = 1.8~3.3 V, LDO, 在 85 °C 温度下为最大值
SIDC2	I _{DD4}	从缓存内执行; CM4 处于活动模式, 运行速率为 100 MHz, CM0+ 处于睡眠模式, 运行速率为 100 MHz。IMO 和 FLL。Dhrystone。	–	4.8	5.8	mA	V _{DDD} = 3.3 V, 降压 “开”, 在 60 °C 温度下为最大值
			–	7.4	8.4	mA	V _{DDD} = 1.8 V, 降压 “开”, 在 60 °C 温度下为最大值
			–	11.3	12	mA	V _{DDD} = 1.8~3.3 V, LDO, 在 85 °C 温度下为最大值
SIDC3	I _{DD5}	从缓存内执行; CM4 处于活动模式, 运行速率为 50 MHz, CM0+ 处于睡眠模式, 运行速率为 25 MHz。IMO 和 FLL。Dhrystone。	–	2.4	3.4	mA	V _{DDD} = 3.3 V, 降压 “开”, 在 60 °C 温度下为最大值
			–	3.7	4.1	mA	V _{DDD} = 1.8 V, 降压 “开”, 在 60 °C 温度下为最大值
			–	6.3	7.2	mA	V _{DDD} = 1.8~3.3 V, LDO, 在 85 °C 温度下为最大值
SIDC4	I _{DD6}	从缓存内执行; CM4 处于活动模式, 运行速率为 8 MHz, CM0+ 处于睡眠模式, 运行速率为 8 MHz。IMO。Dhrystone。	–	0.9	1.5	mA	V _{DDD} = 3.3 V, 降压 “开”, 在 60 °C 温度下为最大值
			–	1.3	1.8	mA	V _{DDD} = 1.8 V, 降压 “开”, 在 60 °C 温度下为最大值
			–	3	3.8	mA	V _{DDD} = 1.8~3.3 V, LDO, 在 85 °C 温度下为最大值

表 5. 电源范围、CPU 电流以及转换时间规范 (续)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
Cortex M0+。活动模式							
在缓存被禁用 (Flash) 的条件下执行							
SIDF3	I _{DD7}	从闪存内执行； CM4 关闭， CM0+ 处于活动模式，运行速率为 50 MHz。 带 IMO 和 FLL。While (1)。	-	2.4	3.3	mA	V _{DDD} = 3.3 V, 降压“开”， 在 60 °C 温度下为最大值
			-	3.2	3.7	mA	V _{DDD} = 1.8 V, 降压“开”， 在 60 °C 温度下为最大值
			-	5.6	6.3	mA	V _{DDD} = 1.8~3.3 V, LDO, 在 85 °C 温度下为最大值
SIDF4	I _{DD8}	从闪存内执行；CM4 关闭，CM0+ 处于活动模式，运行速率为 8 MHz。 带 IMO。While (1)。	-	0.8	1.5	mA	V _{DDD} = 3.3 V, 降压“开”， 在 60 °C 温度下为最大值
			-	1.1	1.6	mA	V _{DDD} = 1.8 V, 降压“开”， 在 60 °C 温度下为最大值
			-	2.60	3.4	mA	V _{DDD} = 1.8~3.3 V, LDO, 在 85 °C 温度下为最大值
在缓存被使能的条件下执行							
SIDC5	I _{DD9}	从缓存内执行； CM4 关闭， CM0+ 处于活动模式，运行速率为 100 MHz。 带 IMO 和 FLL。Dhrystone。	-	3.8	4.5	mA	V _{DDD} = 3.3 V, 降压“开”， 在 60 °C 温度下为最大值
			-	5.9	6.5	mA	V _{DDD} = 1.8 V, 降压“开”， 在 60 °C 温度下为最大值
			-	9	9.7	mA	V _{DDD} = 1.8~3.3 V, LDO, 在 85 °C 温度下为最大值
SIDC6	I _{DD10}	从缓存内执行； CM4 关闭， CM0+ 处于活动模式，运行速率为 8 MHz。 带 IMO。Dhrystone。	-	0.8	1.3	mA	V _{DDD} = 3.3 V, 降压“开”， 在 60 °C 温度下为最大值
			-	1.20	1.7	mA	V _{DDD} = 1.8 V, 降压“开”， 在 60 °C 温度下为最大值
			-	2.60	3.4	mA	V _{DDD} = 1.8~3.3 V, LDO, 在 85 °C 温度下为最大值
Cortex M4。睡眠模式							
SIDS1	I _{DD11}	CM4 处于睡眠模式，运行速率为 100 MHz。 CM0+ 处于睡眠模式，运行速率为 25 MHz。 带 IMO 和 FLL。	-	1.5	2.2	mA	V _{DDD} = 3.3 V, 降压“开”， 在 60 °C 温度下为最大值
			-	2.2	2.7	mA	V _{DDD} = 1.8 V, 降压“开”， 在 60 °C 温度下为最大值
			-	4	4.6	mA	V _{DDD} = 1.8~3.3 V, LDO, 在 85 °C 温度下为最大值
SIDS2	I _{DD12}	CM4 处于睡眠模式，运行速率为 50 MHz。 CM0+ 处于睡眠模式，云心速率为 25 MHz。 带 IMO 和 FLL。	-	1.2	1.9	mA	V _{DDD} = 3.3 V, 降压“开”， 在 60 °C 温度下为最大值
			-	1.7	2.2	mA	V _{DDD} = 1.8 V, 降压“开”， 在 60 °C 温度下为最大值
			-	3.4	4.3	mA	V _{DDD} = 1.8~3.3 V, LDO, 在 85 °C 温度下为最大值
SIDS3	I _{DD13}	CM4 处于睡眠模式，运行速率为 8 MHz。 CM0+ 处于睡眠模式，云心速率为 8 MHz。 带 IMO。	-	0.7	1.3	mA	V _{DDD} = 3.3 V, 降压“开”， 在 60 °C 温度下为最大值
			-	1	1.5	mA	V _{DDD} = 1.8 V, 降压“开”， 在 60 °C 温度下为最大值
			-	2.4	3.3	mA	V _{DDD} = 1.8~3.3 V, LDO, 在 85 °C 温度下为最大值

表 5. 电源范围、CPU 电流以及转换时间规范 (续)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
Cortex M0+。睡眠模式							
SIDS4	IDD14	CM4 关闭, CM0 处于睡眠模式, 运行速率为 50 MHz。 带 IMO 和 FLL。	-	1.3	2	mA	V _{DDD} = 3.3 V, 降压“开”, 在 60 °C 温度下为最大值
			-	1.9	2.4	mA	V _{DDD} = 1.8 V, 降压“开”, 在 60 °C 温度下为最大值
			-	3.80	4.6	mA	V _{DDD} = 1.8~3.3 V, LDO, 在 85 °C 温度下为最大值
SIDS5	IDD15	CM4 关闭, CM0 处于睡眠模式, 运行速率为 8 MHz。 带 IMO。	-	0.7	1.3	mA	V _{DDD} = 3.3 V, 降压“开”, 在 60 °C 温度下为最大值
			-	1	1.5	mA	V _{DDD} = 1.8 V, 降压“开”, 在 60 °C 温度下为最大值
			-	2.4	3.3	mA	V _{DDD} = 1.8~3.3 V, LDO, 在 85 °C 温度下为最大值
Cortex M4。最小的电压调节器电流模式							
SIDLPA1	IDD16	从闪存内执行; CM4 处于活动模式, 运行速率为 8 MHz, CM0+ 处于睡眠模式, 运行速率为 8 MHz。 带 IMO。While (1)。	-	0.9	1.5	mA	V _{DDD} = 3.3 V, 降压“开”, 在 60 °C 温度下为最大值
			-	1.2	1.7	mA	V _{DDD} = 1.8 V, 降压“开”, 在 60 °C 温度下为最大值
			-	2.8	3.5	mA	V _{DDD} = 1.8~3.3 V, LDO, 在 85 °C 温度下为最大值
SIDLPA2	IDD17	从缓存内执行; CM4 处于活动模式, 运行速率为 8 MHz, CM0+ 处于睡眠模式, 运行速率为 8 MHz。 带 IMO。Dhrystone。	-	0.9	1.5	mA	V _{DDD} = 3.3 V, 降压“开”, 在 60 °C 温度下为最大值
			-	1.3	1.8	mA	V _{DDD} = 1.8 V, 降压“开”, 在 60 °C 温度下为最大值
			-	2.9	3.7	mA	V _{DDD} = 1.8~3.3 V, LDO, 在 85 °C 温度下为最大值
Cortex M0+。最小的电压调节器电流模式							
SIDLPA3	IDD18	从闪存内执行; CM4 关闭, CM0+ 处于活动模式, 运行速率为 8 MHz。 带 IMO。While (1)	-	0.8	1.4	mA	V _{DDD} = 3.3 V, 降压“开”, 在 60 °C 温度下为最大值
			-	1.1	1.6	mA	V _{DDD} = 1.8 V, 降压“开”, 在 60 °C 温度下为最大值
			-	2.7	3.6	mA	V _{DDD} = 1.8~3.3 V, LDO, 在 85 °C 温度下为最大值
SIDLPA4	IDD19	从缓存内执行; CM4 关闭, CM0+ 处于活动模式, 运行速率为 8 MHz。 带 IMO。Dhrystone。	-	0.8	1.4	mA	V _{DDD} = 3.3 V, 降压“开”, 在 60 °C 温度下为最大值
			-	1.2	1.7	mA	V _{DDD} = 1.8 V, 降压“开”, 在 60 °C 温度下为最大值
			-	2.7	3.6	mA	V _{DDD} = 1.8~3.3 V, LDO, 在 85 °C 温度下为最大值
Cortex M4。最小的电压调节器电流模式							
SIDLPS1	IDD20	CM4 处于睡眠模式, 运行速率为 8 MHz。 CM0+ 处于睡眠模式, 运行速率为 8 MHz。 带 IMO。	-	0.7	1.1	mA	V _{DDD} = 3.3 V, 降压“开”, 在 60 °C 温度下为最大值
			-	1	1.5	mA	V _{DDD} = 1.8 V, 降压“开”, 在 60 °C 温度下为最大值
			-	2.4	3.3	mA	V _{DDD} = 1.8~3.3 V, LDO, 在 85 °C 温度下为最大值

表 5. 电源范围、CPU 电流以及转换时间规范 (续)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
Cortex M0+。最小的电压调节器电流模式							
SIDLPS3	IDD22	CM4 关闭, CM0 处于睡眠模式, 运行速率为 8 MHz。 带 IMO。	-	0.6	1.1	mA	V _{DDD} = 3.3 V, 降压“开”, 在 60 °C 温度下为最大值
			-	0.9	1.5	mA	V _{DDD} = 1.8 V, 降压“开”, 在 60 °C 温度下为最大值
			-	2.4	3.3	mA	V _{DDD} = 1.8~3.3 V, LDO, 在 85 °C 温度下为最大值
ULP 范围的电源规范 (对于使用降压的 V_{CCD} = 0.9 V)。ULP 模式的有效温度范围为 -20 到 +85 °C。							
Cortex M4。活动模式							
在缓存被禁用 (Flash) 的条件下执行							
SIDF5	IDD3	从闪存内执行; CM4 处于活动模式, 运行速率为 50 MHz, CM0+ 处于睡眠模式, 运行速率为 25 MHz。 带 IMO 和 FLL。While(1)。	-	1.7	2.2	mA	V _{DDD} = 3.3 V, 降压“开”, 在 60 °C 温度下为最大值
			-	2.1	2.4	mA	V _{DDD} = 1.8 V, 降压“开”, 在 60 °C 温度下为最大值
SIDF6	IDD4	从闪存内执行; CM4 处于活动模式, 运行速率为 8 MHz, CM0+ 处于睡眠模式, 运行速率为 8 MHz。 带 IMO。While (1)	-	0.56	0.8	mA	V _{DDD} = 3.3 V, 降压“开”, 在 60 °C 温度下为最大值
			-	0.75	1	mA	V _{DDD} = 1.8 V, 降压“开”, 在 60 °C 温度下为最大值
在缓存被使能的条件下执行							
SIDC8	IDD10	从缓存内执行; CM4 处于活动模式, 运行速率为 50 MHz, CM0+ 处于睡眠模式, 运行速率为 25 MHz。 带 IMO 和 FLL。Dhrystone。	-	1.6	2.2	mA	V _{DDD} = 3.3 V, 降压“开”, 在 60 °C 温度下为最大值
			-	2.4	2.7	mA	V _{DDD} = 1.8 V, 降压“开”, 在 60 °C 温度下为最大值
SIDC9	IDD11	从缓存内执行; CM4 处于活动模式, 运行速率为 8 MHz, CM0+ 处于睡眠模式, 运行速率为 8 MHz。 带 IMO。Dhrystone。	-	0.65	0.8	mA	V _{DDD} = 3.3 V, 降压“开”, 在 60 °C 温度下为最大值
			-	0.8	1.1	mA	V _{DDD} = 1.8 V, 降压“开”, 在 60 °C 温度下为最大值
Cortex M0+。活动模式							
在缓存被禁用 (Flash) 的条件下执行							
SIDF7	IDD16	从闪存内执行; CM4 关闭, CM0+ 处于活动模式, 运行速率为 25 MHz。 带 IMO 和 FLL。Write(1)。	-	1	1.4	mA	V _{DDD} = 3.3 V, 降压“开”, 在 60 °C 温度下为最大值
			-	1.34	1.6	mA	V _{DDD} = 1.8 V, 降压“开”, 在 60 °C 温度下为最大值
SIDF8	IDD17	从闪存内执行; CM4 关闭, CM0+ 处于活动模式, 运行速率为 8 MHz。 带 IMO。While(1)	-	0.54	0.75	mA	V _{DDD} = 3.3 V, 降压“开”, 在 60 °C 温度下为最大值
			-	0.73	1	mA	V _{DDD} = 1.8 V, 降压“开”, 在 60 °C 温度下为最大值
在缓存被使能的条件下执行							
SIDC10	IDD18	从缓存内执行; CM4 关闭, CM0+ 处于活动模式, 运行速率为 25 MHz。 带 IMO 和 FLL。Dhrystone。	-	0.91	1.25	mA	V _{DDD} = 3.3 V, 降压“开”, 在 60 °C 温度下为最大值
			-	1.34	1.6	mA	V _{DDD} = 1.8 V, 降压“开”, 在 60 °C 温度下为最大值
SIDC11	IDD19	从缓存内执行; CM4 关闭, CM0+ 处于活动模式, 运行速率为 8 MHz。 带 IMO。Dhrystone。	-	0.51	0.72	mA	V _{DDD} = 3.3 V, 降压“开”, 在 60 °C 温度下为最大值
			-	0.73	0.95	mA	V _{DDD} = 1.8 V, 降压“开”, 在 60 °C 温度下为最大值

表 5. 电源范围、CPU 电流以及转换时间规范 (续)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
Cortex M4. 睡眠模式							
SIDS7	IDD21	CM4 处于睡眠模式，运行速率为 50 MHz。 CM0+ 处于睡眠模式，云心速率为 25 MHz。 带 IMO 和 FLL。	-	0.76	1.1	mA	V _{DDD} = 3.3 V，降压“开”， 在 60 °C 温度下为最大值
			-	1.1	1.4	mA	V _{DDD} = 1.8 V，降压“开”， 在 60 °C 温度下为最大值
SIDS8	IDD22	CM4 处于睡眠模式，运行速率为 8 MHz。 CM0+ 处于睡眠模式，运行速率为 8 MHz。 带 IMO	-	0.42	0.65	mA	V _{DDD} = 3.3 V，降压“开”， 在 60 °C 温度下为最大值
			-	0.59	0.8	mA	V _{DDD} = 1.8 V，降压“开”， 在 60 °C 温度下为最大值
Cortex M0+. 睡眠模式							
SIDS9	IDD23	CM4 关闭， CM0+ 处于睡眠模式，云心速率为 25 MHz。 带 IMO 和 FLL。	-	0.62	0.9	mA	V _{DDD} = 3.3 V，降压“开”， 在 60 °C 温度下为最大值
			-	0.88	1.1	mA	V _{DDD} = 1.8 V，降压“开”， 在 60 °C 温度下为最大值
SIDS10	IDD24	CM4 关闭，CM0 处于睡眠模式，运行速率为 8 MHz。带 IMO。	-	0.41	0.6	mA	V _{DDD} = 3.3 V，降压“开”， 在 60 °C 温度下为最大值
			-	0.58	0.8	mA	V _{DDD} = 1.8 V，降压“开”， 在 60 °C 温度下为最大值
Cortex M4. 最小的电压调节器电流模式							
SIDLPA5	IDD25	从闪存内执行。CM4 处于活动模式， 运行速率为 8 MHz，CM0+ 处于睡眠模式， 运行速率为 8 MHz。带 IMO。While(1)。	-	0.52	0.75	mA	V _{DDD} = 3.3 V，降压“开”， 在 60 °C 温度下为最大值
			-	0.76	1	mA	V _{DDD} = 1.8 V，降压“开”， 在 60 °C 温度下为最大值
SIDLPA6	IDD26	从缓存内执行； CM4 处于活动模式，运行速率为 8 MHz， CM0+ 处于睡眠模式，运行速率为 8 MHz。 带 IMO。Dhrystone。	-	0.54	0.76	mA	V _{DDD} = 3.3 V，降压“开”， 在 60 °C 温度下为最大值
			-	0.78	1	mA	V _{DDD} = 1.8 V，降压“开”， 在 60 °C 温度下为最大值
Cortex M0+. 最小的电压调节器电流模式							
SIDLPA7	IDD27	从闪存内执行。 CM4 关闭，CM0+ 处于活动模式，运行速率为 8 MHz。 带 IMO。While (1)。	-	0.51	0.75	mA	V _{DDD} = 3.3 V，降压“开”， 在 60 °C 温度下为最大值
			-	0.75	1	mA	V _{DDD} = 1.8 V，降压“开”， 在 60 °C 温度下为最大值
SIDLPA8	IDD28	从缓存内执行； CM4 关闭，CM0+ 处于活动模式，运行速率为 8 MHz。 带 IMO。Dhrystone。	-	0.48	0.7	mA	V _{DDD} = 3.3 V，降压“开”， 在 60 °C 温度下为最大值
			-	0.7	0.95	mA	V _{DDD} = 1.8 V，降压“开”， 在 60 °C 温度下为最大值
Cortex M4. 最小的电压调节器电流模式							
SIDLPS5	IDD29	CM4 处于睡眠模式，运行速率为 8 MHz。 CM0 Sleep 8 MHz。 带 IMO。	-	0.4	0.6	mA	V _{DDD} = 3.3 V，降压“开”， 在 60 °C 温度下为最大值
			-	0.57	0.8	mA	V _{DDD} = 1.8 V，降压“开”， 在 60 °C 温度下为最大值
Cortex M0+. 最小的电压调节器电流模式							
SIDLPS7	IDD31	CM4 关闭，CM0 处于睡眠模式，运行速率为 8 MHz。 带 IMO。	-	0.39	0.6	mA	V _{DDD} = 3.3 V，降压“开”， 在 60 °C 温度下为最大值
			-	0.56	0.8	mA	V _{DDD} = 1.8 V，降压“开”， 在 60 °C 温度下为最大值

表 5. 电源范围、CPU 电流以及转换时间规范 (续)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
深度睡眠模式							
SIDDS1	IDD33A	内部降压被使能并且带有 64K SRAM 数据保留	-	7	-	μA	在 85 °C 温度下为最大值
SIDDS1_B	IDD33A_B	内部降压被使能并且带有 64K SRAM 数据保留	-	7	-	μA	在 60 °C 温度下为最大值
SIDDS2	IDD33B	内部降压被使能并且带有 256K SRAM 数据保留	-	9	-	μA	在 85 °C 温度下为最大值
SIDDS2_B	IDD33B_B	内部降压被使能并且带有 256K SRAM 数据保留	-	9	-	μA	在 60 °C 温度下为最大值
休眠模式							
SIDHIB1	IDD34	VDDD = 1.8 V	-	300	-	nA	没有时钟正在运行
SIDHIB2	IDD34A	VDDD = 3.3 V	-	800	-	nA	没有时钟正在运行
功耗模式转换时间							
SID12	TLPACT_ACT	从低功耗活动到活动的转换时间	-	-	35	μs	包含 PLL 锁定时间
SID13	TDS_LPACT	从深度睡眠到 LP 活动的转换时间由设计保证。	-	-	25	μs	在转换到应用程序代码之前，赛普拉斯提供的软件唤醒子程序在硬件唤醒 (25 μs) 后大约需要经过 100 个 CPU 时钟周期。使用一个 8 MHz CPU 时钟 (LP 活动) 时，执行用户代码前的时长为 25 + 12.5 = 37.5 μs。
SID13A	TDS_ACT	深度睡眠到活动的转换时间由设计保证。	-	-	25	μs	在转换到应用程序代码之前，赛普拉斯提供的软件唤醒子程序在硬件唤醒 (25 μs) 后大约需要经过 100 个 CPU 时钟周期。使用 25 MHz CPU 时钟 (FLL) 时，执行用户代码前的时间为 25 + 4 = 29 μs。使用 100 MHz CPU 时钟时，该时长为 25 + 1.0 = 26 μs。
SID14	THIB_ACT	从休眠到活动的转换时间	-	500	-	μs	包含 PLL 锁定时间

XRES
表 6. XRES

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
XRES (低电平有效) 规范							
XRES 交流规范							
SID15	T _{XRES_ACT}	从 POR 或 XRES 释放到活动的转换时间	–	750	–	µs	正常模式, 50 MHz M0+
SID16	T _{XRES_PW}	XRES 脉冲宽度	5	–	–	µs	–
XRES 直流规范							
SID17	T _{XRES_IDD}	XRES 被激活时, 使用 IDD	–	300	–	nA	V _{DDD} = 1.8 V
SID17A	T _{XRES_IDD_1}	XRES 被激活时, 使用 IDD	–	800	–	nA	V _{DDD} = 3.3 V
SID77	V _{IH}	输入电压上限阈值	0.7 * V _{DD}	–	–	V	CMOS 输入
SID78	V _{IL}	输入电压下限阈值	–	–	0.3 * V _{DD}	V	CMOS 输入
SID80	C _{IN}	输入电容	–	3	–	pF	–
SID81	V _{HYSXRES}	输入电压迟滞	–	100	–	mV	–
SID82	I _{DIODE}	通过保护二极管到达 V _{DD} /V _{SS} 的导通电流	–	–	100	µA	–

GPIO
表 7. GPIO 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
GPIO 直流规范							
SID57	V _{IH}	输入高电平电压阈值	0.7 * V _{DD}	–	–	V	CMOS 输入
SID57A	I _{IHS}	焊盘电压 > OVT 输入的 VDDIO 时的输入电流	–	–	10	µA	按照 I ² C 规范
SID58	V _{IL}	输入低电平电压阈值	–	–	0.3 * V _{DD}	V	CMOS 输入
SID241	V _{IH}	LVTTL 输入, V _{DD} < 2.7 V	0.7 * V _{DD}	–	–	V	–
SID242	V _{IL}	LVTTL 输入, V _{DD} < 2.7 V	–	–	0.3 * V _{DD}	V	–
SID243	V _{IH}	LVTTL 输入, V _{DD} ≥ 2.7 V	2.0	–	–	V	–
SID244	V _{IL}	LVTTL 输入, V _{DD} ≥ 2.7 V	–	–	0.8	V	–
SID59	V _{OH}	输出高电平电压	V _{DD} -0.5	–	–	V	I _{OH} = 8 mA
SID62A	V _{OL}	输出低电平电压	–	–	0.4	V	I _{OL} = 8 mA
SID63	R _{PULLUP}	上拉电阻	3.5	5.6	8.5	kΩ	–
SID64	R _{PULLDOWN}	下拉电阻	3.5	5.6	8.5	kΩ	–
SID65	I _{IL}	输入漏电流 (绝对值)	–	–	2	nA	25 °C, V _{DD} = 3.0 V
SID65A	I _{IL_CTBM}	CTBm 输入引脚上的输入漏电流	–	–	4	nA	–
SID66	C _{IN}	输入电容	–	–	5	pF	–

注释:

- 在转换到应用程序代码之前, 赛普拉斯提供的软件唤醒子程序在硬件唤醒 (25 µs) 后大约需要经过 180 个 CPU 时钟周期。使用 8 MHz CPU 时钟 (LP 活动) 时, 执行用户代码前的时间为 25 + 22.5 = 47.5 µs。
- 在转换到应用程序代码之前, 赛普拉斯提供的软件唤醒子程序在硬件唤醒 (25 µs) 后大约需要经过 180 个 CPU 时钟周期。使用 25 MHz CPU 时钟 (FLL) 时, 执行用户代码前的时间为 25 + 7.2 = 32.2 µs。使用 100 MHz CPU 时钟时, 该时间为 25 + 1.8 = 26.8 µs。

表 7. GPIO 规范 (续)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID67	V_{HYSTTL}	输入迟滞 LVTTTL $V_{DD} > 2.7 V$	100	0	–	mV	–
SID68	$V_{HYSCMOS}$	输入迟滞 CMOS	$0.05 * V_{DD}$	–	–	mV	–
SID69	I_{DIODE}	通过保护二极管到达 V_{DD}/V_{SS} 的导通电流	–	–	100	μA	–
SID69A	I_{TOT_GPIO}	芯片的最大源电流或灌电流总数	–	–	200	mA	–
GPIO 交流规范							
SID70	T_{RISEF}	快速强驱动模式下的上升时间, V_{DD} 的 10%~90%。	–	–	2.5	ns	Load = 15 pF, 驱动强度为 8 mA
SID71	T_{FALLF}	快速强驱动模式下的下降时间, V_{DD} 的 10%~90%。	–	–	2.5	ns	Load = 15 pF, 驱动强度为 8 mA
SID72	T_{RISES_1}	慢速强驱动模式下的上升时间, V_{DD} 的 10%~90%。	52	–	142	ns	Load = 15 pF, 驱动强度为 8 mA $V_{DD} \leq 2.7 V$
SID72A	T_{RISES_2}	慢速强驱动模式下的上升时间, V_{DD} 的 10%~90%。	48	–	102	ns	Load = 15 pF, 驱动强度为 8 mA $2.7 V < V_{DD} \leq 3.6 V$
SID73	T_{FALLS_1}	慢速强驱动模式下的下降时间, V_{DD} 的 10%~90%。	44	–	211	ns	Load = 15 pF, 驱动强度为 8 mA, $V_{DD} \leq 2.7 V$
SID73A	T_{FALLS_2}	慢速强驱动模式下的下降时间, V_{DD} 的 10%~90%。	42	–	93	ns	Load = 15 pF, 驱动强度为 8 mA $2.7 V < V_{DD} \leq 3.6 V$
SID73G	T_{FALL_I2C}	慢速强驱动模式下的下降时间 (V_{DD} 的 30%~70%)。	$20 * V_{DDIO} / 5.5$	–	250	ns	Load = 10 pF~400 pF, 驱动强度为 8 mA
SID74	$F_{GPIOOUT1}$	GPIO 的输出频率 (F_{out}) ; 快速强驱动模式。	–	–	100	MHz	90/10%、15 pF 负载、60/40 占空比
SID75	$F_{GPIOOUT2}$	GPIO 的输出频率 (F_{out}) ; 慢速强驱动模式。	–	–	16.7	MHz	90/10%、15 pF 负载、60/40 占空比
SID76	$F_{GPIOOUT3}$	GPIO 的输出频率 (F_{out}) ; 快速强驱动模式。	–	–	7	MHz	90/10%, Load = 25 pF, 60/40 占空比
SID245	$F_{GPIOOUT4}$	GPIO 的输出频率 (F_{out}) ; 慢速强驱动模式。	–	–	3.5	MHz	90/10%, Load = 25 pF, 60/40 占空比
SID246	F_{GPIOIN}	GPIO 输入工作频率; $1.71 V \leq V_{DD} \leq 3.6 V$	–	–	100	MHz	90/10% V_{IO}

模拟外设

运算放大器

表 8. 运算放大器规范

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
	I_{DD}	运算放大器模块电流。空载。	-	-	-		-
SID269	I_{DD_HI}	功耗 = 高	-	1300	1500	μA	-
SID270	I_{DD_MED}	功耗 = 中	-	450	600	μA	-
SID271	I_{DD_LOW}	功耗 = 低	-	250	350	μA	-
	GBW	负载 = 20 pF、0.1 mA。 $V_{DDA} = 2.7 V$	-	-	-		-
SID272	GBW_HI	功耗 = 高	6	-	-	MHz	-
SID273	GBW_MED	功耗 = 中	4	-	-	MHz	-
SID274	GBW_LO	功耗 = 低	-	1	-	MHz	-
	I_{OUT_MAX}	$V_{DDA} \geq 2.7 V$ 、 电源电压为 500 mV	-	-	-		-
SID275	$I_{OUT_MAX_HI}$	功耗 = 高	10	-	-	mA	-
SID276	$I_{OUT_MAX_MID}$	功耗 = 中	10	-	-	mA	-
SID277	$I_{OUT_MAX_LO}$	功耗 = 低	-	5	-	mA	-
	I_{OUT}	$V_{DDA} = 1.71 V$ 、 电源电压 = 500 mV	-	-	-		-
SID278	$I_{OUT_MAX_HI}$	功耗 = 高	4	-	-	mA	-
SID279	$I_{OUT_MAX_MID}$	功耗 = 中	4	-	-	mA	-
SID280	$I_{OUT_MAX_LO}$	功耗 = 低	-	2	-	mA	-
SID281	V_{IN}	输入电压范围	0	-	$V_{DDA} - 0.2$	V	-
SID282	V_{CM}	共模输入电压	0	-	$V_{DDA} - 0.2$	V	-
	V_{OUT}	$V_{DDA} \geq 2.7V$	-	-	-		-
SID283	V_{OUT_1}	功耗 = 高, $I_{load} = 10 mA$	0.5	-	$V_{DDA} - 0.5$	V	-
SID284	V_{OUT_2}	功耗 = 高, $I_{load} = 1 mA$	0.2	-	$V_{DDA} - 0.2$	V	-
SID285	V_{OUT_3}	功耗 = 中, $I_{load} = 1 mA$	0.2	-	$V_{DDA} - 0.2$	V	-
SID286	V_{OUT_4}	功耗 = 低, $I_{load} = 0.1 mA$	0.2	-	$V_{DDA} - 0.2$	V	-
SID287	V_{OS_UNTR}	偏移电压, 未校准	-	-	-	mV	-
SID288	V_{OS_TR}	偏移电压, 校准后	-1	± 0.5	1	mV	高功耗模式, 0.2 到 $V_{DDA} - 0.2$
SID288A	V_{OS_TR}	偏移电压, 校准后	-	± 1	-	mV	中功耗模式
SID288B	V_{OS_TR}	偏移电压, 校准后	-	± 2	-	mV	低功耗模式
SID289	$V_{OS_DR_UNTR}$	失调电压漂移, 未校准	-	-	-	$\mu V/^\circ C$	-
SID290	$V_{OS_DR_TR}$	失调电压漂移, 校准后	-10	± 3	10	$\mu V/^\circ C$	高功耗模式, 0.2 到 $V_{DDA} - 0.2$
SID290A	$V_{OS_DR_TR}$	失调电压漂移, 校准后	-	± 10	-	$\mu V/^\circ C$	中功耗模式
SID290B	$V_{OS_DR_TR}$	失调电压漂移, 校准后	-	± 10	-	$\mu V/^\circ C$	低功耗模式
SID291	CMRR	直流共模抑制比	67	80	-	dB	$V_{DDD} = 3.3 V$
SID292	PSRR	工作频率为 1 kHz、纹波电压为 10 mV 情况下的电源抑制比	70	85	-	dB	$V_{DDD} = 3.3 V$

表 8. 运算放大器规范 (续)

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
噪声							
SID293	VN1	输入相关噪声, 频率 = 1 Hz–1 GHz, 功耗 = 高	–	100	–	μVrms	–
SID294	VN2	输入相关噪声, 频率 = 1 kHz, 功耗 = 高	–	180	–	nV/rtHz	–
SID295	VN3	输入相关噪声, 频率 = 10 kHz, 功耗 = 高	–	70	–	nV/rtHz	–
SID296	VN4	输入相关噪声, 频率 = 100 kHz, 功耗 = 高	–	38	–	nV/rtHz	–
SID297	C _{LOAD}	稳定状态下的最大负载。性能输出模式为 50pF。	–	–	125	pF	–
SID298	Slew_rate	输出压摆率	6	–	–	V/μs	C _{load} = 50 pF, 功耗 = 高, V _{DDA} ≥ 2.7 V
SID299	T _{OP_WAKE}	从禁用到使能的时间, 无外部RC电路支配	–	25	–	μs	–
	COMP_MODE	比较器模式; 50 mV 超压, Trise = Tfall (近似值)	–	–	–	–	–
SID300	TPD1	响应时间; 功耗 = 高	–	150	–	ns	–
SID301	TPD2	响应时间; 功耗 = 中	–	400	–	ns	–
SID302	TPD3	响应时间; 功耗 = 低	–	2000	–	ns	–
SID303	VHYST_OP	迟滞	–	10	–	mV	–
深度睡眠模式		模式 2 有最低的电流范围。模式 1 有更高的 GBW。					深度睡眠模式操作: V _{DDA} ≥ 2.7 V。VIN 为 0.2 到 V _{DDA} -1.5
SID_DS_1	I _{DD_HI_M1}	模式 1, 高电流	–	1300	1500	μA	在 25 °C 温度下, 使用典型值。
SID_DS_2	I _{DD_MED_M1}	模式 1, 中电流	–	460	600	μA	在 25 °C 温度下, 使用典型值。
SID_DS_3	I _{DD_LOW_M1}	模式 1, 低电流	–	230	350	μA	在 25 °C 温度下, 使用典型值。
SID_DS_4	I _{DD_HI_M2}	模式 2, 高电流	–	120	–	μA	25 °C
SID_DS_5	I _{DD_MED_M2}	模式 2, 中电流	–	60	–	μA	25 °C
SID_DS_6	I _{DD_LOW_M2}	模式 2, 低电流	–	15	–	μA	25 °C
SID_DS_7	GBW_HI_M1	模式 1, 高电流	–	4	–	MHz	25 °C
SID_DS_8	GBW_MED_M1	模式 1, 中电流	–	2	–	MHz	25 °C
SID_DS_9	GBW_LOW_M1	模式 1, 低电流	–	0.5	–	MHz	25 °C
SID_DS_10	GBW_HI_M2	模式 2, 高电流	–	0.5	–	MHz	20 pF 负载, 无直流负载, 电压范围为 0.2 V~V _{DDA} -1.5V
SID_DS_11	GBW_MED_M2	模式 2, 中电流	–	0.2	–	MHz	20 pF 负载, 无直流负载, 电压范围为 0.2 V~V _{DDA} -1.5V
SID_DS_12	GBW_LOW_M2	模式 2, 低电流	–	0.1	–	MHz	20 pF 负载, 无直流负载, 电压范围为 0.2 V~V _{DDA} -1.5V

表 8. 运算放大器规范 (续)

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID_DS_13	V _{OS_HI_M1}	模式 1, 高电流	-	5	-	mV	在 25 °C 温度下进行调整, 0.2V~V _{DDA} -1.5V
SID_DS_14	V _{OS_MED_M1}	模式 1, 中电流	-	5	-	mV	在 25 °C 温度下进行调整, 0.2V~V _{DDA} -1.5V
SID_DS_15	V _{OS_LOW_M1}	模式 1, 低电流	-	5	-	mV	在 25 °C 温度下进行调整, 0.2V~V _{DDA} -1.5V
SID_DS_16	V _{OS_HI_M2}	模式 2, 高电流	-	5	-	mV	在 25 °C 温度下进行调整, 0.2V~V _{DDA} -1.5V
SID_DS_17	V _{OS_MED_M2}	模式 2, 中电流	-	5	-	mV	在 25 °C 温度下进行调整, 0.2V~V _{DDA} -1.5V
SID_DS_18	V _{OS_LOW_M2}	模式 2, 低电流	-	5	-	mV	在 25 °C 温度下进行调整, 0.2V~V _{DDA} -1.5V
SID_DS_19	I _{OUT_HI_M1}	模式 1, 高电流	-	10	-	mA	输出电压为 0.5V~V _{DDA} -0.5V
SID_DS_20	I _{OUT_MED_M1}	模式 1, 中电流	-	10	-	mA	输出电压为 0.5 V~V _{DDA} -0.5V
SID_DS_21	I _{OUT_LOW_M1}	模式 1, 低电流	-	4	-	mA	输出电压为 0.5V~V _{DDA} -0.5V
SID_DS_22	I _{OUT_HI_M2}	模式 2, 高电流	-	1	-	mA	输出电压为 0.5V~V _{DDA} -0.5V
SID_DS_23	I _{OUT_MED_M2}	模式 2, 中电流	-	1	-	mA	输出电压为 0.5V~V _{DDA} -0.5V
SID_DS_24	I _{OUT_LOW_M2}	模式 2, 低电流	-	0.5	-	mA	输出电压为 0.5V~V _{DDA} -0.5V

表 9. 低功耗 (LP) 比较器规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
低功耗比较器直流规范							
SID84	V _{OFFSET1}	COMP1 的输入偏移电压。正常功耗模式。	-10	-	10	mV	COMP0 偏移为 ±25 mV
SID85A	V _{OFFSET2}	输入偏移电压。低功耗模式。	-25	±12	25	mV	-
SID85B	V _{OFFSET3}	输入偏移电压。超低功耗模式。	-25	±12	25	mV	-
SID86	V _{HYST1}	在正常模式下使能的迟滞	-	-	60	mV	-
SID86A	V _{HYST2}	在低功耗模式下使能的迟滞	-	-	80	mV	-
SID87	V _{ICM1}	正常模式下的共模输入电压	0	-	V _{DDIO1} - 0.1	V	-
SID247	V _{ICM2}	低功耗模式下的共模输入电压	0	-	V _{DDIO1} - 0.1	V	-
SID247A	V _{ICM3}	超低功耗模式下的共模输入电压	0	-	V _{DDIO1} - 0.1	V	-
SID88	CMRR	正常模式下的共模抑制比	50	-	-	dB	-
SID89	I _{CMP1}	模块电流, 正常模式	-	-	150	μA	-
SID248	I _{CMP2}	模块电流, 低功耗模式	-	-	10	μA	-
SID259	I _{CMP3}	超低功耗模式下的模块电流	-	0.3	0.85	μA	-
SID90	Z _{CMP}	比较器的直流输入阻抗	35	-	-	MΩ	-

表 9. 低功耗 (LP) 比较器规范 (续)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
低功耗比较器交流规范							
SID91	T _{RESP1}	响应时间, 正常模式, 100 mV 超压	-	-	100	ns	-
SID258	T _{RESP2}	相应时间, 低功耗模式, 100 mV 超压	-	-	1000	ns	-
SID92	T _{RESP3}	响应时间, 超低功耗模式, 100 mV 超压	-	-	20	μs	-
SID92E	T _{CMP_EN1}	使能到操作的时间	-	-	10	μs	正常模式和低功耗模式
SID92F	T _{CMP_EN2}	使能到操作的时间	-	-	50	μs	超低功耗模式

表 10. 温度传感器规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID93	T _{SENSACC}	温度传感器的准确度	-5	±1	5	°C	-40 ~ +85 °C

表 11. 内部参考电压规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID93R	V _{REFBG}		1.188	1.2	1.212	V	-

SAR ADC
表 12. 12 位 SAR ADC 直流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID94	A_RES	SAR ADC 分辨率	-	-	12	位	-
SID95	A_CHNLS_S	通道数量 — 单端	-	-	16	-	8 个全速通道。
SID96	A-CHNKS_D	通道数量 — 差分	-	-	8	-	差分输入需要使用相邻的 I/O
SID97	A-MONO	单调性	-	-	-	-	有
SID98	A_GAINERR	增益误差	-	-	±0.2	%	使用外部参考电压。
SID99	A_OFFSET	输入偏移电压	-	-	2	mV	使用 1 V 的参考电压时测量得到
SID100	A_ISAR_1	速度为 1 Mbps 时的电流消耗	-	-	1	mA	速度为 1 Msps。使用外部旁路电容。
SID100A	A_ISAR_2	速度为 1 Mbps 时的电流消耗。 参考电压 = V _{DD}	-	-	1.25	mA	速度为 1 Msps。使用外部旁路电容。
SID101	A_VINS	输入电压范围 — 单端	V _{SS}	-	V _{DDA}	V	-
SID102	A_VIND	输入电压范围 — 差分	V _{SS}	-	V _{DDA}	V	-
SID103	A_INRES	输入电阻	-	-	2.2	kΩ	-
SID104	A_INCAP	输入电容	-	-	10	pF	-

表 13. 12 位 SAR ADC 交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
12 位 SAR ADC 交流规范							
SID106	A_PSRR	电源抑制比	70	-	-	dB	-
SID107	A_CMRR	共模抑制比	66	-	-	dB	在 1 V 电压下测量得到
每秒一兆采样模式:							
SID108	A_SAMP_1	使用外部参考旁路电容时的采样率	-	-	1	MspS	-
SID108A	A_SAMP_2	没有使用旁路电容时的采样率; 参考电压 = V_{DD}	-	-	250	ksps	-
SID108B	A_SAMP_3	没有使用旁路电容时的采样率。 内部参考电压。	-	-	100	ksps	-
SID109	A_SINAD	信噪比和失真比 (SINAD)。 $V_{DDA} = 2.7\sim 3.6\text{ V}$, 1 Msps。	64	-	-	dB	$F_{in} = 10\text{ kHz}$
SID111A	A_INL	积分非线性。 $V_{DDA} = 2.7\sim 3.6\text{ V}$, 1 Msps	-2	-	2	LSB	在使用内部参考电压 $V_{REF} = 1.2\text{ V}$ 和旁路电容时测量得到
SID111B	A_INL	积分非线性。 $V_{DDA} = 2.7\sim 3.6\text{ V}$, 1 Msps	-4	-	4	LSB	在使用外部参考电压 $V_{REF} \geq 1\text{ V}$ 和 V_{IN} 共模 $< 2 * V_{ref}$ 时 测量得到
SID112A	A_DNL	差分非线性。 $V_{DDA} = 2.7\sim 3.6\text{ V}$, 1 Msps	-1	-	1.4	LSB	在使用内部参考电压 $V_{REF} = 1.2\text{ V}$ 和旁路电容时测量得到
SID112B	A_DNL	差分非线性。 $V_{DDA} = 2.7\sim 3.6\text{ V}$, 1 Msps	-1	-	1.7	LSB	在使用外部参考电压 $V_{REF} \geq 1\text{ V}$ 和 V_{IN} 共模 $< 2 * V_{REF}$ 时 测量得到
SID113	A_THD	总谐波失真。 $V_{DDA} = 2.7\sim 3.6\text{ V}$, 1 Msps	-	-	-65	dB	$F_{in} = 10\text{ kHz}$

表 14. 12 位 DAC 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
12 位 DAC 直流规范							
SID108D	DAC_RES	DAC 分辨率	-	-	12	位	-
SID111D	DAC_INL	积分非线性	-4	-	4	LSB	-
SID112D	DAC_DNL	差分非线性	-2	-	2	LSB	11 位输出为单调性。
SID99D	DAC_OFFSET	输出电压零偏移错误	-10	-	10	mV	对于 000 (十六进制)
SID103D	DAC_OUT_RES	DAC 输入电阻	-	15	-	k Ω	-
SID100D	DAC_IDD	DAC 电流	-	-	125	μA	-
SID101D	DAC_QIDD	DAC 停止时的 DAC 电流	-	-	1	μA	-
12 位 DAC 交流规范							
SID109D	DAC_CONV	DAC 建立时间	-	-	2	μs	通过 CTBm 缓冲器进行驱动; 25 pF 负载
SID110D	DAC_Wakeup	从使能到就绪进行转换的时间	-	-	10	μs	-

CSD

表 15. CapSense Sigma-Delta (CSD) 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
CSD V2 规范							
SYS.PER#3	I _{TCPWM1}	电源的最大允许纹波, DC ~ 10 MHz	-	-	±50	mV	V _{DDA} > 2 V (有纹波), 25 °C T _A , 灵敏度 = 0.1 pF
SYS.PER#16	I _{TCPWM2}	电源的最大允许纹波, DC ~ 10 MHz	-	-	±25	mV	V _{DDA} > 1.75 V (有纹波), 25 °C T _A , 寄生电容 (C _P) < 20 pF, 灵敏度 ≥ 0.4 pF
SID.CSD.BLK	I _{TCPWM3}	模块的最大电流	-	-	4500	µA	
SID.CSD#15	I _{TCPWM4}	CSD 和比较器的参考电压	0.6	1.2	V _{DDA} - 0.6	V	V _{DDA} - V _{REF} ≥ 0.6V
SID.CSD#15A	I _{TCPWMFREQ}	CSD 和比较器的外部参考电源	0.6	-	V _{DDA} - 0.6	V	V _{DDA} - V _{REF} ≥ 0.6V
SID.CSD#16	I _{DAC1IDD}	IDAC1 (7 位) 模块电流	-	-	1900	µA	-
SID.CSD#17	I _{DAC2IDD}	IDAC2 (7 位) 模块电流	-	-	1900	µA	-
SID308	V _{CSD}	工作电压范围	1.7	-	3.6	V	1.71~3.6 V
SID308A	V _{COMPIDAC}	IDAC 的合规电压范围	0.6	-	V _{DDA} - 0.6	V	V _{DDA} - V _{REF} ≥ 0.6V
SID309	I _{DAC1DNL}	DNL	-1	-	1	LSB	-
SID310	I _{DAC1INL}	INL	-3	-	3	LSB	如果 V _{DDA} < 2 V, 则用于不超过 2.4 µA 的 LSB
SID311	I _{DAC2DNL}	DNL	-1	-	1	LSB	
SID312	I _{DAC2INL}	INL	-3	-	3	LSB	如果 V _{DDA} < 2 V, 则用于不超过 2.4 µA 的 LSB
下面的 SNRC 为手指计数与噪声的比率。由特性保证。							
SID313_1A	SNRC_1	SRSS 参考电压。IMO + FLL 时钟源。灵敏度为 0.1 pF。	5	-	-	比率	最大电容为 9.5 pF
SID313_1B	SNRC_2	SRSS 参考电压。IMO + FLL 时钟源。灵敏度为 0.3 pF。	5	-	-	比率	最大电容为 31 pF
SID313_1C	SNRC_3	SRSS 参考电压。IMO + FLL 时钟源。灵敏度为 0.6 pF。	5	-	-	比率	最大电容为 61 pF
SID313_2A	SNRC_4	PASS 参考电压。IMO + FLL 时钟源。灵敏度为 0.1 pF。	5	-	-	比率	最大电容为 12 pF
SID313_2B	SNRC_5	PASS 参考电压。IMO + FLL 时钟源。灵敏度为 0.3 pF。	5	-	-	比率	最大电容为 47 pF
SID313_2C	SNRC_6	PASS 参考电压。IMO + FLL 时钟源。灵敏度为 0.6 pF。	5	-	-	比率	最大电容为 86 pF
SID313_3A	SNRC_7	PASS 参考电压。IMO + PLL 时钟源。灵敏度为 0.1 pF。	5	-	-	比率	最大电容为 27 pF
SID313_3B	SNRC_8	PASS 参考电压。IMO + PLL 时钟源。灵敏度为 0.3 pF。	5	-	-	比率	最大电容为 86 pF
SID313_3C	SNRC_9	PASS 参考电压。IMO + PLL 时钟源。灵敏度为 0.6 pF。	5	-	-	比率	最大电容为 168 pF
SID314	IDAC1CRT1	在低值范围内的 IDAC1 (7 位) 输出电流	4.2		5.7	µA	LSB = 37.5 nA (典型值)

表 15. CapSense Sigma-Delta (CSD) 规范 (续)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID314A	IDAC _{1CRT2}	在中值范围内的 IDAC1 (7 位) 输出电流	33.7	–	45.6	μA	LSB = 300 nA (典型值)
SID314B	IDAC _{1CRT3}	在高值范围内的 IDAC1 (7 位) 输出电流	270	–	365	μA	LSB = 2.4 μA (典型值)
SID314C	IDAC _{1CRT12}	在低值范围和 2X 模式下的 IDAC1 (7 位) 输出电流	8	–	11.4	μA	LSB = 37.5 nA (典型值), 2X 输出阶段
SID314D	IDAC _{1CRT22}	在中值范围和 2X 模式下的 IDAC1 (7 位) 输出电流	67	–	91	μA	LSB = 300 nA (典型值), 2X 输出阶段
SID314E	IDAC _{1CRT32}	在高值范围和 2X 模式下 IDAC1 (7 位) 的输出电流 V _{DDA} > 2 V	540	–	730	μA	LSB = 2.4 μA (典型值) 2X 输出阶段
SID315	IDAC _{2CRT1}	在低值范围内的 IDAC2 (7 位) 输出电流	4.2	–	5.7	μA	LSB = 37.5 nA (典型值)
SID315A	IDAC _{2CRT2}	在中值范围内的 IDAC2 (7 位) 输出电流	33.7	–	45.6	μA	LSB = 300 nA (典型值)
SID315B	IDAC _{2CRT3}	在高值范围内的 IDAC2 (7 位) 输出电流	270	–	365	μA	LSB = 2.4 μA (典型值)
SID315C	IDAC _{2CRT12}	在低值范围和 2X 模式下 IDAC2 (7 位) 的输出电流	8	–	11.4	μA	LSB = 37.5 nA (典型值), 2X 输出阶段
SID315D	IDAC _{2CRT22}	在高值范围和 2X 模式下 IDAC2 (7 位) 的输出电流	67	–	91	μA	LSB = 300 nA (典型值), 2X 输出阶段
SID315E	IDAC _{2CRT32}	在高值范围和 2X 模式下的 IDAC2 (7 位) 输出电流 V _{DDA} > 2V	540	–	730	μA	LSB = 2.4 μA (典型值) 2X 输出阶段
SID315F	IDAC _{3CRT13}	在低值范围内的 IDAC (8 位) 输出电流	8	–	11.4	μA	LSB = 37.5 nA (典型值)
SID315G	IDAC _{3CRT23}	在中值范围内的 IDAC (8 位) 输出电流	67	–	91	μA	LSB = 300 nA (典型值)
SID315H	IDAC _{3CRT33}	在高值范围内的 IDAC (8 位) 输出电流 V _{DDA} > 2V	540	–	730	μA	LSB = 2.4 μA (典型值)
SID320	IDAC _{OFFSET}	所有输入为零	–	–	1	LSB	极性是由源电流或灌电流设置
SID321	IDAC _{GAIN}	满量程误差减去偏移	–	–	±15	%	LSB = 2.4 μA (典型值)
SID322	IDAC _{MISMATCH1}	IDAC1 和 IDAC2 在低值模式下的差异	–	–	9.2	LSB	LSB = 37.5 nA (典型值)
SID322A	IDAC _{MISMATCH2}	IDAC1 和 IDAC2 在中值模式下的差异	–	–	6	LSB	LSB = 300 nA (典型值)
SID322B	IDAC _{MISMATCH3}	IDAC1 和 IDAC2 在高值模式下的差异	–	–	5.8	LSB	LSB = 2.4 μA (典型值)
SID323	IDAC _{SET8}	8 位 IDAC 达到 0.5 LSB 所需的建立时间	–	–	10	μs	满量程跃变。无外部负载。
SID324	IDAC _{SET7}	7 位 IDAC 达到 0.5 LSB 所需的建立时间	–	–	10	μs	满量程跃变。无外部负载。
SID325	CMOD	外部调制器电容。	–	2.2	–	nF	5 V 额定值, X7R 或 NP0 电容

表 16. CSD ADC 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
CSDv2 ADC 规范							
SIDA94	A_RES	分辨率	–	–	10	位	每毫秒都需要自动清零
SID95	A_CHNLS_S	通道数量 — 单端	–	–	–	16	–
SIDA97	A-MONO	单调性	–	–	有	–	V _{REF} 模式
SIDA98	A_GAINERR_VREF	增益误差	–	0.6	–	%	参考源: SRSS (V _{REF} = 1.20 V、V _{DDA} < 2.2 V), (V _{REF} = 1.6 V、2.2 V < V _{DDA} < 2.7 V), (V _{REF} = 2.13 V、V _{DDA} > 2.7 V)
SIDA98A	A_GAINERR_VDDA	增益误差	–	0.2	–	%	参考源: SRSS (V _{REF} = 1.20 V、V _{DDA} < 2.2V), (V _{REF} = 1.6 V、 2.2 V < V _{DDA} < 2.7 V)、 (V _{REF} = 2.13 V、V _{DDA} > 2.7 V)
SIDA99	A_OFFSET_VREF	输入偏移电压	–	0.5	–	LSb	ADC 校准后, Ref.Src = SRSS、 (V _{REF} = 1.20 V、V _{DDA} < 2.2 V), (V _{REF} = 1.6 V、2.2 V < V _{DDA} < 2.7 V), (V _{REF} = 2.13 V、V _{DDA} > 2.7 V)
SIDA99A	A_OFFSET_VDDA	输入偏移电压	–	0.5	–	LSb	ADC 校准后, Ref.Src = SRSS、 (VREF = 1.20 V、 VDDA < 2.2 V), Src = SRSS, (VREF = 1.20 V、VDDA < 2.2 V), (VREF = 1.6 V、 2.2 V < VDDA < 2.7 V), (VREF = 2.13 V、VDDA > 2.7 V)
SIDA100	A_ISAR_VREF	电流消耗	–	0.3	–	mA	CSD ADC 模块电流
SIDA100A	A_ISAR_VDDA	电流消耗	–	0.3	–	mA	CSD ADC 模块电流
SIDA101	A_VINS_VREF	输入电压范围 — 单端	V _{SSA}	–	V _{REF}	V	(V _{REF} = 1.20 V、V _{DDA} < 2.2 V), (V _{REF} = 1.6 V、 2.2 V < V _{DDA} < 2.7 V), (V _{REF} = 2.13 V、V _{DDA} > 2.7 V)
SIDA101A	A_VINS_VDDA	输入电压范围 — 单端	V _{SSA}	–	V _{DDA}	V	(V _{REF} = 1.20 V、V _{DDA} < 2.2 V), (V _{REF} = 1.6 V、 2.2 V < V _{DDA} < 2.7 V), (V _{REF} = 2.13 V、V _{DDA} > 2.7 V)
SIDA103	A_INRES	输入充电电阻	–	15	–	kΩ	–
SIDA104	A_INCAP	输入电容	–	41	–	pF	–
SIDA106	A_PSRR	电源抑制比 (直流)	–	60	–	dB	–
SIDA107	A_TACQ	样本采集时间	–	10	–	μs	在源阻抗为 50 Ω 的条件下测得。 软件驱动器的默认采集时间设置为 10 μs。建立时间在 0.05% 范围内。
SIDA108	A_CONV8	转换速率为 F _{clk} / (2 ^N (N + 2)) 时 8 位分辨率的转换时间。 频率时钟 = 50 MHz。	–	25	–	μs	不包括采集时间。

表 16. CSD ADC 规范 (续)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SIDA108A	A_CONV10	转换速率为 $F_{clk} / (2^{(N+2)})$ 时 10 位分辨率的转换时间。时钟频率 = 50 MHz。	-	60	-	μs	不包括采集时间。
SIDA109	A_SND_VRE	信噪比和失真比 (SINAD)	-	57	-	dB	在源阻抗为 50 Ω 的条件下测量得到
SIDA109A	A_SND_VDDA	信噪比和失真比 (SINAD)	-	52	-	dB	在源阻抗为 50 Ω 的条件下测量得到
SIDA111	A_INL_VREF	在 11.6 ksp/s 时的积分非线性	-	-	2	LSB	在源阻抗为 50 Ω 的条件下测量得到
SIDA111A	A_INL_VDDA	在 11.6 ksp/s 时的积分非线性	-	-	2	LSB	在源阻抗为 50 Ω 的条件下测量得到
SIDA112	A_DNL_VREF	在 11.6 ksp/s 时的微分非线性	-	-	1	LSB	在源阻抗为 50 Ω 的条件下测量得到
SIDA112A	A_DNL_VDDA	在 11.6 ksp/s 时的微分非线性	-	-	1	LSB	在源阻抗为 50 Ω 的条件下测量得到

数字外设
表 17. 定时器 / 计数器 / PWM (TCPWM) 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID.TCPWM.1	I_{TCPWM1}	频率为 8 MHz 时的模块电流消耗	-	-	70	μA	所有模式 (TCPWM)
SID.TCPWM.2	I_{TCPWM2}	频率为 24 MHz 时的模块电流消耗	-	-	180	μA	所有模式 (TCPWM)
SID.TCPWM.2A	I_{TCPWM3}	频率为 50 MHz 时的模块电流消耗	-	-	270	μA	所有模式 (TCPWM)
SID.TCPWM.2B	I_{TCPWM4}	频率为 100 MHz 时的模块电流消耗	-	-	540	μA	所有模式 (TCPWM)
SID.TCPWM.3	$TCPWM_{FREQ}$	工作频率	-	-	100	MHz	$F_c \max = F_{cpu}$ 最大值 = 100 MHz
SID.TCPWM.4	$TPWM_{ENEXT}$	所有触发事件的输入触发脉冲宽度	$2/F_c$	-	-	ns	根据所选的工作模式, 触发事件可以为: Stop、Start、Reload、Count、Capture 或 Kill。F _c 为计数器的工作频率。
SID.TCPWM.5	$TPWM_{EXT}$	输出触发脉冲宽度	$1.5/F_c$	-	-	ns	上溢、下溢和 CC (计数器值等于比较值) 触发输出的最小可能宽度
SID.TCPWM.5A	TC_{RES}	计数器的分辨率	$1/F_c$	-	-	ns	连续计数间的最短时间
SID.TCPWM.5B	PWM_{RES}	PWM 分辨率	$1/F_c$	-	-	ns	PWM 输出的最小脉冲宽度
SID.TCPWM.5C	Q_{RES}	正交输入分辨率	$2/F_c$	-	-	ns	正交相位输入间的最小脉冲宽度。各个引脚的延时应相同。

表 18. 串行通信模块（SCB）规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
固定的 I²C 直流规范							
SID149	I _{I2C1}	频率为 100 KHz 时的模块电流消耗	-	-	30	μA	-
SID150	I _{I2C2}	频率为 400 KHz 时的模块电流消耗	-	-	80	μA	-
SID151	I _{I2C3}	速度为 1 Mbps 时的模块电流消耗	-	-	180	μA	-
SID152	I _{I2C4}	I2C 在深度睡眠模式下被使能	-	-	1.7	μA	在 60 °C 温度下
固定的 I²C 交流规范							
SID153	F _{I2C1}	比特率	-	-	1	Mbps	-
固定的 UART 直流规范							
SID160	I _{UART1}	速度为 100 kbps 时，模块消耗的电流	-	-	30	μA	-
SID161	I _{UART2}	速度为 1000 kbps 时模块消耗的电流	-	-	180	μA	-
固定的 UART 交流规范							
SID162A	F _{UART1}	比特率	-	-	3	Mbps	ULP 模式
SID162B	F _{UART2}		-	-	8		LP 模式
固定的 SPI 直流规范							
SID163	I _{SPI1}	速度为 1 Mbps 时的模块电流消耗	-	-	220	μA	-
SID164	I _{SPI2}	速度为 4 Mbps 时的模块电流消耗	-	-	340	μA	-
SID165	I _{SPI3}	速度为 8 Mbps 时的模块电流消耗	-	-	360	μA	-
SID165A	I _{SPI4}	速度为 25 Mbps 时的模块电流消耗	-	-	800	μA	-
LP 模式（1.1 V）的固定 SPI 交流规范，除非另有说明。							
SID166	F _{SPI}	SPI 工作频率，主器件和由外部提供时钟频率的从器件	-	-	25	MHz	对于 ULP（0.9 V）模式，该频率为 14 MHz
SID166A	F _{SPI_IC}	SPI 从器件由内部提供时钟频率	-	-	15	MHz	对于 ULP（0.9 V）模式，该频率为 5 MHz
SID166B	F _{SPI_EXT}	SPI 操作频率主器件（F _{scb} 为 SPI 时钟）	-	-	F _{scb} /4	MHz	F _{scb} 在 LP 模式下最大值为 100 MHz，在 ULP 模式下则为 25 MHz
LP 模式（1.1 V）的固定 SPI 主器件模式交流规范，除非另有说明。							
SID167	T _{DMO}	SClock 驱动沿后 MOSI 有效的时间	-	-	12	ns	对于 ULP（0.9 V）模式，最长时间为 20 ns
SID168	T _{DSI}	SClock 捕获沿前 MISO 有效的时间	5	-	-	ns	全时钟、MISO 推迟采样
SID169	T _{HMO}	MOSI 数据保持时间	0	-	-	ns	表示从器件捕获边沿
SID169A	T _{SSELMCK1}	从 SSEL 有效到第一个 SCK 有效边沿的时间	18	-	-	ns	表示主器件时钟边沿
SID169B	T _{SSELMCK2}	最终 SCK 有效边沿后，SSEL 保持时间	18	-	-	ns	表示主器件时钟边沿

表 18. 串行通信模块 (SCB) 规范 (续)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
LP 模式 (1.1 V) 的固定 SPI 从器件模式交流规范, 除非另有说明。							
SID170	T _{DMI}	SClock 捕获沿前 MOSI 有效的的时间	5	-	-	ns	-
SID171A	T _{D_{SO}_EXT}	在外部时钟模式下 Sclock 驱动沿后 MISO 有效的的时间。	-	-	20	ns	对于 ULP (0.9 V) 模式, 最长时间为 35 ns
SID171	T _{D_{SO}}	在内部时钟模式下 Sclock 驱动沿后 MISO 有效的的时间。	-	-	T _{D_{SO}_EXT} + 3 * T _{scb}	ns	T _{scb} 是串行通信模块时钟周期。
SID171B	T _{D_{SO}}	Sclock 驱动沿后 MISO 有效的的时间 (在内部时钟模式下, 并且中值滤波器被使能时)	-	-	T _{D_{SO}_EXT} + 4 * T _{scb}	ns	T _{scb} 是串行通信模块时钟周期。
SID172	T _{H_{SO}}	先前的 MISO 数据保持时间	5	-	-	ns	-
SID172A	TSSEL _{SCK1}	从 SSEL 有效到第一个 SCK 有效边沿的时间	65	-	-	ns	-
SID172B	TSSEL _{SCK2}	最后 SCK 有效边沿后的 SSEL 保持时间	65	-	-	ns	-

LCD 规范

表 19. LCD 直接驱动直流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID154	I _{LCDLOW}	低功耗模式下的工作电流	-	5	-	μA	16 × 4 小型段式显示屏, 频率为 50 Hz
SID155	C _{LCD_{CAP}}	每个 Common/Segment 驱动器上的 LCD 电容	-	500	5000	pF	-
SID156	LCD _{OFFSET}	长期 segment 偏移	-	20	-	mV	-
SID157	I _{LCDOP1}	PWM 模式下的电流。 偏压为 3.3 V。8 MHz IMO。25 °C。	-	0.6	-	mA	32 × 4 segment 50 Hz
SID158	I _{LCDOP2}	PWM 模式下的电流。 偏压为 3.3 V。8 MHz IMO。25 °C。	-	0.5	-	mA	32 × 4 segment 50 Hz

表 20. LCD 直接驱动交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID159	F _{LCD}	LCD 帧率	10	50	150	Hz	-

存储器
表 21. 闪存规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
闪存直流规范							
SID173	VPE	擦除和编程电压	1.71	–	3.6	V	–
闪存交流规范							
SID174	T _{ROWWRITE}	行（块）编写时间（擦除和编程）	–	–	16	ms	行（块）= 512 字节
SID175	T _{ROWERASE}	行擦除时间	–	–	11	ms	–
SID176	T _{ROWPROGRAM}	擦除后的行编程时间	–	–	5	ms	–
SID178	T _{BULKERASE}	批量擦除时间（1024 KB）	–	–	11	ms	–
SID179	T _{SECTORERASE}	扇区擦除时间（256 KB）	–	–	11	ms	每个扇区 512 行
SID178S	T _{SSERIAE}	子扇区擦除时间	–	–	11	ms	每个子扇区 8 行
SID179S	T _{SSWRITE}	子扇区编写时间；1 次擦除和 8 次编程	–	–	51	ms	–
SID180S	T _{SWRITE}	扇区编写时间；1 次擦除和 512 次编程	–	–	2.6	秒	–
SID180	T _{DEVPROG}	器件总编程时间	–	–	15	秒	–
SID181	F _{END}	闪存耐久性	10 万	–	–	周期	–
SID182	F _{RET1}	闪存数据保留时间。 Ta ≤ 25 °C，10 万个编程 / 擦除周期	10	–	–	年	–
SID182A	F _{RET2}	闪存数据保留时间。 Ta ≤ 85 °C，一万个编程 / 擦除周期	10	–	–	年	–
SID182B	F _{RET3}	闪存数据保留时间。 Ta ≤ 55 °C，两万个编程 / 擦除周期	20	–	–	年	–
SID256	T _{WS100}	频率为 100 MHz 时的等待状态数量	3	–	–	–	–
SID257	T _{WS50}	频率为 50 MHz 时的等待状态数量	2	–	–	–	–

注释：

5. 写入闪存可能需要最多 16 毫秒。在这段时间内请勿复位器件，否则会中断闪存操作并且不能保证完成该操作。复位源包括 XRES 引脚、软件复位、CPU 锁存状态和特权冲突、不合适的电源电平以及看门狗。需要确保不意外激活这些复位源。

系统资源
表 22. PSoC 61 系统资源

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
欠压时的上电复位 (POR) 直流规范							
精密 POR (PPOR)							
SID190	V _{FALLPPOR}	活动和睡眠模式下的 BOD 触发电压 V _{DDD} .	1.54	–	–	V	当电平低于 1.54 V 时, 确保发生 BOD 复位。
SID192	V _{FALLDPSLP}	深度睡眠模式下的 BOD 触发电压。V _{DDD} .	1.54	–	–	V	–
SID192A	V _{DDRAMP}	最大电源斜坡率 (任何电源)	–	–	100	mV/μs	活动模式
欠压时的上电复位 (POR) 交流规范							
SID194A	V _{DDRAMP_DS}	最大电源斜坡率在深度睡眠模式下 (任何电源)	–	–	10	mV/μs	确保 BOD 操作
电压监控器直流规范							
SID195R	V _{HVD0}	–	1.18	1.23	1.27	V	–
SID195	V _{HVD1}	–	1.38	1.43	1.47	V	–
SID196	V _{HVD2}	–	1.57	1.63	1.68	V	–
SID197	V _{HVD3}	–	1.76	1.83	1.89	V	–
SID198	V _{HVD4}	–	1.95	2.03	2.1	V	–
SID199	V _{HVD5}	–	2.05	2.13	2.2	V	–
SID200	V _{HVD6}	–	2.15	2.23	2.3	V	–
SID201	V _{HVD7}	–	2.24	2.33	2.41	V	–
SID202	V _{HVD8}	–	2.34	2.43	2.51	V	–
SID203	V _{HVD9}	–	2.44	2.53	2.61	V	–
SID204	V _{HVD10}	–	2.53	2.63	2.72	V	–
SID205	V _{HVD11}	–	2.63	2.73	2.82	V	–
SID206	V _{HVD12}	–	2.73	2.83	2.92	V	–
SID207	V _{HVD13}	–	2.82	2.93	3.03	V	–
SID208	V _{HVD14}	–	2.92	3.03	3.13	V	–
SID209	V _{HVD15}	–	3.02	3.13	3.23	V	–
SID211	LVI_IDD	模块电流	–	5	15	μA	–
电压监控器交流规范							
SID212	T _{MONTRIP}	电压监控器触发时间	–	–	170	ns	–

SWD接口
表 23. SWD 和跟踪规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SWD 和跟踪接口							
SID214	F_SWDCLK2	$1.7\text{ V} \leq V_{\text{DDD}} \leq 3.6\text{ V}$	-	-	25	MHz	LP 模式。 $V_{\text{CCD}} = 1.1\text{ V}$
SID214L	F_SWDCLK2L	$1.7\text{ V} \leq V_{\text{DDD}} \leq 3.6\text{ V}$	-	-	12	MHz	ULP 模式。 $V_{\text{CCD}} = 0.9\text{ V}$ 。
SID215	T_SWDI_SETUP	$T = 1/f\text{ SWDCLK}$	$0.25 * T$	-	-	ns	-
SID216	T_SWDI_HOLD	$T = 1/f\text{ SWDCLK}$	$0.25 * T$	-	-	ns	-
SID217	T_SWDO_VALID	$T = 1/f\text{ SWDCLK}$	-	-	$0.5 * T$	ns	-
SID217A	T_SWDO_HOLD	$T = 1/f\text{ SWDCLK}$	1	-	-	ns	-
SID214T	F_TRCLK_LP1	跟踪数据建立 / 保持时间分别为 2/1 ns	-	-	75	MHz	LP 模式。 $V_{\text{DD}} = 1.1\text{ V}$
SID215T	F_TRCLK_LP2	带有跟踪数据建立/保持时间分别为 3/2 ns 的条件	-	-	70	MHz	LP 模式。 $V_{\text{DD}} = 1.1\text{ V}$
SID216T	F_TRCLK_ULP	带有跟踪数据建立/保持时间分别为 3/2 ns 的条件	-	-	25	MHz	ULP 模式。 $V_{\text{DD}} = 0.9\text{ V}$

内部主振荡器
表 24. IMO 直流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID218	I _{IMO1}	频率为 8 MHz 时的 IMO 工作电流	-	9	15	μA	-

表 25. IMO 交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID223	F _{IMOTOL1}	频率变化集中在 8 MHz 上	-	-	±2	%	-
SID227	T _{JITR}	周期间和周期抖动	-	±250	-	ps	-

内部低速振荡器
表 26. ILO 直流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID231	I _{ILO2}	频率为 32 kHz 时的 ILO 工作电流	-	0.3	0.7	μA	-

表 27. ILO 交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID234	T _{STARTILO1}	ILO 启动时间	-	-	7	μs	从启动到频率达到最终值的 95% 的时长
SID236	T _{LIODUTY}	ILO 占空比	45	50	55	%	-
SID237	F _{ILOTRIM1}	调整后的频率为 32 kHz	28.8	32	35.2	kHz	±10% 的变化

晶体振荡器规范
表 28. ECO 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
MHz ECO 直流规范							
SID316	I _{DD_MHz}	Cload 不超过 18 pF 时模块的工作电流	–	800	1600	μA	最大值 = 33 MHz, 典型值 = 16 MHz
MHz ECO 交流规范							
SID317	F_MHz	晶振的频率范围	4	–	35	MHz	–
kHz ECO 直流规范							
SID318	I _{DD_kHz}	使用 32 kHz 晶振时的模块工作电流	–	0.38	1	μA	–
SID321E	ESR32K	等效串联电阻	–	80	–	kΩ	–
SID322E	PD32K	驱动电平	–	–	1	μW	–
kHz ECO 交流规范							
SID319	F_kHz	调整后的频率为 32 kHz	–	32.768	–	kHz	–
SID320	Ton_kHz	启动时间	–	–	500	ms	–
SID320E	FTOL32K	频率容差	–	50	250	ppm	–

外部时钟规范
表 29. 外部时钟规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID305	EXTCLK _{FREQ}	外部时钟输入频率	0	–	100	MHz	–
SID306	EXTCLK _{DUTY}	占空比；在电压为 VDD/2 时测量得到	45	–	55	%	–

表 30. PLL 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID305P	PLL_LOCK	获得 PLL 锁定的时间	–	16	35	μs	–
SID306P	PLL_OUT	来自 PLL 模块的输出频率	–	–	150	MHz	–
SID307P	PLL_IDD	PLL 电流	–	0.55	1.1	mA	该时钟输出频率为 100 MHz 时，其电流为 典型值。
SID308P	PLL_JTR	周期抖动时间	–	–	150	ps	100 MHz 输出频率

表 31. 时钟源的切换时间

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID262	TCLK _{SWITCH}	时钟从 clk1 切换到 clk2 需要的时钟周期	–	–	4 个 clk1 + 3 个 clk2	周期	–

注释:

6. FLL 的未分频输出必须最少为输入频率的 2.5 倍。

表 32. 锁频环 (FLL) 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
锁频环 (FLL) 规范							
SID450	FLL_RANGE	输入频率范围。	0.001	–	100	MHz	下限允许锁定 USB SOF 信号 (1 kHz)。上限用于外部输入。
SID451	FLL_OUT_DIV2	输出频率范围。 $V_{CCD} = 1.1 V$	24.00	–	100.00	MHz	FLL 输出范围除以 2
SID451A	FLL_OUT_DIV2	输出频率范围。 $V_{CCD} = 0.9 V$	24.00	–	50.00	MHz	输出频率范围, 属于 FLL 的已除以 2 的输出
SID452	FLL_DUTY_DIV2	除以 2 后的输出; 高或低	47.00	–	53.00	%	–
SID454	FLL_WAKEUP	深度睡眠唤醒时稳定输入时钟降低到最终值 1% 的时间	–	–	7.50	μs	使用 IMO 输入, 深度睡眠模式下温度变化 < 10 C, $F_{out} \geq 50 MHz$
SID455	FLL_JITTER	周期抖动 (1 sigma)	–	–	35.00	ps	频率为 48 MHz, 时长为 50 ps 频率为 100 MHz, 时长为 35 ps
SID456	FLL_CURRENT	CCO + 逻辑电流	–	–	5.50	μA/MHz	–

表 33. UDB 交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
数据路径性能							
SID249	$F_{MAX-TIMER}$	在 UDB 对中 16 位定时器的最高频率	–	–	100	MHz	–
SID250	$F_{MAX-ADDER}$	在 UDB 对中 16 位加法器的最高频率	–	–	100	MHz	–
SID251	F_{MAX_CRC}	在 UDB 对中 16 位 CRC/PRS 的最高频率	–	–	100	MHz	–
UDB 中的 PLD 性能							
SID252	F_{MAX_PLD}	在 UDB 对中双通 PLD 功能的最高频率	–	–	100	MHz	–
时钟输入到数据输出的性能							
SID253	$T_{CLK_OUT_UDB1}$	从时钟输入到数据输出之间的传输延迟时间	–	5	–	ns	–
UDB 端口适配器规范							
条件: 10 pF 大小的负载、3 V V_{DDIO} 和 V_{DDD}							
SID263	T_{LCLKDO}	从 LCLK 到输出的延迟时间	–	–	11	ns	–
SID264	$T_{DINLCLK}$	从输入建立时间到 LCLK 上升沿的时间	–	–	7	ns	–
SID265	$T_{DINLCLKHLD}$	LCLK 上升沿后的输入保持时间	5	–	–	ns	–
SID266	$T_{LCLKHIZ}$	从 LCLK 到输出为三态的时间	–	–	28	ns	–
SID267	T_{FLCLK}	LCLK 频率	–	–	33	MHz	–
SID268	$T_{LCLKDUTY}$	LCLK 占空比 (高百分比)	40%	–	60%	%	–

表 34. USB 规范 (USB 要求 LP 模式 1.1 V 内部电源)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
USB 模块规范							
SID322U	Vusb_3.3	USB 操作由器件提供电源	3.15	–	3.6	V	配置了 USB 并旁路了 USB 电压调节器
SID323U	Vusb_3.3	USB 操作 (仅限功能操作) 由器件提供电源	2.85	–	3.6	V	配置了 USB 并旁路了 USB 电压调节器
SID325U	lusb_config	活动模式下的器件供电电流	–	8	–	mA	VDDD = 3.3 V
SID328	lsub_suspend	睡眠模式下的器件供电电流	–	0.5	–	mA	VDDD = 3.3 V、PICU 唤醒
SID329	lsub_suspend	睡眠模式下的器件供电电流	–	0.3	–	mA	VDDD = 3.3 V、器件被断开
SID330U	USB_Drive_Res	USB 驱动器阻抗	28	–	44	Ω	串联电阻位于芯片上
SID331U	USB_Pulldown	主机模式下的 USB 下拉电阻	14.25	–	24.8	kΩ	–
SID332U	USB_Pullup_Idle	闲置模式范围	900	–	1575	Ω	总线闲置
SID333U	USB_Pullup	活动模式	1425	–	3090	Ω	上行器件发送

表 35. QSPI 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SMIF QSPI 规范所有规范均使用了 15 pF 负载。							
SID390Q	Fsmifclock	SMIF QSPI 输出时钟频率	–	–	80	MHz	LP 模式 (1.1 V)
SID390QU	Fsmifclocku	SMIF QSPI 输出时钟频率	–	–	50	MHz	ULP 模式 (0.9 V)。由特性保证。
SID397Q	idd_qspi	LP 模式下的模块电流 (1.1 V)	–	–	1900	μA	LP 模式 (1.1 V)
SID398Q	idd_qspi_u	ULP 模式下的模块电流 (0.9 V)	–	–	590	μA	ULP 模式 (0.9 V)
SID391Q	Tsetup	与时钟捕获边沿相关的输入数据建立时间	4.5	–	–	ns	–
SID392Q	Tdatahold	与时钟捕获边沿相关的输入数据保持时间	0	–	–	ns	–
SID393Q	Tdataoutvalid	与时钟下降沿相关的输出数据有效时间	–	–	3.7	ns	–
SID394Q	Tholdtime	与时钟上升沿相关的输出数据保持时间	3	–	–	ns	–
SID395Q	Tseloutvalid	与时钟上升沿相关的输出选择有效时间	–	–	7.5	ns	–
SID396Q	Tselouthold	与时钟上升沿相关的输出选择保持时间	Tsclk	–	–	ns	Tsclk = Fsmifclk 周期时间

表 36. 音频子系统规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
音频子系统规范							
PDM 规范							
SID400P	PDM_IDD1	PDM 活动电流、立体声操作、1 MHz 的时钟	-	175	-	μA	16 位音频的采样率为 16 ksp/s
SID401	PDM_IDD2	PDM 活动电流、立体声操作、3 MHz 的时钟	-	600	-	μA	24 位音频的采样率为 48 ksp/s
SID402	PDM_JITTER	PDM 时钟内的 RMS 抖动	-200	-	200	ps	-
SID403	PDM_CLK	PDM 时钟速度	0.384	-	3.072	MHz	-
SID403A	PDM_BLK_CLK	PDM 模块输入时钟	1.024	-	49.152	MHz	-
SID403B	PDM_SETUP	从数据输入建立到 PDM_CLK 边沿的时间	10	-	-	ns	-
SID403C	PDM_HOLD	数据输入保持时间到 PDM_CLK 边沿的时间	10	-	-	ns	-
SID404	PDM_OUT	音频采样率	8	-	48	ksp/s	-
SID405	PDM_WL	字长度	16	-	24	位	-
SID406	PDM_SNR	SNR (A 加权)	-	100	-	dB	PDM 输入, 20 Hz~20 kHz BW
SID407	PDM_DR	动态范围 (A 加权)	-	100	-	dB	20 Hz~20 kHz BW, -60 dB FS
SID408	PDM_FR	频率响应	-0.2	-	0.2	dB	DC~0.45f。直流锁定滤波器关闭。
SID409	PDM_SB	带阻	-	0.566	-	f	-
SID410	PDM_SBA	带阻衰减	-	60	-	dB	-
SID411	PDM_GAIN	可调整增益	-12	-	10.5	dB	PDM 到 PCM、步长为 1.5 dB
SID412	PDM_ST	启动时间	-	48	-		WS (字选择) 周期
I2S 规范。除非另有说明, 否则 LP 和 ULP 模式的 I2S 规范相同。							
SID413	I2S_WORD	I2S 的字长度	8	-	32	位	-
SID414	I2S_WS	LP 模式中的字时钟频率	-	-	192	kHz	字长度为 32 位时, 位时钟频率为 12.288 MHz
SID414M	I2S_WS_U	ULP 模式中的字时钟频率	-	-	48	kHz	字长度为 32 位时, 频率为 3.072 MHz 位时钟
SID414A	I2S_WS_TDM	TDM 模式中的字时钟频率, 用于 LP	-	-	48	kHz	八个 32 位通道
SID414X	I2S_WS_TDM_U	TDM 模式中的字时钟频率, 用于 ULP	-	-	12	kHz	八个 32 位通道
I2S 从器件模式							
SID430	TS_WS	LP 模式中从 WS 建立时间到随后的 SCK 上升沿的时间	5	-	-	ns	-
SID430U	TS_WS	ULP 模式中从 WS 建立时间到随后的 SCK 上升沿的时间	11	-	-	ns	-
SID430A	TH_WS	从 WS 保持时间到随后的 SCK 边沿的时间	TMCLK_SOC + 5	-	-	ns	-

表 36. 音频子系统规范 (续)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID432	TD_SDO	LP 模式下, 从 TX_SCK 边沿转换到 TX_SDO 的延迟时间	$\frac{-}{(TMCLK_SOC + 25)}$	-	TMCLK_SOC + 25	ns	相关时钟边沿取决于所选的极性
SID432U	TD_SDO	ULP 模式中从 TX_SCK 边沿转换到 TX_SDO 的延迟时间	$\frac{-}{(TMCLK_SOC + 70)}$	-	TMCLK_SOC + 70	ns	相关时钟边沿取决于所选的极性
SID433	TS_SDI	LP 模式中从 RX_SDI 建立时间到随后的 RX_SCK 边沿的时间	5	-	-	ns	-
SID433U	TS_SDI	ULP 模式中从 RX_SDI 建立时间到随后的 RX_SCK 边沿的时间	11	-	-	ns	-
SID434	TH_SDI	从 RX_SDI 保持时间到 RX_SCK 上升沿的时间	TMCLK_SOC + 5	-	-	ns	-
SID435	TSCKCY	TX/RX_SCK 位时钟占空比	45	-	55	%	-
I2S 主器件模式							
SID437	TD_WS	在 LP 模式下, 从 SCK 下降沿转换到 WS 的延迟时间	-10	-	20	ns	-
SID437U	TD_WS_U	ULP 模式中从 SCK 下降沿转换到 WS 的延迟时间	-10	-	40	ns	-
SID438	TD_SDO	LP 模式中从 SCK 下降沿转换到 SDO 的延迟时间	-10	-	20	ns	-
SID438U	TD_SDO	ULP 模式中从 SCK 下降沿转换到 SDO 的延迟时间	-10	-	40	ns	-
SID439	TS_SDI	从 SDI 建立时间到相关 SCK 边沿的时间	5	-	-	ns	相关时钟边沿取决于所选的极性
SID440	TH_SDI	从 SDI 保持时间到相关 SCK 边沿的时间	TMCLK_SOC + 5	-	-	ns	T 为 TX/RX_SCK 位时钟周期。相关时钟边沿取决于所选的极性。
SID443	TSCKCY	SCK 位时钟占空比	45	-	55	%	-
SID445	FMCLK_SOC	LP 模式下的 MCLK_SOC 频率	1.024	-	98.304	MHz	FMCLK_SOC = 8 * 位时钟
SID445U	FMCLK_SOC_U	ULP 模式下的 MCLK_SOC 频率	1.024	-	24.576	MHz	FMCLK_SOC_U = 8 * 位时钟
SID446	TMCLKCY	MCLK_SOC 占空比	45	-	55	%	-
SID447	TJITTER	MCLK_SOC 输入抖动	-100	-	100	ps	-

表 37. 智能 I/O 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID420	SMIO_BYP	智能 I/O 旁路延迟时间	–	–	2	ns	–
SID421	SMIO_LUT	智能 I/O LUT 传输延迟时间	–	待定	–	ns	–

表 38. 准确 ILO (PILO) 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID 430R	I _{PILO}	工作电流	–	1.2	4	μA	–
SID431	F_PILO	PILO 额定频率	–	32768	–	Hz	在 T = 25 °C 条件下，晶振的精度为 20 ppm
SID432R	ACC_PILO	具有周期性校准特性的 PILO 准确度	–500	–	500	ppm	–

订购信息

表 39 中列出了 PSoC 61 的器件型号和性能。

表 39. 市场器件型号

产品系列	MPN	CPU 速度 (M4)	CPU 速度 (M0+)	单核 / 双核	ULP/LP	闪存	SRAM	CTBM 数量	UDB 数量	CapSense	GPIO	CRYPTO	PDM-PCM	SIMO BUCK	安全启动	封装
60	CY8C6036BZI-F04	150	—	单核	LP	512	128	0	0	无	104	无	无	无	无	124 BGA
	CY8C6016BZI-F04	50	—	单核	ULP	512	128	0	0	无	104	无	无	无	无	124 BGA
61	CY8C6116BZI-F54	50	—	单核	ULP	512	128	1	12	有	104	有	有	有	无	124 BGA
	CY8C6136BZI-F14	150	—	单核	LP	512	128	0	0	有	104	无	有	有	无	124 BGA
	CY8C6136BZI-F34	150	—	单核	LP	512	128	1	12	有	104	无	有	有	无	124 BGA
	CY8C6137BZI-F14	150	—	单核	LP	1024	288	0	0	有	104	无	有	有	无	124 BGA
	CY8C6137BZI-F34	150	—	单核	LP	1024	288	1	12	有	104	无	有	有	无	124 BGA
	CY8C6137BZI-F54	150	—	单核	LP	1024	288	1	12	有	104	有	有	有	无	124 BGA
	CY8C6117BZI-F34	50	—	单核	ULP	1024	288	1	12	有	104	无	有	有	无	124 BGA
	CY8C6136FTI-F42	150	—	单核	LP	512	128	0	0	有	62	有	有	有	无	薄型 80-WLCSP
	CY8C6136FDI-F42	150	—	单核	LP	512	128	0	0	有	62	有	有	有	无	80 WLCSP
	CY8C6137FDI-F02	150	—	单核	LP	1024	288	0	0	无	62	无	有	有	无	80 WLCSP
	CY8C6117FDI-F02	50	—	单核	ULP	1024	288	0	0	无	62	无	有	有	无	80 WLCSP

注释:

7. 124-BGA 和薄型 80-WLCSP 封装正在合格检查过程中。

表40 列出了字段值。

表 40. MPN 命名

字段	说明	值	含义
CY8C	赛普拉斯前缀		
6	架构	6	PSoC 6
A	系列	0	数值
		1	可编程
		2	性能
		3	连接方式
B	速度	1	50 MHz
		2	100 MHz
		3	150 MHz
		4	150/50 MHz
C	闪存容量	4	128 KB
		5	256 KB
		6	512 KB
		7	1024 KB
D	封装代码	Ax	TQFP I (间距为 0.8 mm)
		AZ	TQFP II (间距为 0.5 mm)
		LQ	QFN
		BZ	BGA
		FD	WLCSP
		FT	薄型 WLCSP
E	温度范围	C	消费类产品
		I	工业级产品
		Q	扩展的工业级 (105 °C)
F	芯片系列	不适用	PSoC 6A
		S	PSoC 6A-S (示例)
		M	PSoC 6A-M (示例)
		L	PSoC 6A-L (示例)
		BL	PSoC 6A-BLE
G	内核	Z	M0+
		F	M4
		D	双核 M4/M0+
XY	属性代码	00 – 99	在特定系列中的功能集代码
ES	工程样本	ES	工程样本与否
T	盘带封装出厂	T	盘带封装出厂与否

封装

PSoC 61 提供的封装有 124-BGA^[8] 封装和 80-ball WLCSP 封装，高度为 0.43 mm 和 0.33 mm^[8]。124 BGA 封装正在合格检查过程中。

表 41. 封装尺寸

规范 ID	封装	说明	封装图编号
PKG_1	124-BGA	124-BGA、高度为 9 mm × 9 mm × 1 mm、引脚间距为 0.65 mm	001-97718
PKG_2	80-WLCSP	80-WLCSP、高度为 3.7 mm × 3.2 mm × 0.43 mm、引脚间距为 0.35 mm	002-20310
PKG_3	薄型 80-WLCSP	薄型 80 -WLCSP，高度为 3.7 mm × 3.3 mm × 0.33mm，引脚间距为 0.35 mm	002-23411

表 42. 封装特性

参数	说明	条件	最小值	典型值	最大值	单位
T _A	工作环境温度	–	–40	25	85	°C
T _J	工作结温	–	–40	–	100	°C
T _{JA}	封装 θ _{JA} (124-BGA)	–	–	36	–	°C/watt
T _{JC}	封装 θ _{JC} (124-BGA)	–	–	15	–	°C/watt
T _{JA}	封装 θ _{JA} (80-WLCSP)	–	–	19.9	–	°C/watt
T _{JC}	封装 θ _{JC} (80-WLCSP)	–	–	0.2	–	°C/watt
T _{JA}	封装 θ _{JA} (薄型 80-WLCSP)	–	–	18.8	–	°C/watt
T _{JC}	封装 θ _{JC} (薄型 80-WLCSP)	–	–	0.2	–	°C/watt

表 43. 回流焊峰值温度

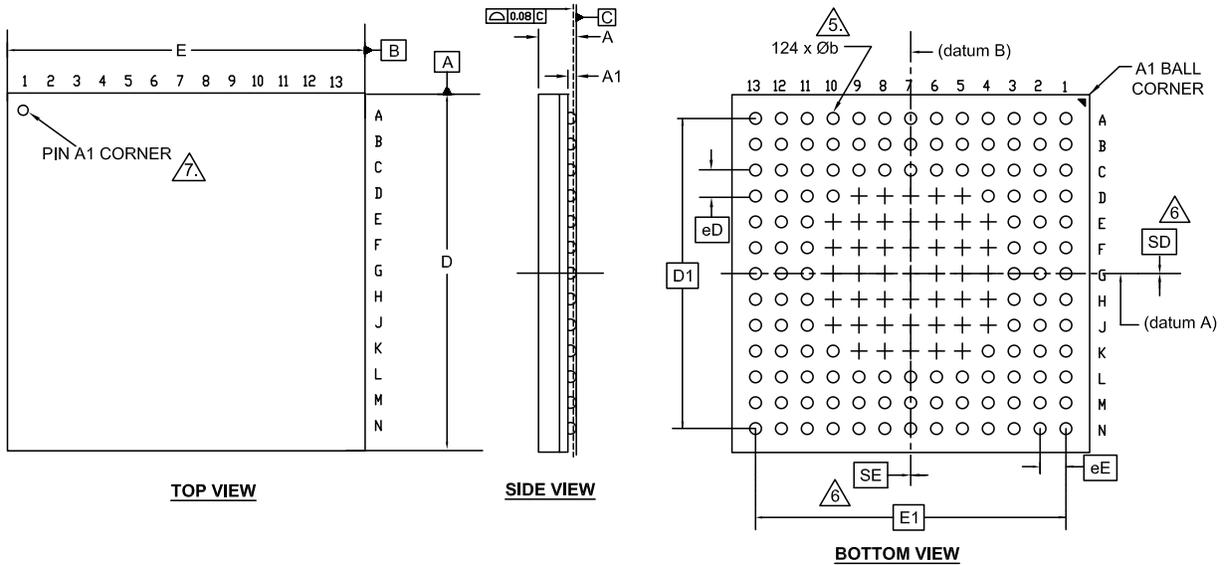
封装	最高峰值温度	峰值温度下的最长时间
所有器件	260°C	30 秒

表 44. 封装潮敏等级 (MSL)，根据 IPC/JEDEC J-STD-2 标准

封装	MSL
124 BGA	MSL 3
80-WLCSP 封装	MSL 1

注释:

8. 124-BGA 和薄型 80-WLCSP 封装正在合格检查过程中。

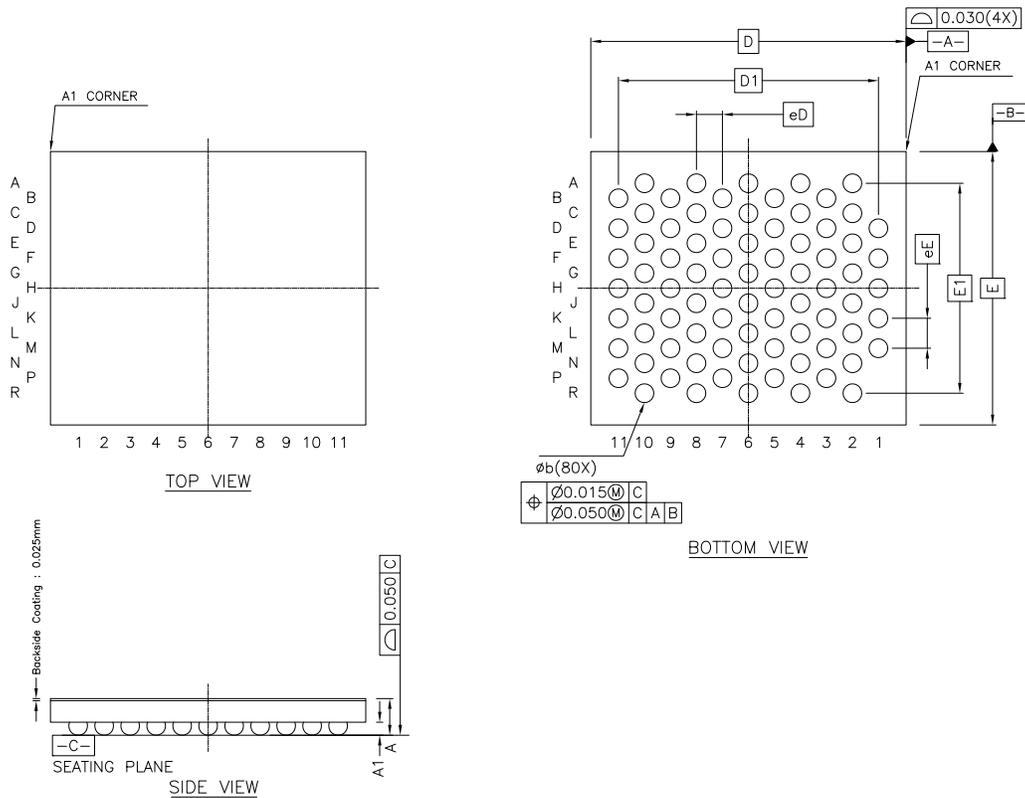
图 4. 124-BGA 9.0 × 9.0 × 1.0 mm


SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.00
A1	0.16	0.21	0.26
D	8.90	9.00	9.10
E	8.90	9.00	9.10
D1	7.80 BSC		
E1	7.80 BSC		
MD	13		
ME	13		
N	124		
∅ b	0.25	0.30	0.35
eD	0.65 BSC		
eE	0.65 BSC		
SD	0		
SE	0		

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.
- JEDEC SPECIFICATION NO. REF. : MO-280.

001-97718 *B

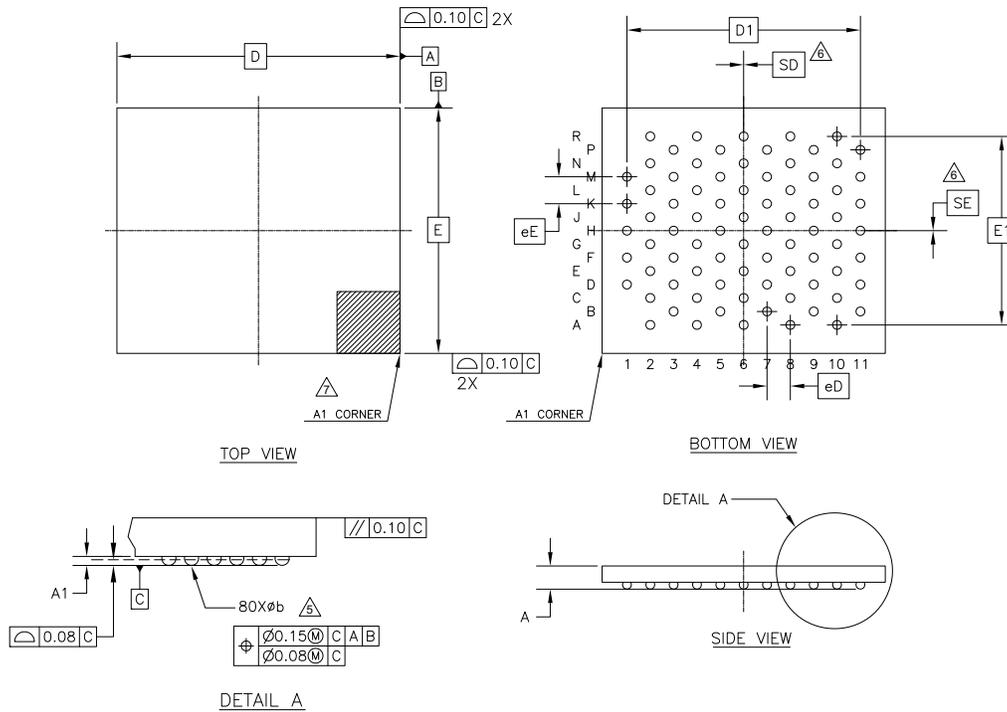
图 5. 80-Ball WLCSP 3.676 × 3.190 × 0.467 mm


SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	0.387	0.427	0.467
A1	0.122	—	0.182
D	3.676 BSC		
E	3.190 BSC		
D1	3.031 BSC		
E1	2.450 BSC		
n	80		
ϕb	0.188	0.218	0.248
eD	0.303 BSC		
eE	0.350 BSC		

NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.

002-20310 *A

图 6. 薄型 80-Ball WLCSP 3.676 × 3.190 × 0.33 mm


SYMBOL	DIMENSIONS		
	MIN	NOM	MAX
A	-	-	0.33
A1	0.081	-	-
D	3.676 BSC		
E	3.190 BSC		
D1	3.031 BSC		
E1	2.450 BSC		
MD	11		
ME	15		
N	80		
Øb	0.1035	0.1150	0.1265
eD	0.303 BSC		
eE	0.350 BSC		
SD	0.00 BSC		
SE	0.00 BSC		

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
 - SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
 - "e" REPRESENTS THE SOLDER BALL GRID PITCH.
 - SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- △ DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- △ "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- △ A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK, METALIZED MARK, INDENTATION OR OTHER MEANS.
8. JEDEC SPECIFICATION NO. REF. : N/A

002-23411 **

缩略语

表 45. 本文中使用的缩略语

缩略语	描述
abus	模拟局部总线
ADC	模数转换器
AG	模拟全局
AHB	AMBA (先进的微控制器总线结构) 高性能总线, 它是一种 ARM 数据传输总线
ALU	算术逻辑单元
AMUXBUS	模拟复用器总线
API	应用编程接口
APSR	应用程序状态寄存器
Arm®	高级 RISC 机器, 即为一种 CPU 架构
ATM	自动 Thump 模式
BW	带宽
CAN	控制器区域网络, 即为一种通信协议
CMRR	共模抑制比
CPU	中央处理器
CRC	循环冗余校验, 即为一种错误校验协议
CSD	CapSense Sigma Delta
DAC	数模转换器, 另请参见 IDAC、VDAC
DFB	数字滤波器模块
DIO	数字输入 / 输出, GPIO 只具有数字功能, 无模拟功能。请参见 GPIO。
DMIPS	Dhrystone 每秒百万条指令
DMA	直接存储器存取, 另请参见 TD
DNL	微分非线性, 另请参见 INL
DNU	请勿使用
DR	端口写入数据寄存器
DSI	数字系统互连
DWT	数据观察点和跟踪
ECC	纠错码
ECO	外部晶体振荡器
EEPROM	电可擦除可编程只读存储器
EMI	电磁干扰
EMIF	外部存储器接口
EOC	转换结束
EOF	帧结束
EPSR	执行程序状态寄存器
ESD	静电释放
ETM	嵌入式跟踪宏单元
FIR	有限脉冲响应, 另请参见 IIR

表 45. 本文中使用的缩略语 (续)

缩略语	描述
FPB	闪存修补和断点
FS	全速
GPIO	通用输入 / 输出, 适用于 PSoC 引脚
HVI	高电压中断, 另请参见 LVI、LVD
IC	集成电路
IDAC	电流 DAC, 另请参见 DAC、VDAC
IDE	集成开发环境
I ² C 或 IIC	内部集成电路, 即为一种通信协议
IIR	无限脉冲响应, 另请参见 FIR
ILO	内部低速振荡器, 另请参见 IMO
IMO	内部主振荡器, 另请参见 ILO
INL	积分非线性, 另请参见 DNL
I/O	输入 / 输出, 另请参见 GPIO、DIO、SIO、USBIO
IPOR	初次上电复位
IPSR	中断编程状态寄存器
IRQ	中断请求
ITM	仪表跟踪宏单元
LCD	液晶显示屏
LIN	局部互连网络, 它是一种通信协议
LR	链接寄存器
LUT	查找表
LVD	低电压检测, 另请参见 LVI
LVI	低电压中断, 另请参见 HVI
LVTTTL	低压晶体管 — 晶体管逻辑
MAC	乘法累加器
MCU	微控制器单元
MISO	主入从出
NC	无连接
NMI	不可屏蔽中断
NRZ	非归零
NVIC	嵌套向量中断控制器
NVL	非易失性锁存器, 另请参见 WOL
opamp	运算放大器
PAL	可编程阵列逻辑, 另请参见 PLD
PC	程序计数器
PCB	印刷电路板
PGA	可编程增益放大器
PHUB	外设集线器
PHY	物理层

表 45. 本文档中使用的缩略语 (续)

缩略语	描述
PICU	端口中断控制单元
PLA	可编程逻辑阵列
PLD	可编程逻辑器件, 另请参见 PAL
PLL	锁相环
PMDD	封装材料声明数据手册
POR	上电复位
PRES	准确上电复位
PRS	伪随机序列
PS	端口读取数据寄存器
PSoC®	可编程片上系统 (Programmable System-on-Chip™)
PSRR	电源抑制比
PWM	脉冲宽度调制器
RAM	随机存取存储器
RISC	精简指令集计算
RMS	均方根
RTC	实时时钟
RTL	寄存器传输语言
RTR	远程发送请求
RX	接收
SAR	逐次逼近寄存器
SC/CT	开关电容 / 连续时间
SCL	I ² C 串行时钟
SDA	I ² C 串行数据
S/H	采样和保持
SINAD	信噪比和失真比
SIO	特殊输入 / 输出, 带高级功能的 GPIO。请参见 GPIO。
SOC	开始转换
SOF	帧开始
SPI	串行外设接口, 即为一种通信协议
SR	转换速率
SRAM	静态随机存取存储器
SRES	软件复位
SWD	串行线调试, 即为一种测试协议
SWV	单线浏览器
TD	传输描述符, 另请参见 DMA
THD	总谐波失真
TIA	互阻放大器
TRM	技术参考手册

表 45. 本文档中使用的缩略语 (续)

缩略语	描述
TTL	晶体管 — 晶体管逻辑
TX	发送
UART	通用异步发射器接收器, 它是一种通信协议
UDB	通用数字模块
USB	通用串行总线
USBIO	USB 输入 / 输出, 用于连接至 USB 端口的 PSoC 引脚
VDAC	电压数模转换器, 另请参见 DAC、IDAC
WDT	看门狗定时器
WOL	锁存时写入, 另请参见 NVL
WRES	看门狗定时器复位
XRES	外部复位 I/O 引脚
XTAL	晶体

文档规范

测量单位

表 46. 测量单位

符号	测量单位
°C	摄氏度
dB	分贝
fF	飞法
Hz	赫兹
KB	1024 个字节
kbps	千比特每秒
chr	千小时
kHz	千赫兹
kΩ	千欧
ksps	千次采样每秒
LSB	最低有效位
Mbps	每秒兆比特
MHz	兆赫兹
MΩ	兆欧姆
Msp	每秒兆次采样
μA	微安
μF	微法

表 46. 测量单位 (续)

符号	测量单位
μH	微亨
μs	微秒
μV	微伏
μW	微瓦
mA	毫安
ms	毫秒
mV	毫伏
nA	纳安
ns	纳秒
nV	纳伏
Ω	欧姆
pF	皮法
ppm	百万分比
ps	皮秒
s	秒
sps	采样数每秒
sqrtHz	赫兹平方根
V	伏特

修订记录

文档标题: PSoC [®] 6 MCU: PSoC 61 数据手册, 可编程片上系统 (PSoC [®])				
文档编号: 002-25833				
版本	ECN	变更者	提交日期	变更说明
**	6453434	YLIU	01/22/2019	本文档版本号为 Rev**, 译自英文版 002-21414 Rev*F。