



本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名、品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名、品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcnにアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディング カンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。

MB9A140NB シリーズは、低消費電力と低コストを求める組込み制御用途向けに設計された、高集積 32 ビットマイクロコントローラです。本シリーズは、CPU に ARM Cortex-M3 プロセッサを搭載し、フラッシュメモリおよび SRAM のオンチップメモリとともに、周辺機能として、各種タイマ、A/D コンバータ、各種通信インタフェース(UART, CSIO, I²C)などにより構成されます。『FM3 ファミリー パリフェラルマニュアル』において、このデータシートに記載されている製品は、TYPE6 製品に分類されます。

特長

32 ビット ARM Cortex-M3 コア

- プロセッサ版数: r2p1
- 最大動作周波数: 40 MHz
- ネスト型ベクタ割込みコントローラ(NVIC): 1 チャンネルの NMI (ノンマスカブル割込み)と 48 チャンネルの周辺割込みに対応。16 の割込み優先度レベルを設定できます。
- 24 ビットシステムタイマ(Sys Tick): OS タスク管理用のシステムタイマです。

オンチップメモリ

[フラッシュメモリ]

- デュアルオペレーションフラッシュメモリ
- デュアルオペレーションフラッシュメモリは、上位バンクと下位バンクで構成されており、書込み/消去動作と読出し動作を同時実行します。
- メイン領域: 最大 256 K バイト (最大 240 K バイト上位バンク + 16 K バイト下位バンク)
- ワーク領域: 32 K バイト (下位バンク)
- リードサイクル: 0 ウェイトサイクル
- コード保護用セキュリティ機能

[SRAM]

本シリーズのオンチップ SRAM は、2 つの独立した SRAM (SRAM0, SRAM1) により構成されています。SRAM0 は、Cortex-M3 コアの I-Code バス、D-Code バスに接続されます。SRAM1 は、Cortex-M3 コアの System バスに接続されます。

- SRAM0: 最大 16 K バイト
- SRAM1: 最大 16 K バイト

外部バスインタフェース*

- SRAM, NOR フラッシュメモリデバイスに対応
- 最大 8 チップセレクト
- 8/16 ビットデータ幅
- 最大 25 ビットのアドレスビット

- 最大アクセスサイズ: 256 M バイト
- アドレス/データマルチプレクスをサポート
- 外部 RDY 機能をサポート
- *: MB9AF141LB, F142LB, F144LB は外部バスインタフェース非対応

マルチファンクションシリアルインタフェース(最大 8 チャンネル)

- 16 段 × 9 ビット FIFO あり 4 チャンネル(ch.4 ~ ch.7), FIFO なし 4 チャンネル(ch.0 ~ ch.3)
- チャンネルごとに動作モードを次の中から選択できます。
 - UART
 - CSIO
 - I²C

[UART]

- 全二重ダブルバッファ
- パリティあり/なし選択可能
- 専用ボーレートジェネレータ内蔵
- 外部クロックをシリアルクロックとして使用可能
- ハードウェアフロー・コントロール*: CTS/RTS による送受信自動制御(ch.4 のみ)
- 豊富なエラー検出機能(パリティエラー, フレーミングエラー, オーバランエラー)
- *: MB9AF141LB, F142LB, F144LB はハードウェアフロー・コントロール非対応

[CSIO]

- 全二重ダブルバッファ
- 専用ボーレートジェネレータ内蔵
- オーバランエラー検出機能

[I²C]

標準モード(最大 100 kbps)/高速モード(最大 400 kbps)に対応

DMA コントローラ(8 チャンネル)

DMA コントローラは、CPU とは独立した DMA 専用バスを持ち、CPU と並列動作できます。

- 8 つを独自に構成かつ動作可能なチャンネル
- ソフトウェア要求または内蔵周辺機能要求による転送開始可能
- 転送アドレス空間: 32 ビット(4 G バイト)
- 転送モード: ブロック転送/ バースト転送/ デマンド転送
- 転送データタイプ: バイト/ ハーフワード/ ワード
- 転送ブロック数: 1 ~ 16
- 転送回数: 1 ~ 65536

AD コンバータ(最大 24 チャンネル)

[12 ビット A/D コンバータ]

- 逐次比較型
- 2 ユニット搭載
- 変換時間: 2.0 μ s @ 2.7 V ~ 3.6 V
- 優先変換可能(2 レベルの優先度)
- スキャン変換モード
- 変換データ格納用 FIFO 搭載(スキャン変換用: 16 段, 優先変換用: 4 段)

ベースタイマ(最大 8 チャンネル)

チャンネルごとに動作モードを次の中から選択できます。

- 16 ビット PWM タイマ
- 16 ビット PPG タイマ
- 16/32 ビットリロードタイマ
- 16/32 ビット PWC タイマ

汎用 I/O ポート

本シリーズは、端子が外部バスまたは周辺機能に使用されていない場合、汎用 I/O ポートとして使用できます。また、どの I/O ポートに周辺機能を割り当てるかを設定できるポートリロケート機能を搭載しています。

- 端子ごとにプルアップ制御可能
- 端子レベルを直接読出し可能
- ポートリロケート機能
- 最大 83 本の高速汎用 I/O ポート @ 100 pin Package
- 一部のポートは、5 V トレラントに対応
該当する端子については「端子機能一覧」を参照してください。

デュアルタイマ(32/16 ビットダウンカウンタ)

デュアルタイマは、2 つのプログラム可能な 32/16 ビットダウンカウンタで構成されます。

各タイマチャンネルの動作モードを次の中から選択できます。

- フリーランモード
- 周期モード(=リロードモード)
- ワンショットモード

HDMI-CEC/リモコン受信(最大 2 チャンネル)

■HDMI-CEC 送信

- シグナルフリーを判定してヘッダーブロックの自動送信
- アービトレーションロストを検出してステータス割込みを発生
- 1 バイトデータの設定により START, EOM, ACK を自動生成して CEC 送信出力
- 1 ブロック(1 バイトのデータと EOM, ACK)を送信したときに送信ステータス割込みを発生

■HDMI-CEC 受信

- 自動 ACK 応答機能
- ラインエラー検出機能

■リモコン受信

- 4 バイトの受信バッファ
- リピートコード検出機能

リアルタイムクロック(RTC : Real Time Clock)

00 年 ~ 99 年までの年/月/日/時/分/秒/曜日のカウントを行います。

- 日時指定(年/月/日/時/分)での割込み機能, 年/月/日/時/分だけの個別設定も可能
- 設定時間後/設定時間ごとのタイマ割込み機能
- カウントを継続して時刻書換え可能
- うるう年の自動カウント

時計カウンタ

時計カウンタはスリープ、タイマモードからのウェイクアップに使用します。インターバルタイマ : 最大 64 s @ サブクロック使用時(32.768 kHz)

外部割込み制御ユニット

- 外部割込み入力端子: 最大 16 本
- ノンマスカブル割込み(NMI)入力端子: 1 本

ウォッチドッグタイマ(2チャンネル)

ウォッチドッグタイマは、タイムアウト値に達すると割込みまたはリセットを発生します。本シリーズには、ハードウェアウォッチドッグとソフトウェアウォッチドッグの2つの異なるウォッチドッグがあります。ハードウェアウォッチドッグタイマは内蔵低速 CR 発振で動作するため、RTC モード、ストップモード、ディープスタンバイ RTC モード、ディープスタンバイストップモード以外のすべての低消費電力モードで動作します。

CRC (Cyclic Redundancy Check)アクセラレータ

CRC アクセラレータは、ソフト処理負荷の高い CRC 計算を行い、受信データおよびストレージの整合性確認処理負荷の軽減を実現します。

CCITT CRC16 と IEEE-802.3 CRC32 をサポートします。

■CCITT CRC16 Generator Polynomial: 0x1021

■IEEE-802.3 CRC32 Generator Polynomial: 0x04C11DB7

クロック/リセット

[クロック]

5種類のクロックソース(2種類の外部発振, 2種類の内蔵 CR 発振, メイン PLL)から選択できます。

■メインクロック: 4 MHz ~ 48 MHz

■サブクロック: 32.768 kHz

■内蔵高速 CR クロック: 4 MHz

■内蔵低速 CR クロック: 100 kHz

■メイン PLL クロック

[リセット]

■INITX 端子からのリセット要求

■電源投入リセット

■ソフトウェアリセット

■ウォッチドッグタイマリセット

■低電圧検出リセット

■クロックスーパーバイザリセット

クロック監視機能(CSV : Clock Super Visor)

内蔵 CR 発振による生成クロックを用いて外部クロックの異常を監視します。

■外部クロック異常(クロック停止)が検出されると、リセットがアサートされます。

■外部周波数異常が検出されると、割込みまたはリセットがアサートされます。

低電圧検出機能(LVD : Low-Voltage Detect)

本シリーズは、2段階で VCC 端子の電圧を監視します。設定した電圧より VCC 端子の電圧が下がった場合、低電圧検出機能により割込みまたはリセットが発生します。

■LVD1: 割込みによりエラーを報告

■LVD2: オートリセット動作

低消費電力モード

6種類の低消費電力モードに対応します。

■スリープ

■タイマ

■RTC

■ストップ

■ディープスタンバイ RTC(RAM 保持あり・なし選択可能)

■ディープスタンバイストップ(RAM 保持あり・なし選択可能)

デバッグ

■シリアル・ワイヤ JTAG デバッグ・ポート (SWJ-DP)

■エンベデッド・トレース・マクロセル(ETM)*

*: MB9AF141LB/MB, F142LB/MB, F144LB/MB は SWJ-DP のみ対応

ユニーク ID

41 ビットのデバイス固有の値を設定済み

電源

ワイドレンジ電圧対応: VCC = 1.65 V ~ 3.6 V

Table of Contents

| | |
|---|-----------|
| 特長 | 1 |
| 1. 品種構成 | 6 |
| 2. パッケージと品種対応 | 7 |
| 3. 端子配列図 | 8 |
| 4. 端子機能一覧 | 15 |
| 5. 入出力回路形式 | 38 |
| 6. 取扱上のご注意 | 43 |
| 6.1 設計上の注意事項 | 43 |
| 6.2 パッケージ実装上の注意事項 | 44 |
| 6.3 使用環境に関する注意事項 | 45 |
| 7. デバイス使用上の注意 | 46 |
| 8. ブロックダイアグラム | 49 |
| 9. メモリサイズ | 50 |
| 10. メモリマップ | 50 |
| 11. 各 CPU ステートにおける端子状態 | 53 |
| 12. 電気的特性 | 59 |
| 12.1 絶対最大定格 | 59 |
| 12.2 推奨動作条件 | 60 |
| 12.3 直流規格 | 61 |
| 12.3.1 電流規格 | 61 |
| 12.3.2 端子特性 | 64 |
| 12.4 交流規格 | 65 |
| 12.4.1 メインクロック入力規格 | 65 |
| 12.4.2 サブクロック入力規格 | 66 |
| 12.4.3 内蔵 CR 発振規格 | 66 |
| 12.4.4 メイン PLL の使用条件(PLL の入力クロックにメインクロックを選択した場合) | 67 |
| 12.4.5 メイン PLL の使用条件(メイン PLL の入力クロックに内蔵高速 CR を選択した場合) | 67 |
| 12.4.6 リセット入力規格 | 68 |
| 12.4.7 パワーオンリセットタイミング | 68 |
| 12.4.8 外バスタイミング | 69 |
| 12.4.9 ベースタイマ入力タイミング | 77 |
| 12.4.10 CSIO/UART タイミング | 78 |
| 12.4.11 外部入力タイミング | 86 |
| 12.4.12 I ² C タイミング | 87 |
| 12.4.13 ETM タイミング | 88 |
| 12.4.14 JTAG タイミング | 89 |
| 12.5 12 ビット A/D コンバータ | 90 |
| 12.6 低電圧検出特性 | 93 |
| 12.6.1 低電圧検出リセット | 93 |
| 12.6.2 低電圧検出割込み | 94 |

| | |
|----------------------------------|------------|
| 12.7フラッシュメモリ書込み/消去特性..... | 95 |
| 12.7.1 書込み/消去時間..... | 95 |
| 12.7.2 書込みサイクルとデータ保持時間..... | 95 |
| 12.8スタンバイ復帰時間..... | 96 |
| 12.8.1 復帰要因：割込み/WKUP..... | 96 |
| 12.8.2 復帰要因：リセット..... | 98 |
| 13. オーダ型格 | 100 |
| 14. パッケージ・外形寸法図..... | 102 |
| 15. エラッタ | 111 |
| 15.1 影響を受ける型格..... | 111 |
| 15.2 認定の状況..... | 111 |
| 15.3 エラッタのまとめ..... | 111 |
| 16. 主な変更内容 | 115 |
| 改訂履歴 | 117 |
| セールス, ソリューションおよび法律情報..... | 118 |

1. 品種構成

メモリサイズ

| 品種名 | | MB9AF141LB/MB/NB | MB9AF142LB/MB/NB | MB9AF144LB/MB/NB |
|---------------|-------|------------------|------------------|------------------|
| オンチップフラッシュメモリ | メイン領域 | 64 K バイト | 128 K バイト | 256 K バイト |
| | ワーク領域 | 32 K バイト | 32 K バイト | 32 K バイト |
| オンチップSRAM | SRAM0 | 8 K バイト | 8 K バイト | 16 K バイト |
| | SRAM1 | 8 K バイト | 8 K バイト | 16 K バイト |
| | 計 | 16 K バイト | 16 K バイト | 32 K バイト |

ファンクション

| 品種名 | MB9AF141LB MB9AF142LB MB9AF144LB | MB9AF141MB MB9AF142MB MB9AF144MB | MB9AF141NB MB9AF142NB MB9AF144NB |
|---|---|--|--|
| 端子数 | 64 | 80/96 | 100/112 |
| CPU | Cortex-M3 | | |
| 周波数 | 40 MHz | | |
| 電源電圧範囲 | 1.65 V ~ 3.6 V | | |
| DMAC | 8 ch. | | |
| 外部バスインタフェース | - | Addr: 21-bit (最大) R/Wdata: 8-bit (最大) CS:4 (最大) SRAM, NOR フラッシュメモリ | Addr: 25-bit (最大) R/Wdata: 8-/16-bit (最大) CS:8 (最大) SRAM, NOR フラッシュメモリ |
| マルチファンクションシリアル (UART/CSIO/I ² C) | 8 ch. (最大) FIFO (16 段 × 9 ビット)あり:ch.4 ~ ch.7 FIFO なし: ch.0 ~ ch.3 | | |
| ベースタイマ (PWC/リロードタイマ/PWM/PPG) | 8 ch. (最大) | | |
| デュアルタイマ | 1 unit | | |
| HDMI-CEC/リモコン受信 | 2 ch. (最大) | | |
| リアルタイムクロック | 1 unit | | |
| 時計カウンタ | 1 unit | | |
| CRC アクセラレータ | Yes | | |
| ウォッチドッグタイマ | 1 ch. (SW) + 1 ch. (HW) | | |
| 外部割込み | 8 pin (最大) + NMI × 1 | 11 pin (最大) + NMI × 1 | 16 pin (最大) + NMI × 1 |
| I/O ポート | 51 pin (最大) | 66 pin (最大) | 83 pin (最大) |
| 12 ビット A/D コンバータ | 12 ch. (2 unit) | 17 ch. (2 unit) | 24 ch. (2 unit) |
| クロック異常検出機能(CSV) | Yes | | |
| 低電圧検出機能(LVD) | 2 ch. | | |
| 内蔵 CR | 高速 | 4 MHz (±2%) | |
| | 低速 | 100 kHz (標準) | |
| デバッグ機能 | SWJ-DP | | SWJ-DP/ETM |
| ユニーク ID | Yes | | |

<注意事項>

- 各製品に搭載される周辺機能の信号は、パッケージの端子数制限により、すべて割り当てることはできません。ご使用される機能に応じて、I/O ポートのポートリロケート機能を用いて、端子割当てを行う必要があります。
内蔵 CR のクロック周波数精度については、『電気的特性 4.交流規格 (3)内蔵 CR 発振規格』を参照してください。

2. パッケージと品種対応

| パッケージ | 品種名 | MB9AF141LB | MB9AF141MB | MB9AF141NB |
|------------------------------|-----|------------|------------|------------|
| | | MB9AF142LB | MB9AF142MB | MB9AF142NB |
| | | MB9AF144LB | MB9AF144MB | MB9AF144NB |
| LQFP: LQD064 (0.5 mm pitch) | | ○ | - | - |
| LQFP: LQG064 (0.65 mm pitch) | | ○ | - | - |
| QFN: VNC064 (0.5 mm pitch) | | ○ | - | - |
| LQFP: LQH080 (0.5 mm pitch) | | - | ○ | - |
| LQFP: LQJ080 (0.65 mm pitch) | | - | ○ | - |
| BGA: FDG096 (0.5 mm pitch) | | - | ○ | - |
| LQFP: LQI100 (0.5 mm pitch) | | - | - | ○ |
| QFP: PQH100 (0.65 mm pitch) | | - | - | ○ |
| BGA: LBC112 (0.8 mm pitch) | | - | - | ○ |

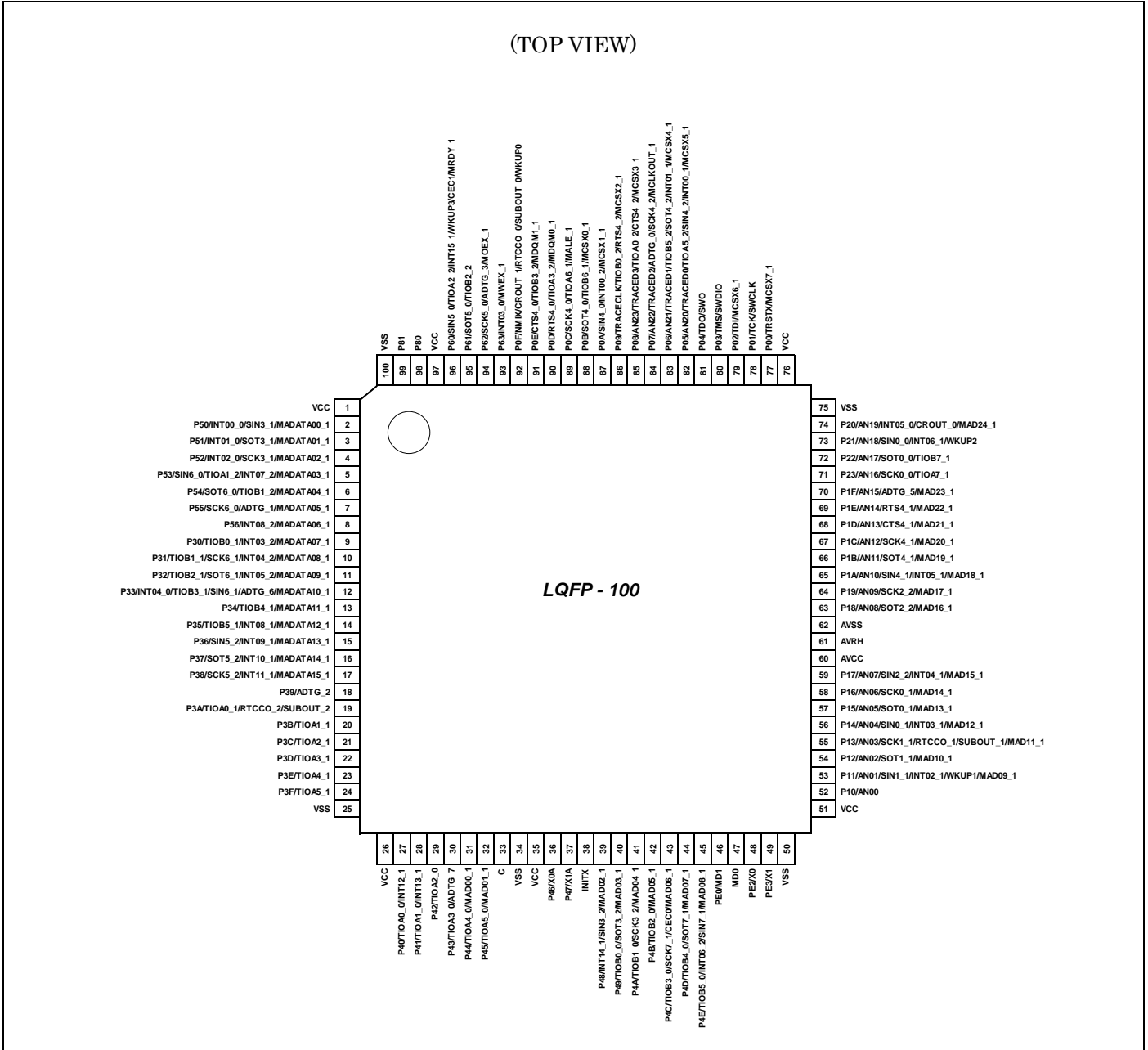
○: 対応

<注意事項>

- 各パッケージの詳細は「14. パッケージ・外形寸法図」を参照してください。

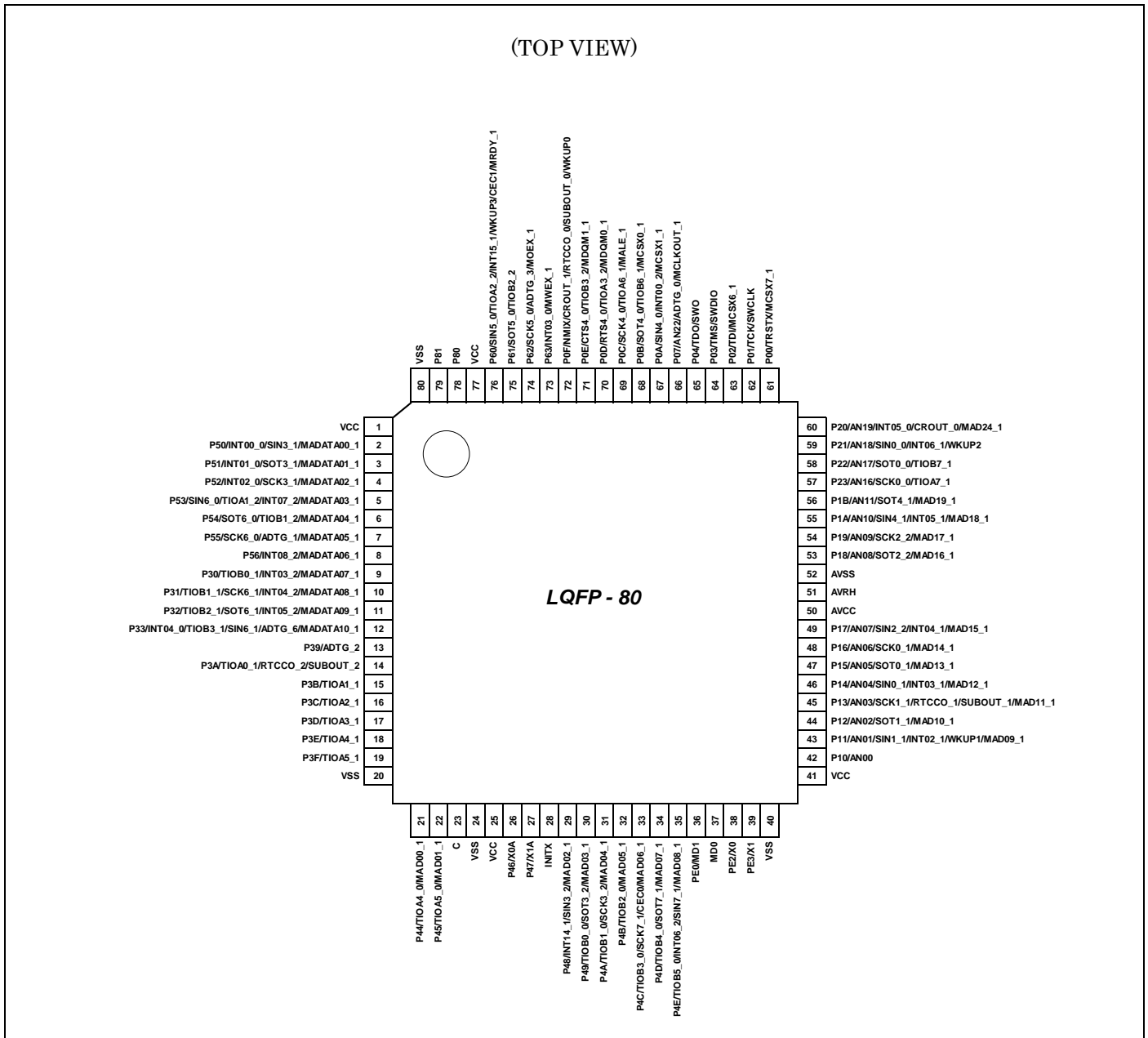
3. 端子配列図

LQI100

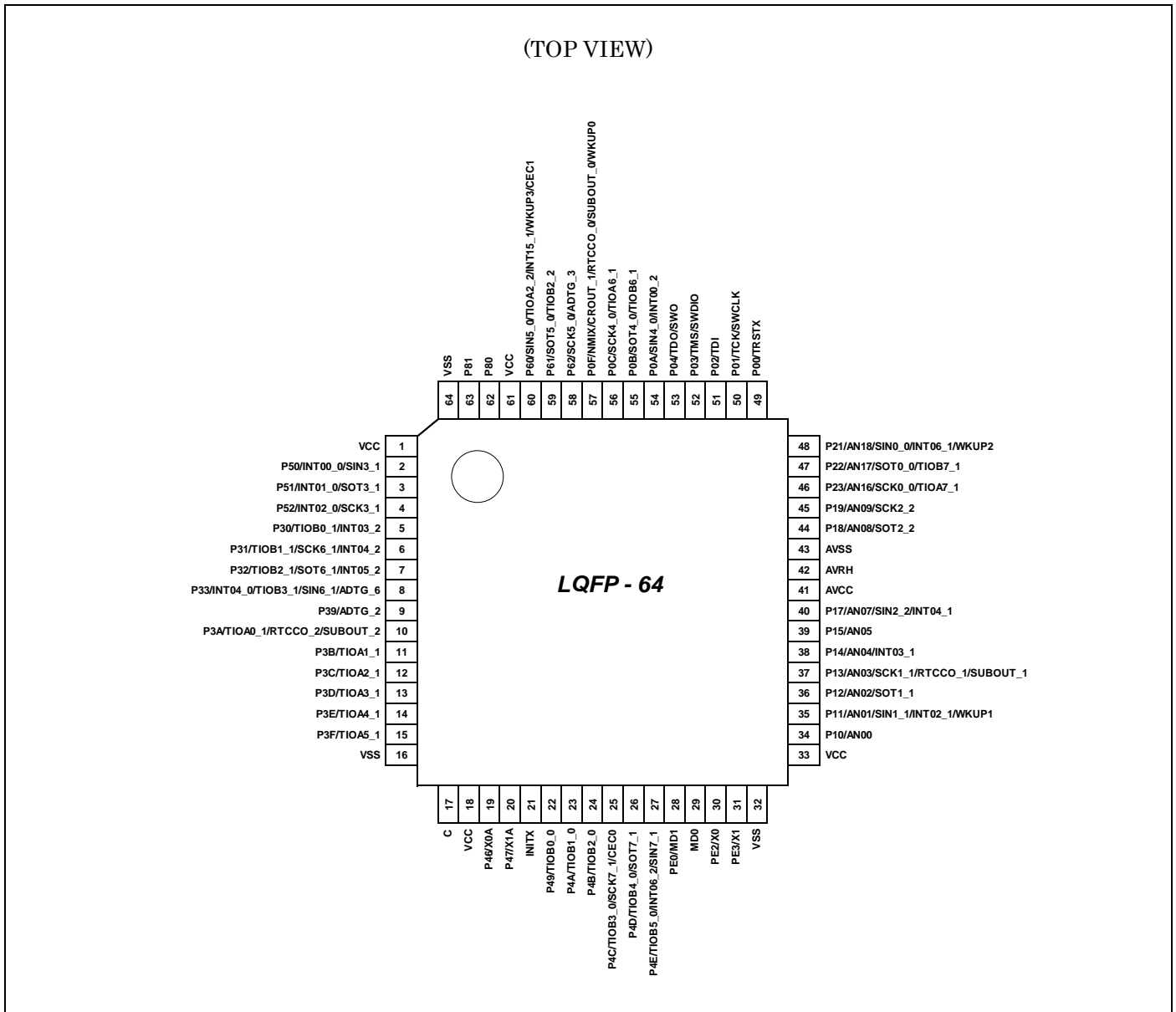


<注意事項>

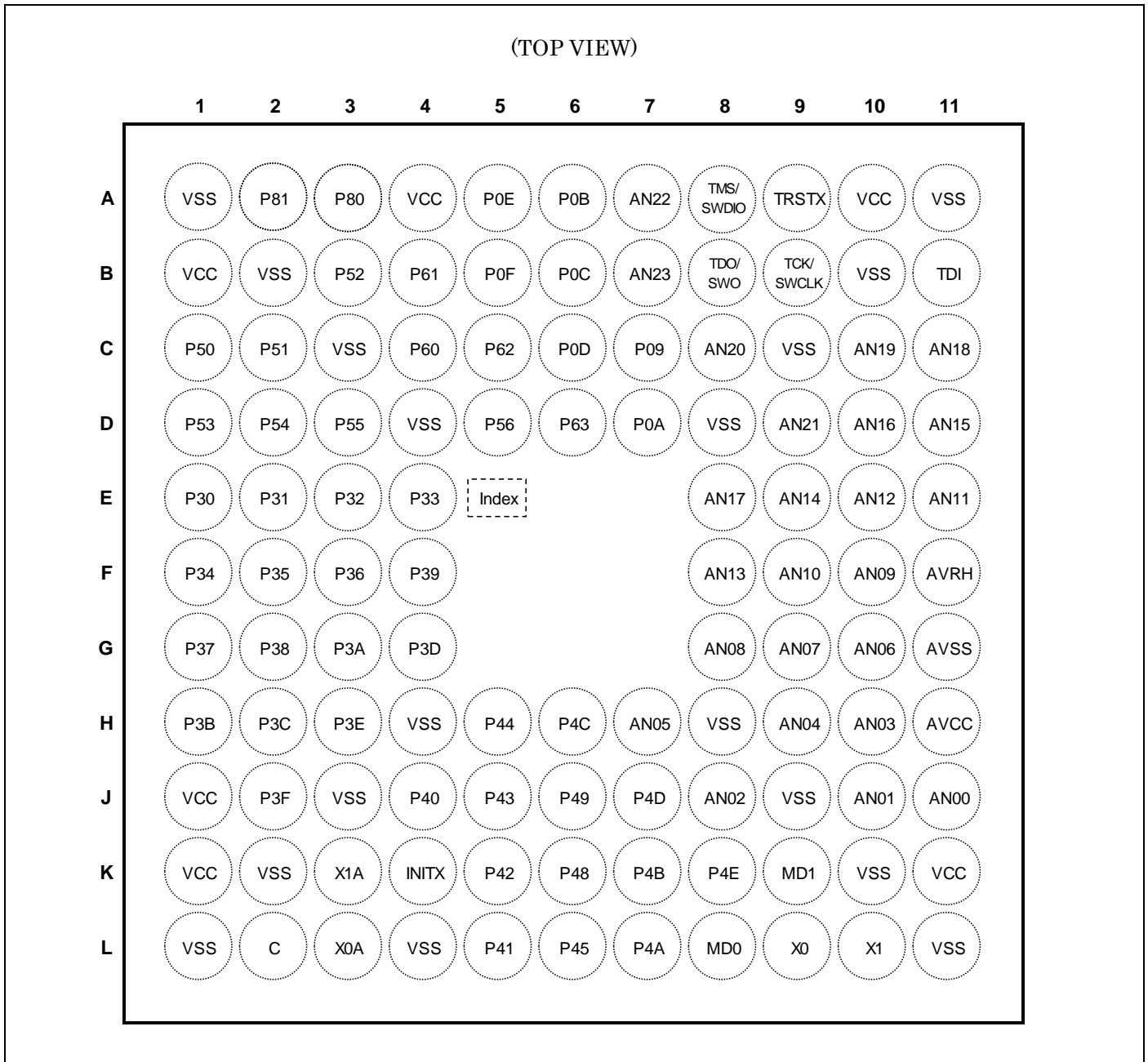
- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR)によって利用する端子名を選択してください。

LQH080/ LQJ080

<注意事項>

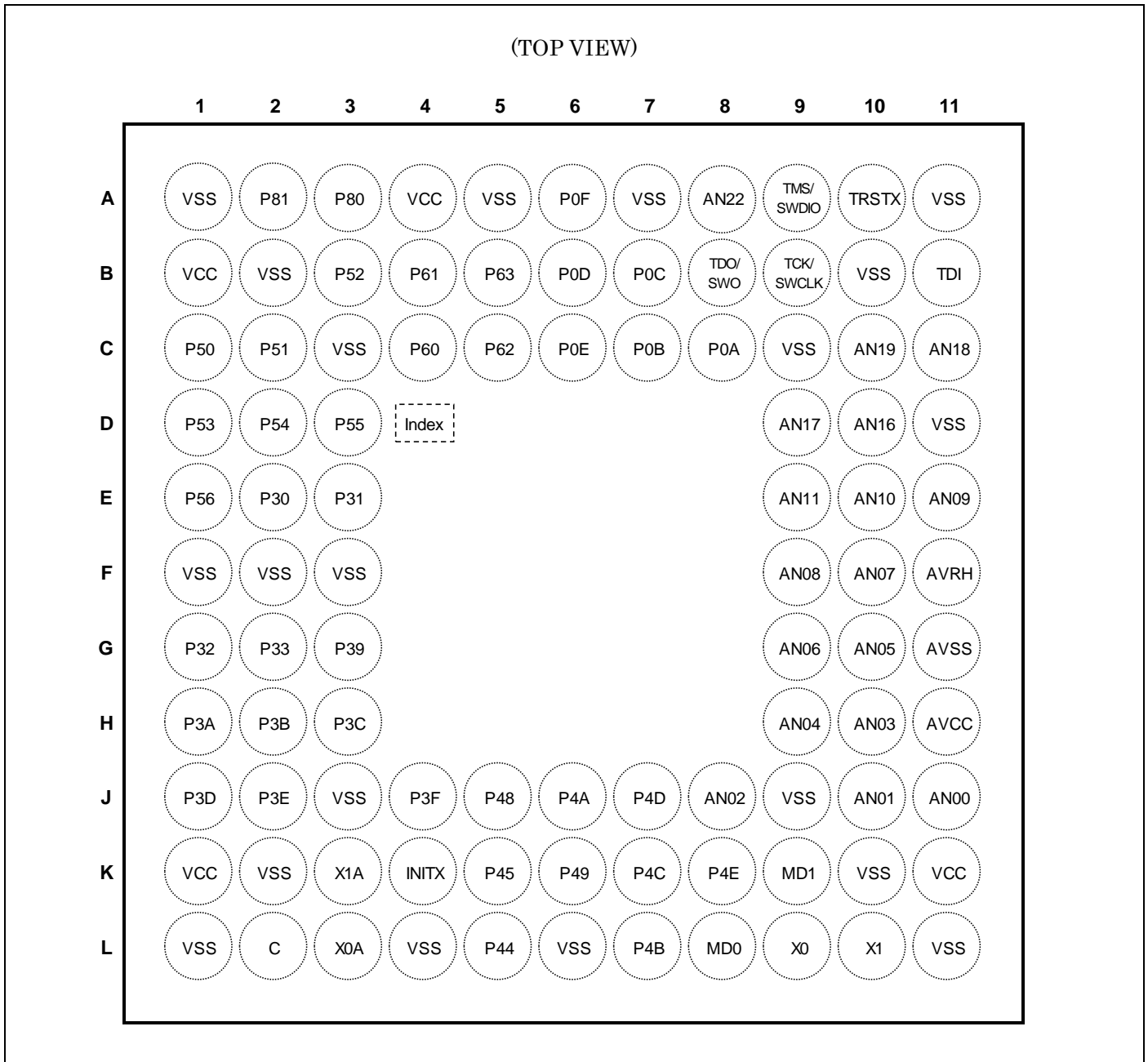
- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR)によって利用する端子名を選択してください。

LQD064/ LQG064

<注意事項>

- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能が、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR)によって利用する端子名を選択してください。

LBC112

<注意事項>

- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR)によって利用する端子名を選択してください。

FDG096

<注意事項>

- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR)によって利用する端子名を選択してください。

4. 端子機能一覧

端子番号別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ(EPFR)によって利用する端子名を選択してください。

| 端子番号 | | | | | | 端子名 | 入出力回路形式 | 端子状態形式 |
|----------|------------|---------|---------|--------|-------------------|--------------------|---------|--------|
| LQFP-100 | QFP-100 | BGA-112 | LQFP-80 | BGA-96 | LQFP-64 QFN-64 | | | |
| 1 | 79 | B1 | 1 | B1 | 1 | VCC | - | |
| 2 | 80 | C1 | 2 | C1 | 2 | P50 | E | L |
| | | | | | | INT00_0 | | |
| | | | | | | SIN3_1 | | |
| - | MADATA00_1 | | | | | | | |
| 3 | 81 | C2 | 3 | C2 | 3 | P51 | E | L |
| | | | | | | INT01_0 | | |
| | | | | | | SOT3_1 (SDA3_1) | | |
| - | MADATA01_1 | | | | | | | |
| 4 | 82 | B3 | 4 | B3 | 4 | P52 | E | L |
| | | | | | | INT02_0 | | |
| | | | | | | SCK3_1 (SCL3_1) | | |
| - | MADATA02_1 | | | | | | | |
| 5 | 83 | D1 | 5 | D1 | - | P53 | E | L |
| | | | | | | SIN6_0 | | |
| | | | | | | TIOA1_2 | | |
| | | | | | | INT07_2 | | |
| - | MADATA03_1 | | | | | | | |
| 6 | 84 | D2 | 6 | D2 | - | P54 | E | K |
| | | | | | | SOT6_0 (SDA6_0) | | |
| | | | | | | TIOB1_2 | | |
| - | MADATA04_1 | | | | | | | |
| 7 | 85 | D3 | 7 | D3 | - | P55 | E | K |
| | | | | | | SCK6_0 (SCL6_0) | | |
| | | | | | | ADTG_1 | | |
| - | MADATA05_1 | | | | | | | |
| 8 | 86 | D5 | 8 | E1 | - | P56 | E | L |
| | | | | | | INT08_2 | | |
| - | MADATA06_1 | | | | | | | |
| 9 | 87 | E1 | 9 | E2 | 5 | P30 | E | L |
| | | | | | | TIOB0_1 | | |
| | | | | | | INT03_2 | | |
| - | MADATA07_1 | | | | | | | |

| 端子番号 | | | | | | 端子名 | 入出力回路形式 | 端子状態形式 |
|----------|---------|---------|---------|--------|-------------------|--------------------|---------|--------|
| LQFP-100 | QFP-100 | BGA-112 | LQFP-80 | BGA-96 | LQFP-64 QFN-64 | | | |
| 10 | 88 | E2 | 10 | E3 | 6 | P31 | E | L |
| | | | | | | TIOB1_1 | | |
| | | | | | | SCK6_1 (SCL6_1) | | |
| | | | | | | INT04_2 | | |
| | | | | | - | MADATA08_1 | | |
| 11 | 89 | E3 | 11 | G1 | 7 | P32 | E | L |
| | | | | | | TIOB2_1 | | |
| | | | | | | SOT6_1 (SDA6_1) | | |
| | | | | | | INT05_2 | | |
| | | | | | - | MADATA09_1 | | |
| 12 | 90 | E4 | 12 | G2 | 8 | P33 | E | L |
| | | | | | | INT04_0 | | |
| | | | | | | TIOB3_1 | | |
| | | | | | | SIN6_1 | | |
| | | | | | | ADTG_6 | | |
| | | | | | - | MADATA10_1 | | |
| 13 | 91 | F1 | - | - | - | P34 | E | K |
| | | | | | | TIOB4_1 | | |
| | | | | | | MADATA11_1 | | |
| 14 | 92 | F2 | - | - | - | P35 | E | L |
| | | | | | | TIOB5_1 | | |
| | | | | | | INT08_1 | | |
| | | | | | | MADATA12_1 | | |
| 15 | 93 | F3 | - | - | - | P36 | E | L |
| | | | | | | SIN5_2 | | |
| | | | | | | INT09_1 | | |
| | | | | | | MADATA13_1 | | |
| - | - | - | - | F1 | - | VSS | - | - |
| - | - | - | - | F2 | - | VSS | - | - |
| - | - | - | - | F3 | - | VSS | - | - |
| 16 | 94 | G1 | - | - | - | P37 | E | L |
| | | | | | | SOT5_2 (SDA5_2) | | |
| | | | | | | INT10_1 | | |
| | | | | | | MADATA14_1 | | |
| 17 | 95 | G2 | - | - | - | P38 | E | L |
| | | | | | | SCK5_2 (SCL5_2) | | |
| | | | | | | INT11_1 | | |
| | | | | | | MADATA15_1 | | |
| 18 | 96 | F4 | 13 | G3 | 9 | P39 | E | K |
| | | | | | | ADTG_2 | | |

| 端子番号 | | | | | | 端子名 | 入出力回路形式 | 端子状態形式 |
|----------|---------|---------|---------|--------|-------------------|----------|---------|--------|
| LQFP-100 | QFP-100 | BGA-112 | LQFP-80 | BGA-96 | LQFP-64 QFN-64 | | | |
| 19 | 97 | G3 | 14 | H1 | 10 | P3A | E | K |
| | | | | | | TIOA0_1 | | |
| | | | | | | RTCCO_2 | | |
| | | | | | | SUBOUT_2 | | |
| 20 | 98 | H1 | 15 | H2 | 11 | P3B | E | K |
| | | | | | | TIOA1_1 | | |
| 21 | 99 | H2 | 16 | H3 | 12 | P3C | E | K |
| | | | | | | TIOA2_1 | | |
| 22 | 100 | G4 | 17 | J1 | 13 | P3D | E | K |
| | | | | | | TIOA3_1 | | |
| - | - | B2 | - | B2 | - | VSS | - | - |
| 23 | 1 | H3 | 18 | J2 | 14 | P3E | E | K |
| | | | | | | TIOA4_1 | | |
| 24 | 2 | J2 | 19 | J4 | 15 | P3F | E | K |
| | | | | | | TIOA5_1 | | |
| 25 | 3 | L1 | 20 | L1 | 16 | VSS | - | - |
| 26 | 4 | J1 | - | - | - | VCC | - | - |
| 27 | 5 | J4 | - | - | - | P40 | E | L |
| | | | | | | TIOA0_0 | | |
| | | | | | | INT12_1 | | |
| 28 | 6 | L5 | - | - | - | P41 | E | L |
| | | | | | | TIOA1_0 | | |
| | | | | | | INT13_1 | | |
| 29 | 7 | K5 | - | - | - | P42 | E | K |
| | | | | | | TIOA2_0 | | |
| 30 | 8 | J5 | - | - | - | P43 | E | K |
| | | | | | | TIOA3_0 | | |
| | | | | | | ADTG_7 | | |
| 31 | 9 | H5 | 21 | L5 | - | P44 | E | K |
| | | | | | | TIOA4_0 | | |
| | | | | | | MAD00_1 | | |
| 32 | 10 | L6 | 22 | K5 | - | P45 | E | K |
| | | | | | | TIOA5_0 | | |
| | | | | | | MAD01_1 | | |
| - | - | K2 | - | K2 | - | VSS | - | - |
| - | - | J3 | - | J3 | - | VSS | - | - |
| - | - | H4 | - | - | - | VSS | - | - |
| - | - | - | - | L6 | - | VSS | - | - |
| 33 | 11 | L2 | 23 | L2 | 17 | C | - | - |
| 34 | 12 | L4 | 24 | L4 | - | VSS | - | - |
| 35 | 13 | K1 | 25 | K1 | 18 | VCC | - | - |
| 36 | 14 | L3 | 26 | L3 | 19 | P46 | D | F |
| | | | | | | X0A | | |
| 37 | 15 | K3 | 27 | K3 | 20 | P47 | D | G |
| | | | | | | X1A | | |
| 38 | 16 | K4 | 28 | K4 | 21 | INITX | B | C |

| 端子番号 | | | | | | 端子名 | 入出力回路形式 | 端子状態形式 |
|----------|---------|---------|---------|--------|-------------------|--------------------|---------|--------|
| LQFP-100 | QFP-100 | BGA-112 | LQFP-80 | BGA-96 | LQFP-64 QFN-64 | | | |
| 39 | 17 | K6 | 29 | J5 | - | P48 | E | L |
| | | | | | | INT14_1 | | |
| | | | | | | SIN3_2 | | |
| | | | | | | MAD02_1 | | |
| 40 | 18 | J6 | 30 | K6 | 22 | P49 | E | K |
| | | | | | - | TIOB0_0 | | |
| | | | | | - | SOT3_2 (SDA3_2) | | |
| 41 | 19 | L7 | 31 | J6 | 23 | P4A | E | K |
| | | | | | - | TIOB1_0 | | |
| | | | | | - | SCK3_2 (SCL3_2) | | |
| 42 | 20 | K7 | 32 | L7 | 24 | P4B | E | K |
| | | | | | - | TIOB2_0 | | |
| | | | | | - | MAD05_1 | | |
| 43 | 21 | H6 | 33 | K7 | 25 | P4C | I | S |
| | | | | | | TIOB3_0 | | |
| | | | | | | SCK7_1 (SCL7_1) | | |
| | | | | | | - | | |
| 44 | 22 | J7 | 34 | J7 | 26 | P4D | I | K |
| | | | | | | TIOB4_0 | | |
| | | | | | | SOT7_1 (SDA7_1) | | |
| | | | | | | - | | |
| 45 | 23 | K8 | 35 | K8 | 27 | P4E | I | L |
| | | | | | | TIOB5_0 | | |
| | | | | | | INT06_2 | | |
| | | | | | | SIN7_1 | | |
| | | | | | | - | | |
| 46 | 24 | K9 | 36 | K9 | 28 | MD1 | C | E |
| 47 | 25 | L8 | 37 | L8 | 29 | PE0 | G | D |
| 48 | 26 | L9 | 38 | L9 | 30 | X0 | A | A |
| | | | | | | PE2 | | |
| 49 | 27 | L10 | 39 | L10 | 31 | X1 | A | B |
| | | | | | | PE3 | | |
| 50 | 28 | L11 | 40 | L11 | 32 | VSS | - | - |
| 51 | 29 | K11 | 41 | K11 | 33 | VCC | - | - |
| 52 | 30 | J11 | 42 | J11 | 34 | P10 | F | M |
| | | | | | | AN00 | | |

| 端子番号 | | | | | | 端子名 | 入出力回路形式 | 端子状態形式 |
|----------|---------|---------|---------|--------|-------------------|--------------------|---------|--------|
| LQFP-100 | QFP-100 | BGA-112 | LQFP-80 | BGA-96 | LQFP-64 QFN-64 | | | |
| 53 | 31 | J10 | 43 | J10 | 35 | P11 | F | R |
| | | | | | | AN01 | | |
| | | | | | | SIN1_1 | | |
| | | | | | | INT02_1 | | |
| | | | | | | WKUP1 | | |
| - | MAD09_1 | | | | | | | |
| 54 | 32 | J8 | 44 | J8 | 36 | P12 | F | M |
| | | | | | | AN02 | | |
| | | | | | | SOT1_1 (SDA1_1) | | |
| | | | | | | - | | |
| - | - | K10 | - | K10 | - | VSS | - | |
| - | - | J9 | - | J9 | - | VSS | - | |
| 55 | 33 | H10 | 45 | H10 | 37 | P13 | F | M |
| | | | | | | AN03 | | |
| | | | | | | SCK1_1 (SCL1_1) | | |
| | | | | | | RTCCO_1 | | |
| | | | | | | SUBOUT_1 | | |
| - | MAD11_1 | | | | | | | |
| 56 | 34 | H9 | 46 | H9 | 38 | P14 | F | N |
| | | | | | | AN04 | | |
| | | | | | | INT03_1 | | |
| | | | | | | - | | |
| 57 | 35 | H7 | 47 | G10 | 39 | P15 | F | M |
| | | | | | | AN05 | | |
| | | | | | | - | | |
| 58 | 36 | G10 | 48 | G9 | - | P16 | F | M |
| | | | | | | AN06 | | |
| | | | | | | SCK0_1 (SCL0_1) | | |
| | | | | | | MAD14_1 | | |
| 59 | 37 | G9 | 49 | F10 | 40 | P17 | F | N |
| | | | | | | AN07 | | |
| | | | | | | SIN2_2 | | |
| | | | | | | INT04_1 | | |
| | | | | | | - | | |
| 60 | 38 | H11 | 50 | H11 | 41 | AVCC | - | |
| 61 | 39 | F11 | 51 | F11 | 42 | AVRH | - | |
| 62 | 40 | G11 | 52 | G11 | 43 | AVSS | - | |

| 端子番号 | | | | | | 端子名 | 入出力回路形式 | 端子状態形式 |
|----------|---------|---------|---------|--------|-------------------|--------------------|---------|--------|
| LQFP-100 | QFP-100 | BGA-112 | LQFP-80 | BGA-96 | LQFP-64 QFN-64 | | | |
| 63 | 41 | G8 | 53 | F9 | 44 | P18 | F | M |
| | | | | | | AN08 | | |
| | | | | | | SOT2_2 (SDA2_2) | | |
| | | | | | - | MAD16_1 | | |
| 64 | 42 | F10 | 54 | E11 | 45 | P19 | F | M |
| | | | | | | AN09 | | |
| | | | | | | SCK2_2 (SCL2_2) | | |
| | | | | | - | MAD17_1 | | |
| - | - | H8 | - | - | - | VSS | - | - |
| 65 | 43 | F9 | 55 | E10 | - | P1A | F | N |
| | | | | | | AN10 | | |
| | | | | | | SIN4_1 | | |
| | | | | | | INT05_1 | | |
| | | | | | | MAD18_1 | | |
| 66 | 44 | E11 | 56 | E9 | - | P1B | F | M |
| | | | | | | AN11 | | |
| | | | | | | SOT4_1 (SDA4_1) | | |
| | | | | | | MAD19_1 | | |
| 67 | 45 | E10 | - | - | - | PIC | F | M |
| | | | | | | AN12 | | |
| | | | | | | SCK4_1 (SCL4_1) | | |
| | | | | | | MAD20_1 | | |
| 68 | 46 | F8 | - | - | - | P1D | F | M |
| | | | | | | AN13 | | |
| | | | | | | CTS4_1 | | |
| | | | | | | MAD21_1 | | |
| 69 | 47 | E9 | - | - | - | P1E | F | M |
| | | | | | | AN14 | | |
| | | | | | | RTS4_1 | | |
| | | | | | | MAD22_1 | | |
| 70 | 48 | D11 | - | - | - | P1F | F | M |
| | | | | | | AN15 | | |
| | | | | | | ADTG_5 | | |
| | | | | | | MAD23_1 | | |
| - | - | B10 | - | B10 | - | VSS | - | - |
| - | - | C9 | - | C9 | - | VSS | - | - |
| - | - | - | - | D11 | - | VSS | - | - |

| 端子番号 | | | | | | 端子名 | 入出力回路形式 | 端子状態形式 |
|----------|---------|---------|---------|--------|-------------------|--------------------|---------|--------|
| LQFP-100 | QFP-100 | BGA-112 | LQFP-80 | BGA-96 | LQFP-64 QFN-64 | | | |
| 71 | 49 | D10 | 57 | D10 | 46 | P23 | F | M |
| | | | | | | AN16 | | |
| | | | | | | SCK0_0 (SCL0_0) | | |
| | | | | | | TIOA7_1 | | |
| 72 | 50 | E8 | 58 | D9 | 47 | P22 | F | M |
| | | | | | | AN17 | | |
| | | | | | | SOT0_0 (SDA0_0) | | |
| | | | | | | TIOB7_1 | | |
| 73 | 51 | C11 | 59 | C11 | 48 | P21 | F | R |
| | | | | | | AN18 | | |
| | | | | | | SIN0_0 | | |
| | | | | | | INT06_1 | | |
| | | | | | | WKUP2 | | |
| 74 | 52 | C10 | 60 | C10 | - | P20 | F | N |
| | | | | | | AN19 | | |
| | | | | | | INT05_0 | | |
| | | | | | | CROUT_0 | | |
| | | | | | | MAD24_1 | | |
| 75 | 53 | A11 | - | A11 | - | VSS | - | - |
| 76 | 54 | A10 | - | - | - | VCC | - | - |
| 77 | 55 | A9 | 61 | A10 | 49 | P00 | E | J |
| | | | | | - | TRSTX | | |
| | | | | | - | MCSX7_1 | | |
| 78 | 56 | B9 | 62 | B9 | 50 | P01 | E | J |
| | | | | | | TCK | | |
| | | | | | | SWCLK | | |
| 79 | 57 | B11 | 63 | B11 | 51 | P02 | E | J |
| | | | | | - | TDI | | |
| | | | | | - | MCSX6_1 | | |
| 80 | 58 | A8 | 64 | A9 | 52 | P03 | E | J |
| | | | | | | TMS | | |
| | | | | | | SWDIO | | |
| 81 | 59 | B8 | 65 | B8 | 53 | P04 | E | J |
| | | | | | | TDO | | |
| | | | | | | SWO | | |
| 82 | 60 | C8 | - | - | - | P05 | F | Q |
| | | | | | | AN20 | | |
| | | | | | | TRACED0 | | |
| | | | | | | TIOA5_2 | | |
| | | | | | | SIN4_2 | | |
| | | | | | | INT00_1 | | |
| MCSX5_1 | | | | | | | | |
| - | - | D8 | - | - | - | VSS | - | - |

| 端子番号 | | | | | | 端子名 | 入出力回路形式 | 端子状態形式 |
|----------|---------|--------------------|-----------|--------|-------------------|--------------------|---------|--------|
| LQFP-100 | QFP-100 | BGA-112 | LQFP-80 | BGA-96 | LQFP-64 QFN-64 | | | |
| 83 | 61 | D9 | - | - | - | P06 | F | Q |
| | | | | | | AN21 | | |
| | | | | | | TRACED1 | | |
| | | | | | | TIOB5_2 | | |
| | | | | | | SOT4_2 (SDA4_2) | | |
| | | | | | | INT01_1 | | |
| MCSX4_1 | | | | | | | | |
| 84 | 62 | A7 | 66 | A8 | - | P07 | F | P |
| | | | | | | AN22 | | |
| | | | ADTG_0 | | | | | |
| | | | MCLKOUT_1 | | | | | |
| | | | TRACED2 | | | | | |
| - | - | SCK4_2 (SCL4_2) | | | | | | |
| - | - | - | - | A7 | - | VSS | - | |
| 85 | 63 | B7 | - | - | - | P08 | F | P |
| | | | | | | AN23 | | |
| | | | | | | TRACED3 | | |
| | | | | | | TIOA0_2 | | |
| | | | | | | CTS4_2 | | |
| MCSX3_1 | | | | | | | | |
| 86 | 64 | C7 | - | - | - | P09 | E | O |
| | | | | | | TRACECLK | | |
| | | | | | | TIOB0_2 | | |
| | | | | | | RTS4_2 | | |
| MCSX2_1 | | | | | | | | |
| 87 | 65 | D7 | 67 | C8 | 54 | P0A | I | L |
| | | | | | | SIN4_0 | | |
| | | | | | INT00_2 | | | |
| - | - | - | - | - | - | MCSX1_1 | - | |
| 88 | 66 | A6 | 68 | C7 | 55 | P0B | I | K |
| | | | | | | SOT4_0 (SDA4_0) | | |
| | | | | | TIOB6_1 | | | |
| - | - | - | - | - | - | MCSX0_1 | - | |
| 89 | 67 | B6 | 69 | B7 | 56 | P0C | I | K |
| | | | | | | SCK4_0 (SCL4_0) | | |
| | | | | | TIOA6_1 | | | |
| - | - | D4 | - | - | - | MALE_1 | - | |
| - | - | C3 | - | C3 | - | VSS | - | |
| - | - | - | - | - | - | VSS | - | |

| 端子番号 | | | | | | 端子名 | 入出力回路形式 | 端子状態形式 |
|----------|---------|---------|---------|--------|-------------------|--------------------|---------|--------|
| LQFP-100 | QFP-100 | BGA-112 | LQFP-80 | BGA-96 | LQFP-64 QFN-64 | | | |
| 90 | 68 | C6 | 70 | B6 | - | P0D | E | K |
| | | | | | | RTS4_0 | | |
| | | | | | | TIOA3_2 | | |
| | | | | | | MDQM0_1 | | |
| 91 | 69 | A5 | 71 | C6 | - | P0E | E | K |
| | | | | | | CTS4_0 | | |
| | | | | | | TIOB3_2 | | |
| | | | | | | MDQM1_1 | | |
| - | - | - | - | A5 | - | VSS | - | - |
| 92 | 70 | B5 | 72 | A6 | 57 | P0F | E | I |
| | | | | | | NMIX | | |
| | | | | | | CROUT_1 | | |
| | | | | | | RTCCO_0 | | |
| | | | | | | SUBOUT_0 | | |
| | | | | | | WKUP0 | | |
| 93 | 71 | D6 | 73 | B5 | - | P63 | E | L |
| | | | | | | INT03_0 | | |
| | | | | | | MWEX_1 | | |
| 94 | 72 | C5 | 74 | C5 | 58 | P62 | E | K |
| | | | | | | SCK5_0 (SCL5_0) | | |
| | | | | | ADTG_3 | | | |
| | | | | | - | MOEX_1 | | |
| 95 | 73 | B4 | 75 | B4 | 59 | P61 | E | K |
| | | | | | | SOT5_0 (SDA5_0) | | |
| | | | | | | TIOB2_2 | | |
| 96 | 74 | C4 | 76 | C4 | 60 | P60 | I | T |
| | | | | | | SIN5_0 | | |
| | | | | | | TIOA2_2 | | |
| | | | | | | INT15_1 | | |
| | | | | | | WKUP3 | | |
| | | | | | CEC1 | | | |
| - | MRDY_1 | | | | | | | |
| 97 | 75 | A4 | 77 | A4 | 61 | VCC | - | - |
| 98 | 76 | A3 | 78 | A3 | 62 | P80 | H | H |
| 99 | 77 | A2 | 79 | A2 | 63 | P81 | H | H |
| 100 | 78 | A1 | 80 | A1 | 64 | VSS | - | - |

端子機能別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ(EPFR)によって利用する端子名を選択してください。

| 端子機能 | 端子名 | 機能説明 | 端子番号 | | | | | |
|------|--------|---|----------|---------|---------|---------|--------|-------------|
| | | | LQFP-100 | QFP-100 | BGA-112 | LQFP-80 | BGA-96 | LQFP/QFN-64 |
| ADC | ADTG_0 | A/D コンバータ 外部トリガ入力端子 | 84 | 62 | A7 | 66 | A8 | - |
| | ADTG_1 | | 7 | 85 | D3 | 7 | D3 | - |
| | ADTG_2 | | 18 | 96 | F4 | 13 | G3 | 9 |
| | ADTG_3 | | 94 | 72 | C5 | 74 | C5 | 58 |
| | ADTG_4 | | - | - | - | - | - | - |
| | ADTG_5 | | 70 | 48 | D11 | - | - | - |
| | ADTG_6 | | 12 | 90 | E4 | 12 | G2 | 8 |
| | ADTG_7 | | 30 | 8 | J5 | - | - | - |
| | ADTG_8 | | - | - | - | - | - | - |
| | AN00 | A/D コンバータ アナログ入力端子。 ANxx は ADC ch.xx を示します。 | 52 | 30 | J11 | 42 | J11 | 34 |
| | AN01 | | 53 | 31 | J10 | 43 | J10 | 35 |
| | AN02 | | 54 | 32 | J8 | 44 | J8 | 36 |
| | AN03 | | 55 | 33 | H10 | 45 | H10 | 37 |
| | AN04 | | 56 | 34 | H9 | 46 | H9 | 38 |
| | AN05 | | 57 | 35 | H7 | 47 | G10 | 39 |
| | AN06 | | 58 | 36 | G10 | 48 | G9 | - |
| | AN07 | | 59 | 37 | G9 | 49 | F10 | 40 |
| | AN08 | | 63 | 41 | G8 | 53 | F9 | 44 |
| | AN09 | | 64 | 42 | F10 | 54 | E11 | 45 |
| | AN10 | | 65 | 43 | F9 | 55 | E10 | - |
| | AN11 | | 66 | 44 | E11 | 56 | E9 | - |
| | AN12 | | 67 | 45 | E10 | - | - | - |
| | AN13 | | 68 | 46 | F8 | - | - | - |
| AN14 | 69 | | 47 | E9 | - | - | - | |
| AN15 | 70 | | 48 | D11 | - | - | - | |
| AN16 | 71 | | 49 | D10 | 57 | D10 | 46 | |
| AN17 | 72 | | 50 | E8 | 58 | D9 | 47 | |
| AN18 | 73 | | 51 | C11 | 59 | C11 | 48 | |
| AN19 | 74 | | 52 | C10 | 60 | C10 | - | |
| AN20 | 82 | | 60 | C8 | - | - | - | |
| AN21 | 83 | | 61 | D9 | - | - | - | |
| AN22 | 84 | | 62 | A7 | 66 | A8 | - | |
| AN23 | 85 | 63 | B7 | - | - | - | | |

| 端子機能 | 端子名 | 機能 | 端子番号 | | | | | |
|--------------|---------|-----------------------|----------|---------|---------|---------|--------|-------------|
| | | | LQFP-100 | QFP-100 | BGA-112 | LQFP-80 | BGA-96 | LQFP/QFN-64 |
| ベース タイマ 0 | TIOA0_0 | ベースタイマ ch.0 の TIOA 端子 | 27 | 5 | J4 | - | - | - |
| | TIOA0_1 | | 19 | 97 | G3 | 14 | H1 | 10 |
| | TIOA0_2 | | 85 | 63 | B7 | - | - | - |
| | TIOB0_0 | ベースタイマ ch.0 の TIOB 端子 | 40 | 18 | J6 | 30 | K6 | 22 |
| | TIOB0_1 | | 9 | 87 | E1 | 9 | E2 | 5 |
| | TIOB0_2 | | 86 | 64 | C7 | - | - | - |
| ベース タイマ 1 | TIOA1_0 | ベースタイマ ch.1 の TIOA 端子 | 28 | 6 | L5 | - | - | - |
| | TIOA1_1 | | 20 | 98 | H1 | 15 | H2 | 11 |
| | TIOA1_2 | | 5 | 83 | D1 | 5 | D1 | - |
| | TIOB1_0 | ベースタイマ ch.1 の TIOB 端子 | 41 | 19 | L7 | 31 | J6 | 23 |
| | TIOB1_1 | | 10 | 88 | E2 | 10 | E3 | 6 |
| | TIOB1_2 | | 6 | 84 | D2 | 6 | D2 | - |
| ベース タイマ 2 | TIOA2_0 | ベースタイマ ch.2 の TIOA 端子 | 29 | 7 | K5 | - | - | - |
| | TIOA2_1 | | 21 | 99 | H2 | 16 | H3 | 12 |
| | TIOA2_2 | | 96 | 74 | C4 | 76 | C4 | 60 |
| | TIOB2_0 | ベースタイマ ch.2 の TIOB 端子 | 42 | 20 | K7 | 32 | L7 | 24 |
| | TIOB2_1 | | 11 | 89 | E3 | 11 | G1 | 7 |
| | TIOB2_2 | | 95 | 73 | B4 | 75 | B4 | 59 |
| ベース タイマ 3 | TIOA3_0 | ベースタイマ ch.3 の TIOA 端子 | 30 | 8 | J5 | - | - | - |
| | TIOA3_1 | | 22 | 100 | G4 | 17 | J1 | 13 |
| | TIOA3_2 | | 90 | 68 | C6 | 70 | B6 | - |
| | TIOB3_0 | ベースタイマ ch.3 の TIOB 端子 | 43 | 21 | H6 | 33 | K7 | 25 |
| | TIOB3_1 | | 12 | 90 | E4 | 12 | G2 | 8 |
| | TIOB3_2 | | 91 | 69 | A5 | 71 | C6 | - |
| ベース タイマ 4 | TIOA4_0 | ベースタイマ ch.4 の TIOA 端子 | 31 | 9 | H5 | 21 | L5 | - |
| | TIOA4_1 | | 23 | 1 | H3 | 18 | J2 | 14 |
| | TIOA4_2 | | - | - | - | - | - | - |
| | TIOB4_0 | ベースタイマ ch.4 の TIOB 端子 | 44 | 22 | J7 | 34 | J7 | 26 |
| | TIOB4_1 | | 13 | 91 | F1 | - | - | - |
| | TIOB4_2 | | - | - | - | - | - | - |
| ベース タイマ 5 | TIOA5_0 | ベースタイマ ch.5 の TIOA 端子 | 32 | 10 | L6 | 22 | K5 | - |
| | TIOA5_1 | | 24 | 2 | J2 | 19 | J4 | 15 |
| | TIOA5_2 | | 82 | 60 | C8 | - | - | - |
| | TIOB5_0 | ベースタイマ ch.5 の TIOB 端子 | 45 | 23 | K8 | 35 | K8 | 27 |
| | TIOB5_1 | | 14 | 92 | F2 | - | - | - |
| | TIOB5_2 | | 83 | 61 | D9 | - | - | - |
| ベース タイマ 6 | TIOA6_1 | ベースタイマ ch.6 の TIOA 端子 | 89 | 67 | B6 | 69 | B7 | 56 |
| | TIOB6_1 | ベースタイマ ch.6 の TIOB 端子 | 88 | 66 | A6 | 68 | C7 | 55 |
| ベース タイマ 7 | TIOA7_0 | ベースタイマ ch.7 の TIOA 端子 | - | - | - | - | - | - |
| | TIOA7_1 | | 71 | 49 | D10 | 57 | D10 | 46 |
| | TIOA7_2 | | - | - | - | - | - | - |
| | TIOB7_0 | ベースタイマ ch.7 の TIOB 端子 | - | - | - | - | - | - |
| | TIOB7_1 | | 72 | 50 | E8 | 58 | D9 | 47 |
| | TIOB7_2 | | - | - | - | - | - | - |

| 端子機能 | 端子名 | 機能 | 端子番号 | | | | | |
|---------|----------|----------------------------|-----------------------|---------|---------|---------|--------|-------------|
| | | | LQFP-100 | QFP-100 | BGA-112 | LQFP-80 | BGA-96 | LQFP/QFN-64 |
| デバッグ | SWCLK | シリアルワイヤデバッグインタフェースクロック入力端子 | 78 | 56 | B9 | 62 | B9 | 50 |
| | SWDIO | シリアルワイヤデバッグインタフェースデータ入出力端子 | 80 | 58 | A8 | 64 | A9 | 52 |
| | SWO | シリアルワイヤビューワ出力端子 | 81 | 59 | B8 | 65 | B8 | 53 |
| | TCK | JTAG テストクロック入力端子 | 78 | 56 | B9 | 62 | B9 | 50 |
| | TDI | JTAG テストデータ入力端子 | 79 | 57 | B11 | 63 | B11 | 51 |
| | TDO | JTAG デバッグデータ出力端子 | 81 | 59 | B8 | 65 | B8 | 53 |
| | TMS | JTAG テストモード状態入出力端子 | 80 | 58 | A8 | 64 | A9 | 52 |
| | TRACECLK | ETM のトレース CLK 出力端子 | 86 | 64 | C7 | - | - | - |
| | TRACED0 | ETM のトレースデータ出力端子 | 82 | 60 | C8 | - | - | - |
| | TRACED1 | | 83 | 61 | D9 | - | - | - |
| | TRACED2 | | 84 | 62 | A7 | - | - | - |
| | TRACED3 | | 85 | 63 | B7 | - | - | - |
| | TRSTX | JTAG テストリセット入力端子 | 77 | 55 | A9 | 61 | A10 | 49 |
| | 外部バス | MAD00_1 | 外部バスインタフェース アドレスバス | 31 | 9 | H5 | 21 | L5 |
| MAD01_1 | | 32 | | 10 | L6 | 22 | K5 | - |
| MAD02_1 | | 39 | | 17 | K6 | 29 | J5 | - |
| MAD03_1 | | 40 | | 18 | J6 | 30 | K6 | - |
| MAD04_1 | | 41 | | 19 | L7 | 31 | J6 | - |
| MAD05_1 | | 42 | | 20 | K7 | 32 | L7 | - |
| MAD06_1 | | 43 | | 21 | H6 | 33 | K7 | - |
| MAD07_1 | | 44 | | 22 | J7 | 34 | J7 | - |
| MAD08_1 | | 45 | | 23 | K8 | 35 | K8 | - |
| MAD09_1 | | 53 | | 31 | J10 | 43 | J10 | - |
| MAD10_1 | | 54 | | 32 | J8 | 44 | J8 | - |
| MAD11_1 | | 55 | | 33 | H10 | 45 | H10 | - |
| MAD12_1 | | 56 | | 34 | H9 | 46 | H9 | - |
| MAD13_1 | | 57 | | 35 | H7 | 47 | G10 | - |
| MAD14_1 | | 58 | | 36 | G10 | 48 | G9 | - |
| MAD15_1 | | 59 | | 37 | G9 | 49 | F10 | - |
| MAD16_1 | | 63 | | 41 | G8 | 53 | F9 | - |
| MAD17_1 | | 64 | | 42 | F10 | 54 | E11 | - |
| MAD18_1 | | 65 | | 43 | F9 | 55 | E10 | - |
| MAD19_1 | | 66 | | 44 | E11 | 56 | E9 | - |
| MAD20_1 | | 67 | | 45 | E10 | - | - | - |
| MAD21_1 | | 68 | | 46 | F8 | - | - | - |
| MAD22_1 | | 69 | | 47 | E9 | - | - | - |
| MAD23_1 | | 70 | | 48 | D11 | - | - | - |
| MAD24_1 | 74 | 52 | C10 | 60 | C10 | - | | |

| 端子機能 | 端子名 | 機能 | 端子番号 | | | | | |
|------|------------|----------------------------------|----------------------------|---------|---------|---------|--------|-------------|
| | | | LQFP - 100 | QFP-100 | BGA-112 | LQFP-80 | BGA-96 | LQFP/QFN-64 |
| 外部バス | MCSX0_1 | 外部バスインタフェース チップセレクト出力端子 | 88 | 66 | A6 | 68 | C7 | - |
| | MCSX1_1 | | 87 | 65 | D7 | 67 | C8 | - |
| | MCSX2_1 | | 86 | 64 | C7 | - | - | - |
| | MCSX3_1 | | 85 | 63 | B7 | - | - | - |
| | MCSX4_1 | | 83 | 61 | D9 | - | - | - |
| | MCSX5_1 | | 82 | 60 | C8 | - | - | - |
| | MCSX6_1 | | 79 | 57 | B11 | 63 | B11 | - |
| | MCSX7_1 | | 77 | 55 | A9 | 61 | A10 | - |
| | MDQM0_1 | 外部バスインタフェース バイトマスク信号出力端子 | 90 | 68 | C6 | 70 | B6 | - |
| | MDQM1_1 | | 91 | 69 | A5 | 71 | C6 | - |
| | MOEX_1 | SRAM の 外部バスインタフェース リード許可信号 | 94 | 72 | C5 | 74 | C5 | - |
| | MWEX_1 | SRAM の 外部バスインタフェース ライト許可信号 | 93 | 71 | D6 | 73 | B5 | - |
| | MADATA00_1 | 外部バスインタフェース データベース | 2 | 80 | C1 | 2 | C1 | - |
| | MADATA01_1 | | 3 | 81 | C2 | 3 | C2 | - |
| | MADATA02_1 | | 4 | 82 | B3 | 4 | B3 | - |
| | MADATA03_1 | | 5 | 83 | D1 | 5 | D1 | - |
| | MADATA04_1 | | 6 | 84 | D2 | 6 | D2 | - |
| | MADATA05_1 | | 7 | 85 | D3 | 7 | D3 | - |
| | MADATA06_1 | | 8 | 86 | D5 | 8 | E1 | - |
| | MADATA07_1 | | 9 | 87 | E1 | 9 | E2 | - |
| | MADATA08_1 | | 10 | 88 | E2 | 10 | E3 | - |
| | MADATA09_1 | | 11 | 89 | E3 | 11 | G1 | - |
| | MADATA10_1 | | 12 | 90 | E4 | 12 | G2 | - |
| | MADATA11_1 | | 13 | 91 | F1 | - | - | - |
| | MADATA12_1 | | 14 | 92 | F2 | - | - | - |
| | MADATA13_1 | | 15 | 93 | F3 | - | - | - |
| | MADATA14_1 | | 16 | 94 | G1 | - | - | - |
| | MADATA15_1 | | 17 | 95 | G2 | - | - | - |
| | MALE_1 | | マルチプレクス時 アドレスラッチイネーブル信号 | 89 | 67 | B6 | 69 | B7 |
| | MRDY_1 | 外部 RDY 入力信号 | 96 | 74 | C4 | 76 | C4 | - |
| | MCLKOUT_1 | 外部バス クロック出力 端子 | 84 | 62 | A7 | 66 | A8 | - |

| 端子機能 | 端子名 | 機能 | 端子番号 | | | | | |
|---------|----------------------|----------------------|----------|---------|---------|---------|--------|-------------|
| | | | LQFP-100 | QFP-100 | BGA-112 | LQFP-80 | BGA-96 | LQFP/QFN-64 |
| 外部割込み | INT00_0 | 外部割込み要求 00 の 入力端子 | 2 | 80 | C1 | 2 | C1 | 2 |
| | INT00_1 | | 82 | 60 | C8 | - | - | - |
| | INT00_2 | | 87 | 65 | D7 | 67 | C8 | 54 |
| | INT01_0 | 外部割込み要求 01 の 入力端子 | 3 | 81 | C2 | 3 | C2 | 3 |
| | INT01_1 | | 83 | 61 | D9 | - | - | - |
| | INT02_0 | 外部割込み要求 02 の 入力端子 | 4 | 82 | B3 | 4 | B3 | 4 |
| | INT02_1 | | 53 | 31 | J10 | 43 | J10 | 35 |
| | INT03_0 | 外部割込み要求 03 の 入力端子 | 93 | 71 | D6 | 73 | B5 | - |
| | INT03_1 | | 56 | 34 | H9 | 46 | H9 | 38 |
| | INT03_2 | | 9 | 87 | E1 | 9 | E2 | 5 |
| | INT04_0 | 外部割込み要求 04 の 入力端子 | 12 | 90 | E4 | 12 | G2 | 8 |
| | INT04_1 | | 59 | 37 | G9 | 49 | F10 | 40 |
| | INT04_2 | | 10 | 88 | E2 | 10 | E3 | 6 |
| | INT05_0 | 外部割込み要求 05 の 入力端子 | 74 | 52 | C10 | 60 | C10 | - |
| | INT05_1 | | 65 | 43 | F9 | 55 | E10 | - |
| | INT05_2 | | 11 | 89 | E3 | 11 | G1 | 7 |
| | INT06_1 | 外部割込み要求 06 の 入力端子 | 73 | 51 | C11 | 59 | C11 | 48 |
| | INT06_2 | | 45 | 23 | K8 | 35 | K8 | 27 |
| | INT07_2 | 外部割込み要求 07 の 入力端子 | 5 | 83 | D1 | 5 | D1 | - |
| | INT08_1 | 外部割込み要求 08 の 入力端子 | 14 | 92 | F2 | - | - | - |
| | INT08_2 | | 8 | 86 | D5 | 8 | E1 | - |
| INT09_1 | 外部割込み要求 09 の 入力端子 | 15 | 93 | F3 | - | - | - | |
| INT10_1 | 外部割込み要求 10 の 入力端子 | 16 | 94 | G1 | - | - | - | |
| INT11_1 | 外部割込み要求 11 の 入力端子 | 17 | 95 | G2 | - | - | - | |
| INT12_1 | 外部割込み要求 12 の 入力端子 | 27 | 5 | J4 | - | - | - | |
| INT13_1 | 外部割込み要求 13 の 入力端子 | 28 | 6 | L5 | - | - | - | |
| INT14_1 | 外部割込み要求 14 の 入力端子 | 39 | 17 | K6 | 29 | J5 | - | |
| INT15_1 | 外部割込み要求 15 の 入力端子 | 96 | 74 | C4 | 76 | C4 | 60 | |
| NMIX | ノンマスクابل割込み入力端子 | 92 | 70 | B5 | 72 | A6 | 57 | |

| 端子機能 | 端子名 | 機能 | 端子番号 | | | | | |
|------|-----|------------|----------|---------|---------|---------|--------|-------------|
| | | | LQFP-100 | QFP-100 | BGA-112 | LQFP-80 | BGA-96 | LQFP/QFN-64 |
| GPIO | P00 | 汎用入出力ポート 0 | 77 | 55 | A9 | 61 | A10 | 49 |
| | P01 | | 78 | 56 | B9 | 62 | B9 | 50 |
| | P02 | | 79 | 57 | B11 | 63 | B11 | 51 |
| | P03 | | 80 | 58 | A8 | 64 | A9 | 52 |
| | P04 | | 81 | 59 | B8 | 65 | B8 | 53 |
| | P05 | | 82 | 60 | C8 | - | - | - |
| | P06 | | 83 | 61 | D9 | - | - | - |
| | P07 | | 84 | 62 | A7 | 66 | A8 | - |
| | P08 | | 85 | 63 | B7 | - | - | - |
| | P09 | | 86 | 64 | C7 | - | - | - |
| | P0A | | 87 | 65 | D7 | 67 | C8 | 54 |
| | P0B | | 88 | 66 | A6 | 68 | C7 | 55 |
| | P0C | | 89 | 67 | B6 | 69 | B7 | 56 |
| | P0D | | 90 | 68 | C6 | 70 | B6 | - |
| | P0E | | 91 | 69 | A5 | 71 | C6 | - |
| | P0F | | 92 | 70 | B5 | 72 | A6 | 57 |
| | P10 | 52 | 30 | J11 | 42 | J11 | 34 | |
| | P11 | 53 | 31 | J10 | 43 | J10 | 35 | |
| | P12 | 54 | 32 | J8 | 44 | J8 | 36 | |
| | P13 | 55 | 33 | H10 | 45 | H10 | 37 | |
| | P14 | 56 | 34 | H9 | 46 | H9 | 38 | |
| | P15 | 57 | 35 | H7 | 47 | G10 | 39 | |
| | P16 | 58 | 36 | G10 | 48 | G9 | - | |
| | P17 | 59 | 37 | G9 | 49 | F10 | 40 | |
| | P18 | 63 | 41 | G8 | 53 | F9 | 44 | |
| | P19 | 64 | 42 | F10 | 54 | E11 | 45 | |
| | P1A | 65 | 43 | F9 | 55 | E10 | - | |
| | P1B | 66 | 44 | E11 | 56 | E9 | - | |
| | P1C | 67 | 45 | E10 | - | - | - | |
| | P1D | 68 | 46 | F8 | - | - | - | |
| P1E | 69 | 47 | E9 | - | - | - | | |
| P1F | 70 | 48 | D11 | - | - | - | | |
| P20 | 74 | 52 | C10 | 60 | C10 | - | | |
| P21 | 73 | 51 | C11 | 59 | C11 | 48 | | |
| P22 | 72 | 50 | E8 | 58 | D9 | 47 | | |
| P23 | 71 | 49 | D10 | 57 | D10 | 46 | | |

| 端子機能 | 端子名 | 機能 | 端子番号 | | | | | |
|------|-----|------------|------------|---------|---------|---------|--------|-------------|
| | | | LQFP-100 | QFP-100 | BGA-112 | LQFP-80 | BGA-96 | LQFP/QFN-64 |
| GPIO | P30 | 汎用入出力ポート 3 | 9 | 87 | E1 | 9 | E2 | 5 |
| | P31 | | 10 | 88 | E2 | 10 | E3 | 6 |
| | P32 | | 11 | 89 | E3 | 11 | G1 | 7 |
| | P33 | | 12 | 90 | E4 | 12 | G2 | 8 |
| | P34 | | 13 | 91 | F1 | - | - | - |
| | P35 | | 14 | 92 | F2 | - | - | - |
| | P36 | | 15 | 93 | F3 | - | - | - |
| | P37 | | 16 | 94 | G1 | - | - | - |
| | P38 | | 17 | 95 | G2 | - | - | - |
| | P39 | | 18 | 96 | F4 | 13 | G3 | 9 |
| | P3A | | 19 | 97 | G3 | 14 | H1 | 10 |
| | P3B | | 20 | 98 | H1 | 15 | H2 | 11 |
| | P3C | | 21 | 99 | H2 | 16 | H3 | 12 |
| | P3D | | 22 | 100 | G4 | 17 | J1 | 13 |
| | P3E | | 23 | 1 | H3 | 18 | J2 | 14 |
| | P3F | 24 | 2 | J2 | 19 | J4 | 15 | |
| | P40 | 27 | 汎用入出力ポート 4 | 5 | J4 | - | - | - |
| | P41 | 28 | | 6 | L5 | - | - | - |
| | P42 | 29 | | 7 | K5 | - | - | - |
| | P43 | 30 | | 8 | J5 | - | - | - |
| | P44 | 31 | | 9 | H5 | 21 | L5 | - |
| | P45 | 32 | | 10 | L6 | 22 | K5 | - |
| | P46 | 36 | | 14 | L3 | 26 | L3 | 19 |
| | P47 | 37 | | 15 | K3 | 27 | K3 | 20 |
| | P48 | 39 | | 17 | K6 | 29 | J5 | - |
| | P49 | 40 | | 18 | J6 | 30 | K6 | 22 |
| | P4A | 41 | | 19 | L7 | 31 | J6 | 23 |
| | P4B | 42 | | 20 | K7 | 32 | L7 | 24 |
| | P4C | 43 | | 21 | H6 | 33 | K7 | 25 |
| | P4D | 44 | | 22 | J7 | 34 | J7 | 26 |
| | P4E | 45 | | 23 | K8 | 35 | K8 | 27 |
| P50 | 2 | 汎用入出力ポート 5 | 80 | C1 | 2 | C1 | 2 | |
| P51 | 3 | | 81 | C2 | 3 | C2 | 3 | |
| P52 | 4 | | 82 | B3 | 4 | B3 | 4 | |
| P53 | 5 | | 83 | D1 | 5 | D1 | - | |
| P54 | 6 | | 84 | D2 | 6 | D2 | - | |
| P55 | 7 | | 85 | D3 | 7 | D3 | - | |
| P56 | 8 | | 86 | D5 | 8 | E1 | - | |
| P60 | 96 | | 汎用入出力ポート 6 | 74 | C4 | 76 | C4 | 60 |
| P61 | 95 | 73 | | B4 | 75 | B4 | 59 | |
| P62 | 94 | 72 | | C5 | 74 | C5 | 58 | |
| P63 | 93 | 71 | | D6 | 73 | B5 | - | |
| P80 | 98 | 汎用入出力ポート 8 | 76 | A3 | 78 | A3 | 62 | |
| P81 | 99 | | 77 | A2 | 79 | A2 | 63 | |
| PE0 | 46 | 汎用入出力ポート E | 24 | K9 | 36 | K9 | 28 | |
| PE2 | 48 | | 26 | L9 | 38 | L9 | 30 | |
| PE3 | 49 | | 27 | L10 | 39 | L10 | 31 | |

| 端子機能 | 端子名 | 機能 | 端子番号 | | | | | |
|-----------------|-----------------|--|----------|---------|---------|---------|--------|-------------|
| | | | LQFP-100 | QFP-100 | BGA-112 | LQFP-80 | BGA-96 | LQFP/QFN-64 |
| マルチファンクションシリアル0 | SIN0_0 | マルチファンクションシリアルインタフェース ch.0 の入力端子 | 73 | 51 | C11 | 59 | C11 | 48 |
| | SIN0_1 | | 56 | 34 | H9 | 46 | H9 | - |
| | SOT0_0 (SDA0_0) | マルチファンクションシリアルインタフェース ch.0 の出力端子。 UART/CSIO 端子(動作モード0~2)として使用するときには SOT0 として、I ² C 端子(動作モード4)として使用するときには SDA0 として機能します。 | 72 | 50 | E8 | 58 | D9 | 47 |
| | SOT0_1 (SDA0_1) | | 57 | 35 | H7 | 47 | G10 | - |
| | SCK0_0 (SCL0_0) | マルチファンクションシリアルインタフェース ch.0 のクロック I/O 端子。 UART/CSIO 端子(動作モード0~2)として使用するときには SCK0 として、I ² C 端子(動作モード4)として使用するときには SCL0 として機能します。 | 71 | 49 | D10 | 57 | D10 | 46 |
| | SCK0_1 (SCL0_1) | | 58 | 36 | G10 | 48 | G9 | - |
| マルチファンクションシリアル1 | SIN1_1 | マルチファンクションシリアルインタフェース ch.1 の入力端子 | 53 | 31 | J10 | 43 | J10 | 35 |
| | SOT1_1 (SDA1_1) | マルチファンクションシリアルインタフェース ch.1 の出力端子。 UART/CSIO 端子(動作モード0~2)として使用するときには SOT1 として、I ² C 端子(動作モード4)として使用するときには SDA1 として機能します。 | 54 | 32 | J8 | 44 | J8 | 36 |
| | SCK1_1 (SCL1_1) | マルチファンクションシリアルインタフェース ch.1 のクロック I/O 端子。 UART/CSIO 端子(動作モード0~2)として使用するときには SCK1 として、I ² C 端子(動作モード4)として使用するときには SCL1 として機能します。 | 55 | 33 | H10 | 45 | H10 | 37 |

| 端子機能 | 端子名 | 機能 | 端子番号 | | | | | |
|------------------|-----------------|--|----------|---------|---------|---------|--------|-------------|
| | | | LQFP-100 | QFP-100 | BGA-112 | LQFP-80 | BGA-96 | LQFP/QFN-64 |
| マルチファンクションシリアル 2 | SIN2_2 | マルチファンクションシリアルインタフェース ch.2 の入力端子 | 59 | 37 | G9 | 49 | F10 | 40 |
| | SOT2_2 (SDA2_2) | マルチファンクションシリアルインタフェース ch.2 の出力端子。 UART/CSIO 端子(動作モード 0~2)として使用するときには SOT2 として、I ² C 端子(動作モード 4)として使用するときには SDA2 として機能します。 | 63 | 41 | G8 | 53 | F9 | 44 |
| | SCK2_2 (SCL2_2) | マルチファンクションシリアルインタフェース ch.2 のクロック I/O 端子。 UART/CSIO 端子(動作モード 0~2)として使用するときには SCK2 として、I ² C 端子(動作モード 4)として使用するときには SCL2 として機能します。 | 64 | 42 | F10 | 54 | E11 | 45 |
| マルチファンクションシリアル 3 | SIN3_1 | マルチファンクションシリアルインタフェース ch.3 の入力端子 | 2 | 80 | C1 | 2 | C1 | 2 |
| | SIN3_2 | | 39 | 17 | K6 | 29 | J5 | - |
| | SOT3_1 (SDA3_1) | マルチファンクションシリアルインタフェース ch.3 の出力端子。 UART/CSIO 端子(動作モード 0~2)として使用するときには SOT3 として、I ² C 端子(動作モード 4)として使用するときには SDA3 として機能します。 | 3 | 81 | C2 | 3 | C2 | 3 |
| | SOT3_2 (SDA3_2) | 40 | 18 | J6 | 30 | K6 | - | |
| | SCK3_1 (SCL3_1) | マルチファンクションシリアルインタフェース ch.3 のクロック I/O 端子。 UART/CSIO 端子(動作モード 0~2)として使用するときには SCK3 として、I ² C 端子(動作モード 4)として使用するときには SCL3 として機能します。 | 4 | 82 | B3 | 4 | B3 | 4 |
| | SCK3_2 (SCL3_2) | 41 | 19 | L7 | 31 | J6 | - | |

| 端子機能 | 端子名 | 機能 | 端子番号 | | | | | |
|-----------------|-----------------|--|----------|---------|---------|---------|--------|-------------|
| | | | LQFP-100 | QFP-100 | BGA-112 | LQFP-80 | BGA-96 | LQFP/QFN-64 |
| マルチファンクションシリアル4 | SIN4_0 | マルチファンクションシリアルインタフェース ch.4 の入力端子 | 87 | 65 | D7 | 67 | C8 | 54 |
| | SIN4_1 | | 65 | 43 | F9 | 55 | E10 | - |
| | SIN4_2 | | 82 | 60 | C8 | - | - | - |
| | SOT4_0 (SDA4_0) | マルチファンクションシリアルインタフェース ch.4 の出力端子。 UART/CSIO 端子(動作モード 0~2)として使用するときには SOT4 として、I ² C 端子(動作モード 4)として使用するときには SDA4 として機能します。 | 88 | 66 | A6 | 68 | C7 | 55 |
| | SOT4_1 (SDA4_1) | | 66 | 44 | E11 | 56 | E9 | - |
| | SOT4_2 (SDA4_2) | | 83 | 61 | D9 | - | - | - |
| | SCK4_0 (SCL4_0) | マルチファンクションシリアルインタフェース ch.4 のクロック I/O 端子。 UART/CSIO 端子(動作モード 0~2)として使用するときには SCK4 として、I ² C 端子(動作モード 4)として使用するときには SCL4 として機能します。 | 89 | 67 | B6 | 69 | B7 | 56 |
| | SCK4_1 (SCL4_1) | | 67 | 45 | E10 | - | - | - |
| | SCK4_2 (SCL4_2) | | 84 | 62 | A7 | - | - | - |
| | RTS4_0 | マルチファンクションシリアルインタフェース ch.4 の RTS 出力端子 | 90 | 68 | C6 | 70 | B6 | - |
| | RTS4_1 | | 69 | 47 | E9 | - | - | - |
| | RTS4_2 | | 86 | 64 | C7 | - | - | - |
| | CTS4_0 | マルチファンクションシリアルインタフェース ch.4 の CTS 入力端子 | 91 | 69 | A5 | 71 | C6 | - |
| | CTS4_1 | | 68 | 46 | F8 | - | - | - |
| CTS4_2 | 85 | | 63 | B7 | - | - | - | |
| マルチファンクションシリアル5 | SIN5_0 | マルチファンクションシリアルインタフェース ch.5 の入力端子 | 96 | 74 | C4 | 76 | C4 | 60 |
| | SIN5_2 | | 15 | 93 | F3 | - | - | - |
| | SOT5_0 (SDA5_0) | マルチファンクションシリアルインタフェース ch.5 の出力端子。 UART/CSIO 端子(動作モード 0~2)として使用するときには SOT5 として、I ² C 端子(動作モード 4)として使用するときには SDA5 として機能します。 | 95 | 73 | B4 | 75 | B4 | 59 |
| | SOT5_2 (SDA5_2) | | 16 | 94 | G1 | - | - | - |
| | SCK5_0 (SCL5_0) | マルチファンクションシリアルインタフェース ch.5 のクロック I/O 端子。 UART/CSIO 端子(動作モード 0~2)として使用するときには SCK5 として、I ² C 端子(動作モード 4)として使用するときには SCL5 として機能します。 | 94 | 72 | C5 | 74 | C5 | 58 |
| SCK5_2 (SCL5_2) | 17 | | 95 | G2 | - | - | - | |

| 端子機能 | 端子名 | 機能 | 端子番号 | | | | | |
|-----------------|-----------------|---|----------|---------|---------|---------|--------|-------------|
| | | | LQFP-100 | QFP-100 | BGA-112 | LQFP-80 | BGA-96 | LQFP/QFN-64 |
| マルチファンクションシリアル6 | SIN6_0 | マルチファンクションシリアルインタフェース ch.6の入力端子 | 5 | 83 | D1 | 5 | D1 | - |
| | SIN6_1 | | 12 | 90 | E4 | 12 | G2 | 8 |
| | SOT6_0 (SDA6_0) | マルチファンクションシリアルインタフェース ch.6の出力端子。 UART/CSIO 端子(動作モード0~2)として使用するときは SOT6 として、I ² C 端子(動作モード4)として使用するときは SDA6 として機能します。 | 6 | 84 | D2 | 6 | D2 | - |
| | SOT6_1 (SDA6_1) | | 11 | 89 | E3 | 11 | G1 | 7 |
| | SCK6_0 (SCL6_0) | マルチファンクションシリアルインタフェース ch.6のクロック I/O 端子。 UART/CSIO 端子(動作モード0~2)として使用するときは SCK6 として、I ² C 端子(動作モード4)として使用するときは SCL6 として機能します。 | 7 | 85 | D3 | 7 | D3 | - |
| SCK6_1 (SCL6_1) | 10 | | 88 | E2 | 10 | E3 | 6 | |
| マルチファンクションシリアル7 | SIN7_1 | マルチファンクションシリアルインタフェース ch.7の入力端子 | 45 | 23 | K8 | 35 | K8 | 27 |
| | SOT7_1 (SDA7_1) | マルチファンクションシリアルインタフェース ch.7の出力端子。 UART/CSIO 端子(動作モード0~2)として使用するときは SOT7 として、I ² C 端子(動作モード4)として使用するときは SDA7 として機能します。 | 44 | 22 | J7 | 34 | J7 | 26 |
| | SCK7_1 (SCL7_1) | マルチファンクションシリアルインタフェース ch.7のクロック I/O 端子。 UART/CSIO 端子(動作モード0~2)として使用するときは SCK7 として、I ² C 端子(動作モード4)として使用するときは SCL7 として機能します。 | 43 | 21 | H6 | 33 | K7 | 25 |

| 端子機能 | 端子名 | 機能 | 端子番号 | | | | | |
|-----------------|----------|----------------------------|----------|---------|---------|---------|--------|-------------|
| | | | LQFP-100 | QFP-100 | BGA-112 | LQFP-80 | BGA-96 | LQFP/QFN-64 |
| リアルタイムクロック | RTCCO_0 | リアルタイムクロックの0.5秒パルス出力端子 | 92 | 70 | B5 | 72 | A6 | 57 |
| | RTCCO_1 | | 55 | 33 | H10 | 45 | H10 | 37 |
| | RTCCO_2 | | 19 | 97 | G3 | 14 | H1 | 10 |
| | SUBOUT_0 | サブクロック出力端子 | 92 | 70 | B5 | 72 | A6 | 57 |
| | SUBOUT_1 | | 55 | 33 | H10 | 45 | H10 | 37 |
| | SUBOUT_2 | | 19 | 97 | G3 | 14 | H1 | 10 |
| 低消費電力モード | WKUP0 | ディープスタンバイモード復帰信号入力端子0 | 92 | 70 | B5 | 72 | A6 | 57 |
| | WKUP1 | ディープスタンバイモード復帰信号入力端子1 | 53 | 31 | J10 | 43 | J10 | 35 |
| | WKUP2 | ディープスタンバイモード復帰信号入力端子2 | 73 | 51 | C11 | 59 | C11 | 48 |
| | WKUP3 | ディープスタンバイモード復帰信号入力端子3 | 96 | 74 | C4 | 76 | C4 | 60 |
| HDMI-CEC/リモコン受信 | CEC0 | HDMI-CEC/リモコン受信 ch.0の入出力端子 | 43 | 21 | H6 | 33 | K7 | 25 |
| | CEC1 | HDMI-CEC/リモコン受信 ch.1の入出力端子 | 96 | 74 | C4 | 76 | C4 | 60 |

| 端子機能 | 端子名 | 機能 | 端子番号 | | | | | |
|-------|--------|--|----------|---------|---------|---------|--------|-------------|
| | | | LQFP-100 | QFP-100 | BGA-112 | LQFP-80 | BGA-96 | LQFP/QFN-64 |
| Reset | INITX | 外部リセット入力端子。 INITX="L"のとき、リセットが有効です。 | 38 | 16 | K4 | 28 | K4 | 21 |
| Mode | MD0 | モード0 端子。 通常動作時は、MD0="L"を入力してください。フラッシュメモリのシリアル書込み時は、MD0="H"を入力してください。 | 47 | 25 | L8 | 37 | L8 | 29 |
| | MD1 | モード1 端子。 フラッシュメモリのシリアル書込み時は、MD1="L"を入力してください。 | 46 | 24 | K9 | 36 | K9 | 28 |
| Power | VCC | 電源端子 | 1 | 79 | B1 | 1 | B1 | 1 |
| | VCC | 電源端子 | 26 | 4 | J1 | - | - | - |
| | VCC | 電源端子 | 35 | 13 | K1 | 25 | K1 | 18 |
| | VCC | 電源端子 | 51 | 29 | K11 | 41 | K11 | 33 |
| | VCC | 電源端子 | 76 | 54 | A10 | - | - | - |
| | VCC | 電源端子 | 97 | 75 | A4 | 77 | A4 | 61 |
| GND | VSS | GND 端子 | - | - | - | - | F1 | - |
| | VSS | GND 端子 | - | - | - | - | F2 | - |
| | VSS | GND 端子 | - | - | - | - | F3 | - |
| | VSS | GND 端子 | - | - | B2 | - | B2 | - |
| | VSS | GND 端子 | 25 | 3 | L1 | 20 | L1 | 16 |
| | VSS | GND 端子 | - | - | K2 | - | K2 | - |
| | VSS | GND 端子 | - | - | J3 | - | J3 | - |
| | VSS | GND 端子 | - | - | H4 | - | - | - |
| | VSS | GND 端子 | - | - | - | - | L6 | - |
| | VSS | GND 端子 | 34 | 12 | L4 | 24 | L4 | - |
| | VSS | GND 端子 | 50 | 28 | L11 | 40 | L11 | 32 |
| | VSS | GND 端子 | - | - | K10 | - | K10 | - |
| | VSS | GND 端子 | - | - | J9 | - | J9 | - |
| | VSS | GND 端子 | - | - | H8 | - | - | - |
| | VSS | GND 端子 | - | - | B10 | - | B10 | - |
| | VSS | GND 端子 | - | - | C9 | - | C9 | - |
| | VSS | GND 端子 | - | - | - | - | D11 | - |
| | VSS | GND 端子 | 75 | 53 | A11 | - | A11 | - |
| | VSS | GND 端子 | - | - | D8 | - | - | - |
| | VSS | GND 端子 | - | - | - | - | A7 | - |
| | VSS | GND 端子 | - | - | D4 | - | - | - |
| | VSS | GND 端子 | - | - | C3 | - | C3 | - |
| | VSS | GND 端子 | - | - | - | - | A5 | - |
| VSS | GND 端子 | 100 | 78 | A1 | 80 | A1 | 64 | |

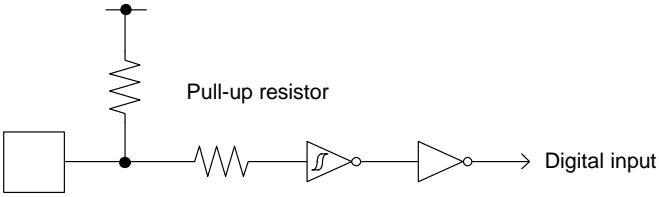
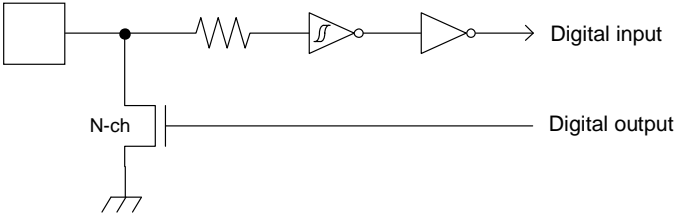
| 端子機能 | 端子名 | 機能 | 端子番号 | | | | | |
|-----------|---------|------------------------|----------|---------|---------|---------|--------|-------------|
| | | | LQFP-100 | QFP-100 | BGA-112 | LQFP-80 | BGA-96 | LQFP/QFN-64 |
| Clock | X0 | メインクロック(発振)入力端子 | 48 | 26 | L9 | 38 | L9 | 30 |
| | X0A | サブクロック(発振)入力端子 | 36 | 14 | L3 | 26 | L3 | 19 |
| | X1 | メインクロック(発振)I/O 端子 | 49 | 27 | L10 | 39 | L10 | 31 |
| | X1A | サブクロック(発振)I/O 端子 | 37 | 15 | K3 | 27 | K3 | 20 |
| | CROUT_0 | 内蔵高速 CR 発振クロック出力ポート | 74 | 52 | C10 | 60 | C10 | - |
| CROUT_1 | 92 | | 70 | B5 | 72 | A6 | 57 | |
| ADC power | AVCC | A/D コンバータのアナログ電源端子 | 60 | 38 | H11 | 50 | H11 | 41 |
| | AVRH | A/D コンバータのアナログ基準電圧入力端子 | 61 | 39 | F11 | 51 | F11 | 42 |
| ADC GND | AVSS | A/D コンバータの GND 端子 | 62 | 40 | G11 | 52 | G11 | 43 |
| C 端子 | C | 電源安定化容量端子 | 33 | 11 | L2 | 23 | L2 | 17 |

<注意事項>

- 本デバイスには、JTAG 標準のテストアクセスポート(TAP)が搭載されていますが、IEEE 1149.1-2001 に完全に準拠していません。32bit の ID 番号は、他シリーズの ID 番号と重なる場合があります。また、JTAG 端子は TAP コントローラへのアクセス以外の目的に対しても使用されます。

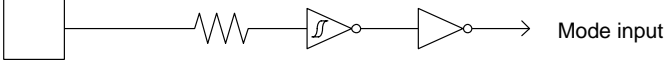
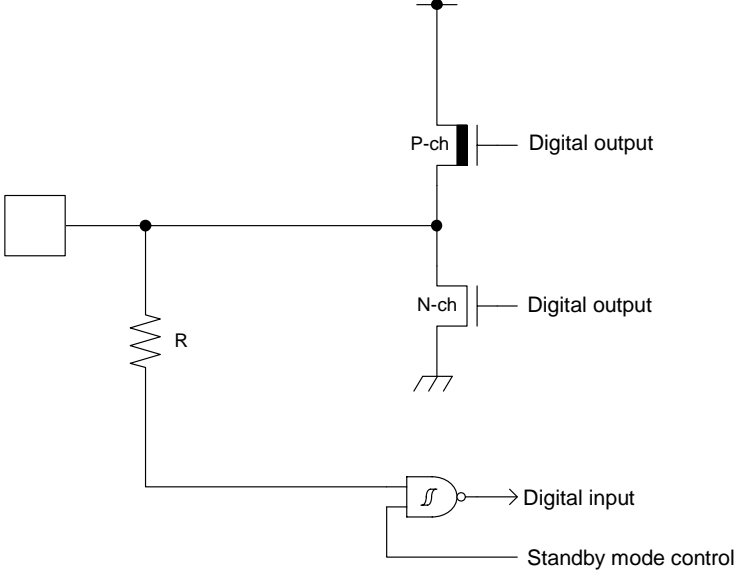
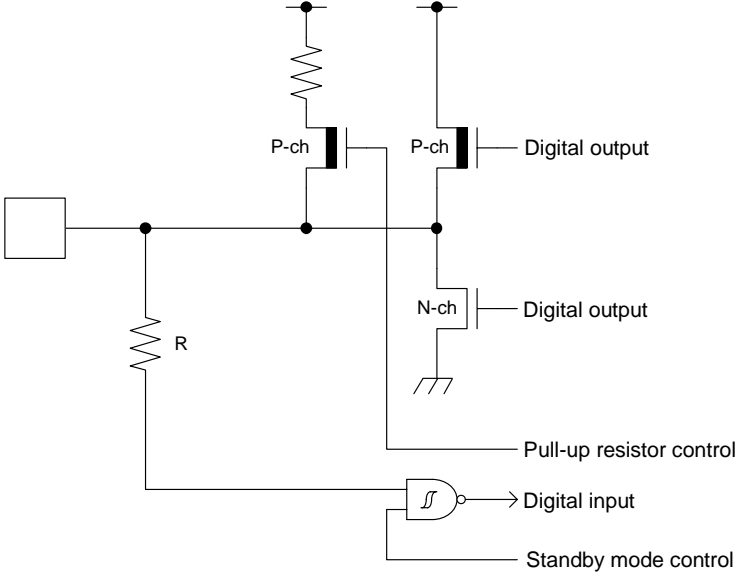
5. 入出力回路形式

| 分類 | 回路 | 備考 |
|----|----|---|
| A | | <p>メイン発振/GPIO 切換え可能</p> <p>メイン発振機能選択時</p> <ul style="list-style-type: none"> - 発振帰還抵抗: 約 1 MΩ - スタンバイ制御あり <p>GPIO 機能選択時</p> <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 33 kΩ - I_{OH} = -4 mA, I_{OL} = 4 mA |

| 分類 | 回路 | 備考 |
|----|---|--|
| B |  <p style="text-align: center;">Pull-up resistor</p> | <ul style="list-style-type: none"> - CMOS レベルヒステリシス入力 - プルアップ抵抗: 約 33 kΩ |
| C |  | <ul style="list-style-type: none"> - オープンドレイン出力 - CMOS レベルヒステリシス入力 |

| 分類 | 回路 | 備考 |
|----|----|---|
| D | | <p>サブ発振/GPIO 切換え可能</p> <p>サブ発振機能選択時</p> <ul style="list-style-type: none"> - 発振帰還抵抗: 約 5 MΩ - スタンバイ制御あり <p>GPIO 機能選択時</p> <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 33 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ |

| 分類 | 回路 | 備考 |
|----|----|--|
| E | | <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 33 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。 |
| F | | <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - 入力制御あり - アナログ入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 33 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。 |

| 分類 | 回路 | 備考 |
|----|---|---|
| G |  | CMOS レベルヒステリシス入力 |
| H |  | <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - スタンバイ制御あり - $I_{OH} = -12.0 \text{ mA}$, $I_{OL} = 10.5 \text{ mA}$ |
| I |  | <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - 5 V トレラント - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 33 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - PZR レジスタ制御可能 - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。 |

6. 取扱上のご注意

半導体デバイスは、ある確率で故障します。また、半導体デバイスの故障は、使用される条件(回路条件、環境条件など)によっても大きく左右されます。

以下に、半導体デバイスをより信頼性の高い状態で使用していただくために、注意・配慮しなければならない事項について説明します。

6.1 設計上の注意事項

ここでは、半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

絶対最大定格の遵守

半導体デバイスは、過剰なストレス (電圧、電流、温度など) が加わると破壊する可能性があります。この限界値を定めたものが絶対最大定格です。従って、定格を一項目でも超えることのないようご注意ください。

推奨動作条件の遵守

推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、全てこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を越えて使用すると、信頼性に悪影響を及ぼすことがあります。

本資料に記載されていない項目、使用条件、論理組み合わせでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

端子の処理と保護

半導体デバイスには、電源および各種入出力端子があります。これらに対して以下の注意が必要です。

1. 過電圧・過電流の防止

各端子に最大定格を超える電圧・電流が印加されると、デバイスの内部に劣化が生じ、著しい場合には破壊に至ります。機器の設計の際には、このような過電圧・過電流の発生を防止してください。

2. 出力端子の保護

出力端子を電源端子または他の出力端子とショートしたり、大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので、このような接続はしないようにしてください。

3. 未使用入力端子の処理

インピーダンスの非常に高い入力端子は、オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

ラッチアップ

半導体デバイスは、基板上に P 型と N 型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合、内部の寄生 PNP 接合 (サイリスタ構造) が導通して、数百 mA を越える大電流が電源端子に流れ続けることがあります。これをラッチアップと呼びます。この現象が起きるとデバイスの信頼性を損ねるだけでなく、破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために、以下の点にご注意ください。

1. 最大定格以上の電圧が端子に加わることが無いようにしてください。異常なノイズ、サージ等にも注意してください。

2. 電源投入シーケンスを考慮し、異常な電流が流れないようにしてください。

安全等の規制と規格の遵守

世界各国では、安全や、電磁妨害等の各種規制と規格が設けられています。お客様が機器を設計するに際しては、これらの規制と規格に適合するようお願いいたします。

フェイル・セーフ設計

半導体デバイスは、ある確率で故障が発生します。半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止設計、誤動作防止設計などの安全設計をお願いします。

用途に関する注意

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。当社は、これらの用途に当該製品が使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

6.2 パッケージ実装上の注意事項

パッケージには、リード挿入形と表面実装形があります。いずれの場合も、はんだ付け時の耐熱性に関する品質保証は、当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

リード挿入形

リード挿入形パッケージのプリント板への実装方法は、プリント板へ直接はんだ付けする方法とソケットを使用してプリント板に実装する方法とがあります。

プリント板へ直接はんだ付けする場合は、プリント板のスルーホールにリード挿入後、噴流はんだによるフローはんだ方法（ウェーブソルダリング法）が一般的に使用されます。この場合、はんだ付け実装時には、通常最大定格の保存温度を上回る熱ストレスがリード部分に加わります。当社の実装推奨条件で実装してください。

ソケット実装方法でご使用になる場合、ソケットの接点の表面処理と IC のリードの表面処理が異なると、長時間経過後、接触不良を起こすことがあります。このため、ソケットの接点の表面処理と IC のリードの表面処理の状態を確認してから実装することをお勧めします。

表面実装形

表面実装形パッケージは、リード挿入形と比較して、リードが細く薄いため、リードが変形し易い性質をもっています。また、パッケージの多ピン化に伴い、リードピッチも狭く、リード変形によるオープン不良や、はんだブリッジによるショート不良が発生しやすいため、適切な実装技術が必要となります。

当社ははんだリフロー方法を推奨し、製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

鉛フリーパッケージ

BGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合、使用状況により接合強度が低下することがありますのでご注意ください。

半導体デバイスの保管について

プラスチックパッケージは樹脂でできているため、自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合、界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください。

1. 急激な温度変化のある所では製品に水分の結露が起こります。このような環境を避けて、温度変化の少ない場所に保管してください。
2. 製品の保管場所はドライボックスの使用を推奨します。相対湿度 70%RH 以下、温度 5°C～30°C で保管をお願いします。ドライパッケージを開封した場合には湿度 40%～70%RH を推奨いたします。
3. 当社では必要に応じて半導体デバイスの梱包材として防湿性の高いアルミラミネート袋を用い、乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。
4. 腐食性ガスの発生する場所や塵埃の多い所は避けてください。

ベーキングについて

吸湿したパッケージはベーキング (加熱乾燥) を実施することにより除湿することが可能です。ベーキングは、当社の推奨する条件で実施してください。

条件: 125°C/24 時間

静電気

半導体デバイスは静電気による破壊を起こしやすいため、以下の点についてご注意ください。

1. 作業環境の相対湿度は 40% ~ 70%RH にしてください。
除電装置 (イオン発生装置) の使用なども必要に応じて検討してください。
2. 使用するコンベア, 半田槽, 半田ゴテ, および周辺付帯設備は大地に接地してください。
3. 人体の帯電防止のため、指輪または腕輪などから高抵抗 (1 MΩ 程度) で大地に接地したり、導電性の衣服・靴を着用し、床に導電マットを敷くなど帯電電荷を最小限に保つようにしてください。
4. 治具, 計器類は、接地または帯電防止化を実施してください。
5. 組立完了基板の収納時、発泡スチロールなどの帯電しやすい材料の使用は避けてください。

6.3 使用環境に関する注意事項

半導体デバイスの信頼性は、先に述べました周囲温度とそれ以外の環境条件にも依存します。ご使用にあたっては、以下の点にご確認ください。

1. 湿度環境
高湿度環境下での長期の使用は、デバイス自身だけでなくプリント基板等にもリーク性の不具合が発生する場合があります。高湿度が想定される場合は、防湿処理を施す等の配慮をお願いします。
2. 静電気放電
半導体デバイスの直近に高電圧に帯電したものが存在すると、放電が発生し誤動作の原因となることがあります。このような場合、帯電の防止または放電の防止の処置をお願いします。
3. 腐食性ガス, 塵埃, 油
腐食性ガス雰囲気中や、塵埃, 油等がデバイスに付着した状態で使用すると、化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でご使用の場合は、防止策についてご検討ください。
4. 放射線・宇宙線
一般のデバイスは、設計上、放射線, 宇宙線にさらされる環境を想定しておりません。したがって、これらを遮蔽してご使用ください。
5. 発煙・発火
樹脂モールド型のデバイスは、不燃性ではありません。発火物の近くでは、ご使用にならないでください。発煙・発火しますと、その際に毒性を持ったガスが発生する恐れがあります。

その他、特殊な環境下でのご使用をお考えの場合は、営業部門にご相談ください。

7. デバイス使用上の注意

電源端子について

VCC, VSS 端子が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にすべきものどうしを接続してありますが、不要輻射の低減・グランドレベルの上昇によるストロブ信号の誤動作の防止・総出力電流規格を遵守などのために、必ずそれらすべてを外部で電源およびグランドに接続してください。また、電流供給源からできる限り低インピーダンスで本デバイスの各電源端子と GND 端子に接続してください。

さらに、本デバイスの近くで各電源端子 と GND 端子の間、AVCC 端子と AVSS 端子の間に 0.1 μF 程度のセラミックコンデンサをバイパスコンデンサとして接続することをお勧めします。

電源電圧の安定化について

電源電圧の変動が VCC の推奨動作条件内においても、急峻な変化があると誤動作することがあります。安定化の基準として VCC は、商用周波数 (50 Hz ~ 60 Hz) におけるリップル変動(ピークピーク値) を推奨動作条件内の 10%以内にしてください。かつ電源切り換えによる瞬間変動の過渡変動率は 0.1 V/ μs 以下にしてください。

水晶発振回路について

X0/X1, X0A/X1A 端子の近辺のノイズは本デバイスの誤動作の原因となります。X0/X1, X0A/X1A 端子および水晶発振子さらにグランドへのバイパスコンデンサはできる限り近くに配置するようにプリント板を設計してください。

また、X0/X1, X0A/X1A 端子の周りをグランドで囲むようなプリント板アートワークは安定した動作を期待できますので、強くお勧めします。

実装基板にて、使用する水晶振動子の発振評価を実施してください。

サブクロック用水晶振動子について

本シリーズのサブクロック発振回路は消費電流を低く抑えた設計を行っており、増幅度が低い回路となっています。安定した発振をさせるためサブクロック用水晶振動子には、以下の条件を満たす水晶振動子の使用を推奨します。

■表面実装タイプ

サイズ: 3.2 mm \times 1.5 mm 以上
負荷容量: 6 pF ~ 7 pF 程度

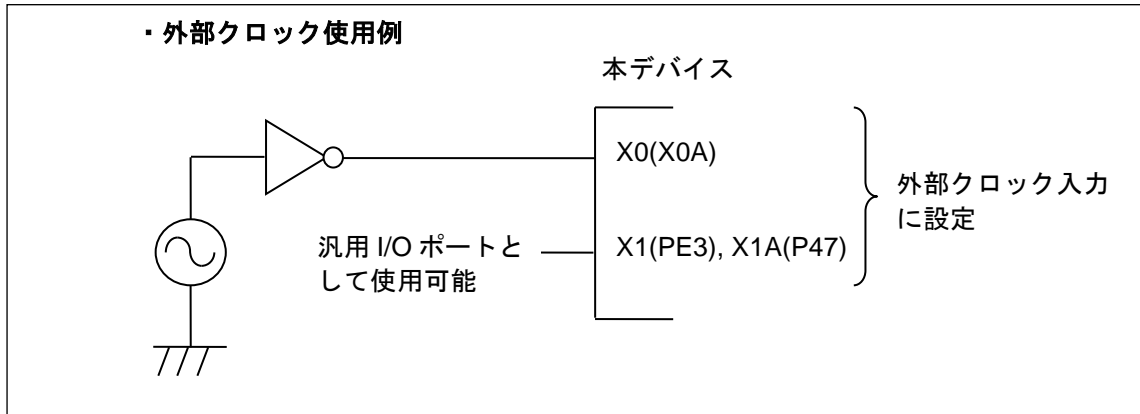
■リードタイプ

負荷容量: 6 pF ~ 7 pF 程度

外部クロック使用時の注意

メインクロックの入力として外部クロックを使用する場合は、X0/X1 端子を外部クロック入力に設定し、X0 端子にクロックを入力してください。X1(PE3)端子は汎用 I/O ポートとして使用できます。

同様にサブクロックの入力として外部クロックを使用する場合は、X0A/X1A 端子を外部クロック入力に設定し、X0A 端子にクロックを入力してください。X1A(P47)端子は汎用 I/O ポートとして使用できます。



マルチファンクションシリアル端子を I²C 端子として使用する場合の扱いについて

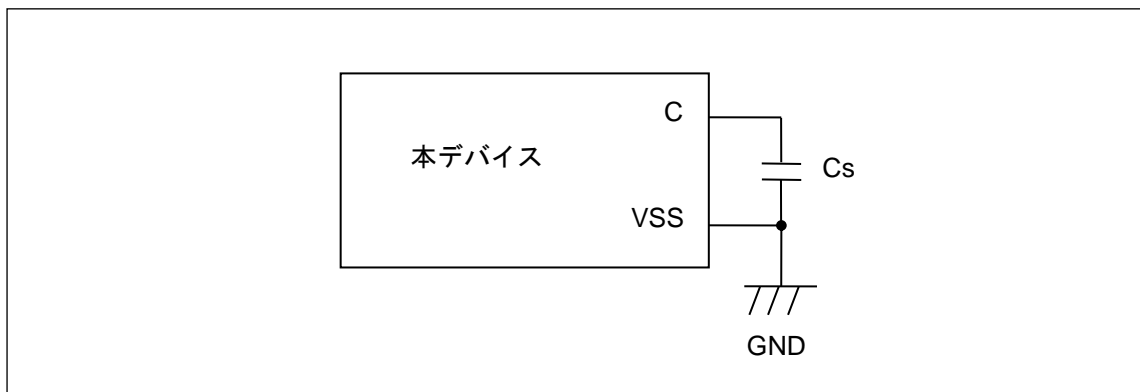
マルチファンクションシリアル端子を I²C 端子として使用する場合、デジタル出力 P-ch トランジスタは常にディセーブルです。しかし、I²C 端子もほかの端子と同様に、デバイスの電気的特性を守り、電源をオフにしたまま外部 I²C バスシステムへ接続しないでください。

C 端子について

本シリーズはレギュレータを内蔵しています。必ず C 端子と GND 端子の間にレギュレータ用の平滑コンデンサ(Cs)を接続してください。平滑コンデンサにはセラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。

なお、積層セラミックコンデンサは、温度による容量値の変化幅に特性(F 特性, Y5V 特性)を持つものがあります。コンデンサの温度特性を確認し、使用条件において規格値を満たすコンデンサを使用してください。

本シリーズでは 4.7 μ F 程度の平滑コンデンサを推奨します。



モード端子(MD0)について

モード端子(MD0)は VCC 端子または VSS 端子に直接接続してください。内蔵 Flash 書換えなどの目的で、モード端子レベルを変更できるようにプルアップまたはプルダウンをする場合には、ノイズによりデバイスが意図せずテストモードに入るのを防止するため、プルアップまたはプルダウンに使用する抵抗値はできるだけ低く抑えると共に、モード端子から VCC 端子または VSS 端子への距離を最小にし、できるだけ低インピーダンスで接続するようにプリント基板を設計してください。

電源投入時について

電源を投入/切断する際は同時か、あるいは次の順番で投入/切断を行ってください。

なお、A/D コンバータを使用しない場合でも、AVCC = VCC レベル、AVSS = VSS レベルに接続してください。

投入時: VCC → AVCC → AVRH

切断時: AVRH → AVCC → VCC

シリアル通信について

シリアル通信においては、ノイズなどにより間違ったデータを受信する可能性があります。そのため、ノイズを抑えるボードの設計をしてください。

また、万が一ノイズなどの影響により誤ったデータを受信した場合を考慮し、最後にデータのチェックサムなどを付加してエラー検出を行ってください。エラーが検出された場合には、再送を行うなどの処理をしてください。

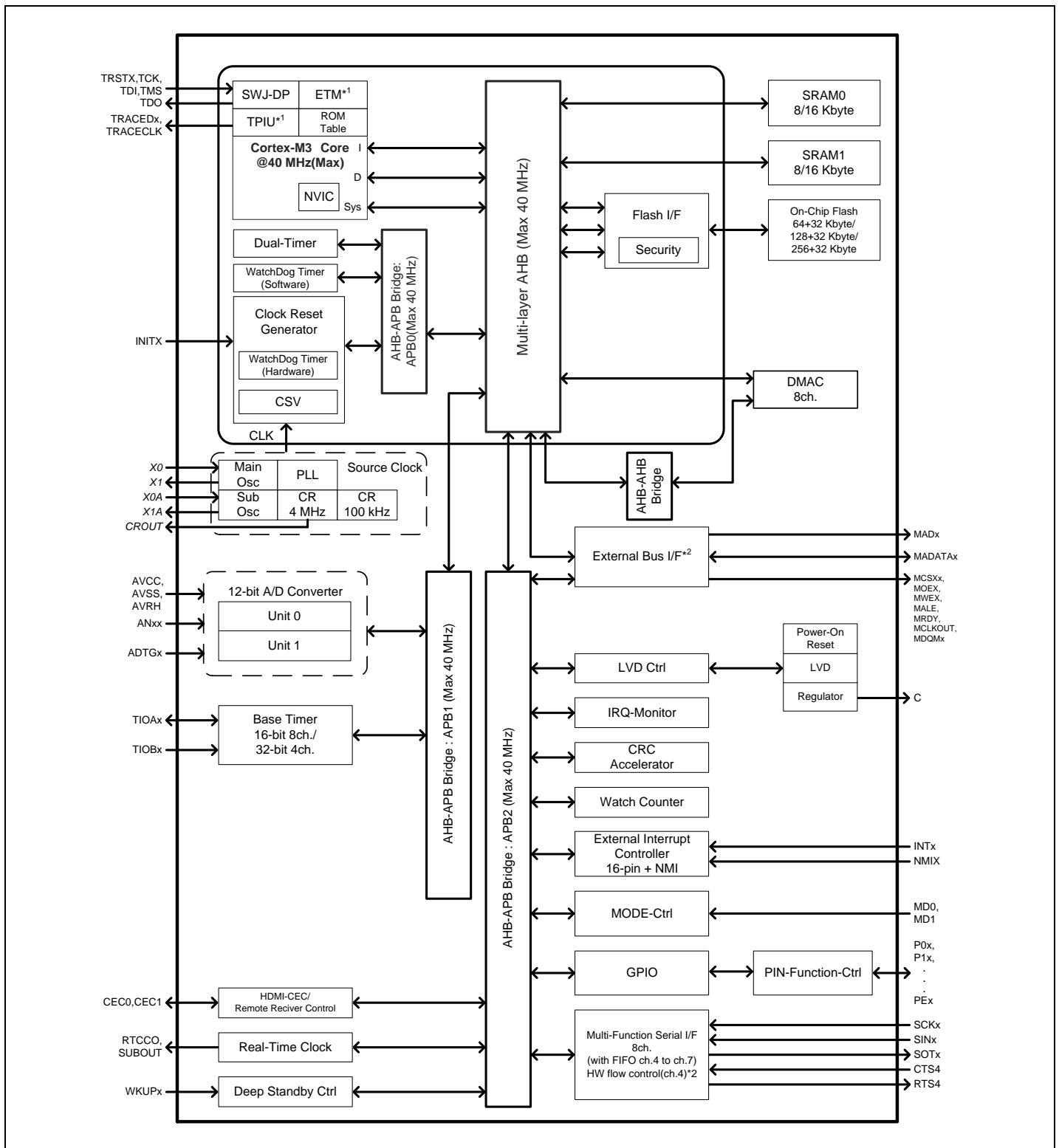
メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品の特性差について

メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品ではチップレイアウトやメモリ構造の違いにより消費電流や ESD、ラッチアップ、ノイズ特性、発振特性等を含めた電気的特性が異なります。

お客様にて同一シリーズの別製品に切り換えて使用する際は、電気的特性の評価を行ってください。

5V トレラント I/O のプルアップ機能について

5V トレラント I/O のプルアップ機能使用時は VCC 電圧以上の信号を入力しないでください。

8. ブロックダイアグラム


*1: MB9AF141LB/MB と MB9AF142LB/MB, MB9AF144LB/MB においては、ETM は使用できません。

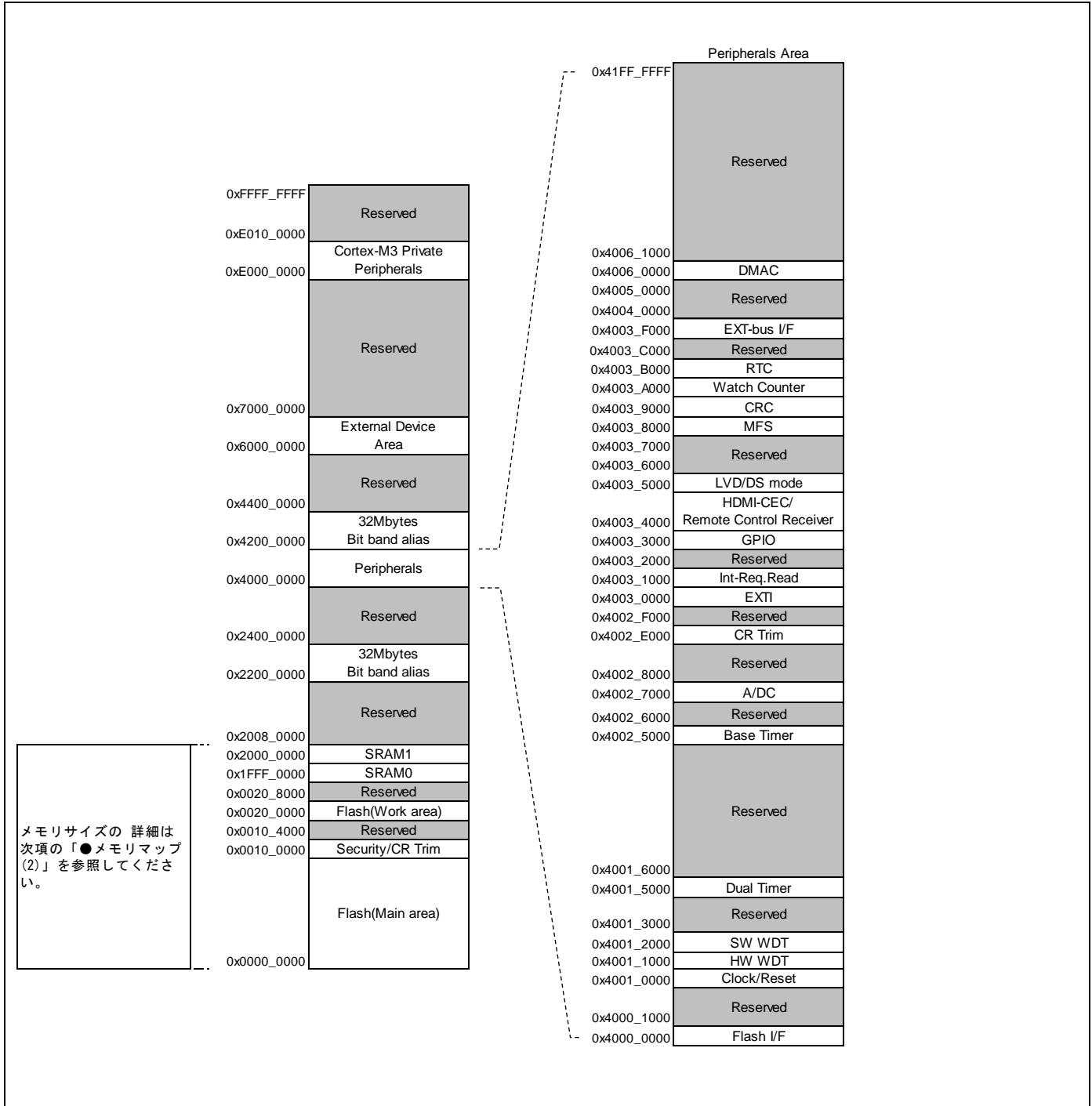
*2: MB9AF141LA と MB9AF142LB, MB9AF144LB においては、外部バスインタフェースは使用できません。また、マルチファンクションシリアルインタフェースのハードウェアフロー・コントロールは非対応です。

9. メモリサイズ

メモリサイズについては、「品種構成」の「メモリサイズ」を参照してください。

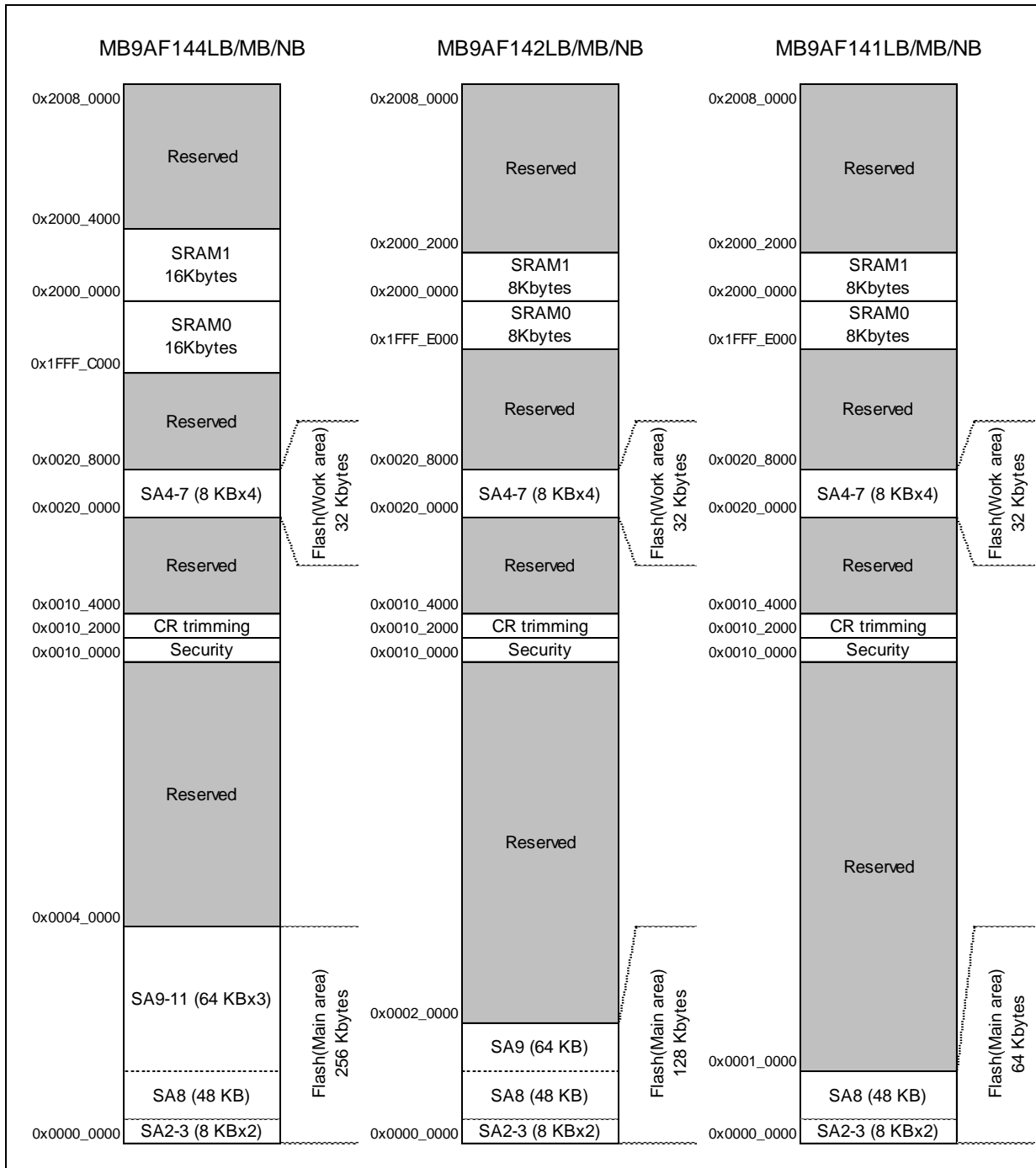
10. メモリマップ

メモリマップ (1)



メモリサイズの詳細は次項の「●メモリマップ(2)」を参照してください。

メモリマップ (2)



Flash (メイン領域)/Flash (ワーク領域)の詳細は、「MB9AB40N/A40N/340N/140N/150R/MB9B520M/320M/120M シリーズ フラッシュプログラミングマニュアル」を参照ください。

ペリフェラル・アドレスマップ

| スタートアドレス | エンドアドレス | バス | 周辺機能 |
|-------------|-------------|-------------|-------------------|
| 0x4000_0000 | 0x4000_0FFF | AHB | フラッシュメモリ I/F レジスタ |
| 0x4000_1000 | 0x4000_FFFF | | 予約 |
| 0x4001_0000 | 0x4001_0FFF | APB0 | クロック・リセット制御 |
| 0x4001_1000 | 0x4001_1FFF | | ハードウェアウォッチドッグタイマ |
| 0x4001_2000 | 0x4001_2FFF | | ソフトウェアウォッチドッグタイマ |
| 0x4001_3000 | 0x4001_4FFF | | 予約 |
| 0x4001_5000 | 0x4001_5FFF | | デュアルタイマ |
| 0x4001_6000 | 0x4001_FFFF | | 予約 |
| 0x4002_0000 | 0x4002_4FFF | | APB1 |
| 0x4002_5000 | 0x4002_5FFF | ベースタイマ | |
| 0x4002_6000 | 0x4002_6FFF | 予約 | |
| 0x4002_7000 | 0x4002_7FFF | A/D コンバータ | |
| 0x4002_8000 | 0x4002_DFFF | 予約 | |
| 0x4002_E000 | 0x4002_EFFF | 内蔵 CR トリミング | |
| 0x4002_F000 | 0x4002_FFFF | 予約 | |
| 0x4003_0000 | 0x4003_0FFF | APB2 | 外部割込み |
| 0x4003_1000 | 0x4003_1FFF | | 割込み要因確認レジスタ |
| 0x4003_2000 | 0x4003_2FFF | | 予約 |
| 0x4003_3000 | 0x4003_3FFF | | GPIO |
| 0x4003_4000 | 0x4003_4FFF | | HDMI-CEC/リモコン受信 |
| 0x4003_5000 | 0x4003_57FF | | 低電圧検出 |
| 0x4003_5800 | 0x4003_5FFF | | ディープスタンバイ制御部 |
| 0x4003_6000 | 0x4003_7FFF | | 予約 |
| 0x4003_8000 | 0x4003_8FFF | | マルチファンクションシリアル |
| 0x4003_9000 | 0x4003_9FFF | | CRC |
| 0x4003_A000 | 0x4003_AFFF | | 時計カウンタ |
| 0x4003_B000 | 0x4003_BFFF | | RTC |
| 0x4003_C000 | 0x4003_EFFF | | 予約 |
| 0x4003_F000 | 0x4003_FFFF | | 外部バス I/F |
| 0x4004_0000 | 0x4005_FFFF | AHB | 予約 |
| 0x4006_0000 | 0x4006_0FFF | | DMAC レジスタ |
| 0x4006_1000 | 0x41FF_FFFF | | 予約 |

11. 各 CPU ステートにおける端子状態

端子の状態として使用している語句は、以下の意味を持ちます。

■INITX=0

INITX 端子が"L"レベルの期間です。

■INITX=1

INITX 端子が"H"レベルの期間です。

■SPL=0

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が"0"に設定された状態です。

■SPL=1

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が"1"に設定された状態です。

■入力可

入力機能が使用可能な状態です。

■内部入力"0"固定

入力機能が使用できない状態です。内部入力は"L"に固定されます。

■Hi-Z

端子駆動用トランジスタを駆動禁止状態にし、端子を Hi-Z にします。

■設定不可

設定できません。

■直前状態保持

本モードに遷移する直前の状態を保持します。
内蔵されている周辺機能が動作中であれば、その周辺機能にしたがいます。
ポートとして使用している場合は、その状態を保持します。

■アナログ入力可

アナログ入力が許可されています。

■トレース出力

トレース機能が使用可能な状態です。

■GPIO 選択

ディープスタンバイモード時、汎用 I/O ポートに切り換わります。

端子状態一覧表

| 端子状態形式 | グループ機能名 | パワーオンリセットまたは低電圧検出状態 | INITX入力状態 | デバイス内部リセット状態 | ランモードまたはスリープモード状態 | タイマモード、RTCモードまたはストップモード状態 | | ディープスタンバイRTCモードまたはディープスタンバイストップモード状態 | | ディープスタンバイモード復帰直後状態 |
|--------|------------------------------------|---------------------------------------|------------------------|------------------------|---|---|---|---|---|---|
| | | 電源不安定 | 電源安定 | | 電源安定 | 電源安定 | | 電源安定 | | 電源安定 |
| | | - | INITX=0 | INITX=1 | INITX=1 | INITX=1 | | INITX=1 | | INITX=1 |
| | | - | - | - | - | SPL=0 | SPL=1 | SPL=0 | SPL=1 | - |
| A | GPIO 選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態保持 | 直前状態保持 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 |
| | メイン水晶発振入力端子/ 外部メインクロック入力 選択時 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 |
| B | GPIO 選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態保持 | 直前状態保持 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 |
| | 外部メインクロック入力 選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態保持 | 直前状態保持 | Hi-Z/ 内部入力 "0"固定 | 直前状態保持 | Hi-Z/ 内部入力 "0"固定 | 直前状態保持 |
| | メイン水晶発振出力端子 | Hi-Z/ 内部入力 "0"固定 もしくは 入力可 | Hi-Z/ 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | 直前状態保持/ 発振 停止時*1は Hi-Z/内部 入力 "0"固定 | 直前状態保持/ 発振 停止時*1は Hi-Z/内部 入力 "0"固定 | 直前状態保持/ 発振 停止時*1は Hi-Z/内部 入力 "0"固定 | 直前状態保持/ 発振 停止時*1は Hi-Z/内部 入力 "0"固定 | 直前状態保持/ 発振 停止時*1は Hi-Z/内部 入力 "0"固定 | 直前状態保持/ 発振 停止時*1は Hi-Z/内部 入力 "0"固定 |
| C | INITX 入力端子 | プル アップ/ 入力可 | プル アップ/ 入力可 | プル アップ/ 入力可 | プル アップ/ 入力可 | プル アップ/ 入力可 | プル アップ/ 入力可 | プル アップ/ 入力可 | プル アップ/ 入力可 | プル アップ/ 入力可 |
| D | モード 入力端子 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 |
| E | モード 入力端子 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 |
| | GPIO 選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態保持 | 直前状態保持 | Hi-Z/ 入力可 | GPIO 選択 | Hi-Z/ 入力可 | GPIO 選択 |

| 端子状態形式 | グループ機能名 | パワーオンリセットまたは低電圧検出状態 | INITX入力状態 | デバイス内部リセット状態 | ランモードまたはスリープモード状態 | タイマモード、RTCモードまたはストップモード状態 | | ディープスタンバイRTCモードまたはディープスタンバイストップモード状態 | | ディープスタンバイモード復帰直後状態 |
|--------|------------------------------|---------------------------------------|------------------------|------------------------|-------------------|---|---|---|---|---|
| | | 電源不安定 | 電源安定 | | 電源安定 | 電源安定 | | 電源安定 | | 電源安定 |
| | | - | INITX=0 | INITX=1 | INITX=1 | INITX=1 | | INITX=1 | | INITX=1 |
| | | - | - | - | - | SPL=0 | SPL=1 | SPL=0 | SPL=1 | - |
| F | GPIO 選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態保持 | 直前状態保持 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 |
| | サブ水晶発振入力端子/ 外部サブクロック入力選択時 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 | 入力可 |
| G | GPIO 選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態保持 | 直前状態保持 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 |
| | 外部サブクロック入力選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態保持 | 直前状態保持 | Hi-Z/ 内部入力 "0"固定 | 直前状態保持 | Hi-Z/ 内部入力 "0"固定 | 直前状態保持 |
| | サブ水晶発振出力端子 | Hi-Z/ 内部入力 "0"固定 もしくは 入力可 | Hi-Z/ 内部入力"0" 固定 | Hi-Z/ 内部入力"0" 固定 | 直前状態保持 | 直前状態保持/ 発振 停止時*2は Hi-Z/内部 入力 "0"固定 | 直前状態保持/ 発振 停止時*2は Hi-Z/内部 入力 "0"固定 | 直前状態保持/ 発振 停止時*2は Hi-Z/内部 入力 "0"固定 | 直前状態保持/ 発振 停止時*2は Hi-Z/内部 入力 "0"固定 | 直前状態保持/ 発振 停止時*2は Hi-Z/内部 入力 "0"固定 |
| H | GPIO 選択時 | Hi-Z | Hi-Z/ 入力可 | Hi-Z/ 入力可 | 直前状態保持 | 直前状態保持 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 |
| I | NMIX 選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態保持 | 直前状態保持 | 直前状態保持 | WKUP 入力可 | Hi-Z/ WKUP 入力可 | GPIO 選択 |
| | 上記以外のリソース選択時 | Hi-Z | Hi-Z/ 入力可 | Hi-Z/ 入力可 | | | | | | |
| | GPIO 選択時 | | | | | | | | | |
| J | JTAG 選択時 | Hi-Z | プルアップ/ 入力可 | プルアップ/ 入力可 | 直前状態保持 | 直前状態保持 | 直前状態保持 | 直前状態保持 | 直前状態保持 | 直前状態保持 |
| | GPIO 選択時 | 設定不可 | 設定不可 | 設定不可 | | | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 |
| K | リソース選択時 | Hi-Z | Hi-Z/ 入力可 | Hi-Z/ 入力可 | 直前状態保持 | 直前状態保持 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 |
| | GPIO 選択時 | | | | | | | | | |

| 端子状態形式 | グループ機能名 | パワーオンリセットまたは低電圧検出状態 | INITX入力状態 | デバイス内部リセット状態 | ランモードまたはスリープモード状態 | タイマモード、RTCモードまたはストップモード状態 | ディープスタンバイRTCモードまたはディープスタンバイストップモード状態 | | ディープスタンバイモード復帰直後状態 | | |
|----------|--------------|---------------------|--|--|--|--|--|--|--|---------|--------------------------|
| | | 電源不安定 | 電源安定 | | 電源安定 | 電源安定 | | 電源安定 | | | |
| | | - | INITX=0 | INITX=1 | INITX=1 | INITX=1 | | INITX=1 | | | |
| | | - | - | - | - | SPL=0 | SPL=1 | SPL=0 | SPL=1 | - | |
| L | 外部割込み許可選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態保持 | 直前状態保持 | 直前状態保持 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 | |
| | 上記以外のリソース選択時 | Hi-Z | Hi-Z/ 入力可 | Hi-Z/ 入力可 | | | Hi-Z/ 内部入力 "0"固定 | | | | GPIO 選択 内部入力 "0"固定 |
| | GPIO 選択時 | | | | | | | | | | |
| M | アナログ入力選択時 | Hi-Z | Hi-Z/ 内部入力"0" 固定/ アナログ 入力可 | Hi-Z/ 内部入力"0" 固定/ アナログ 入力可 | Hi-Z/ 内部入力"0" 固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力"0"固 定/ アナログ 入力可 | | |
| | 上記以外のリソース選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態保持 | 直前状態保持 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 | |
| | GPIO 選択時 | | | | | | | | | | |
| N | アナログ入力選択時 | Hi-Z | Hi-Z/ 内部入力"0" 固定/ アナログ 入力可 | Hi-Z/ 内部入力"0" 固定/ アナログ 入力可 | Hi-Z/ 内部入力"0" 固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力"0"固 定/ アナログ 入力可 | | |
| | 外部割込み許可選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態保持 | 直前状態保持 | 直前状態保持 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 | |
| | 上記以外のリソース選択時 | | | | | | | | | | |
| GPIO 選択時 | | | | | | | | | | | |
| O | トレース選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態保持 | 直前状態保持 | トレース出力 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 | |
| | 上記以外のリソース選択時 | Hi-Z | Hi-Z/ 入力可 | Hi-Z/ 入力可 | | | Hi-Z/ 内部入力 "0"固定 | | | | |
| | GPIO 選択時 | | | | | | | | | | |

| 端子状態形式 | グループ機能名 | パワーオンリセットまたは低電圧検出状態 | INITX入力状態 | デバイス内部リセット状態 | ランモードまたはスリープモード状態 | タイマモード、RTCモードまたはストップモード状態 | | ディープスタンバイRTCモードまたはディープスタンバイストップモード状態 | | ディープスタンバイモード復帰直後状態 |
|----------|------------------|---------------------|--|--|--|--|--|--|--|--|
| | | 電源不安定 | 電源安定 | | 電源安定 | 電源安定 | | 電源安定 | | 電源安定 |
| | | - | INITX=0 | INITX=1 | INITX=1 | INITX=1 | | INITX=1 | | INITX=1 |
| | | - | - | - | - | SPL=0 | SPL=1 | SPL=0 | SPL=1 | - |
| P | アナログ入力選択時 | Hi-Z | Hi-Z/ 内部入力"0" 固定/ アナログ 入力可 | Hi-Z/ 内部入力"0" 固定/ アナログ 入力可 | Hi-Z/ 内部入力"0" 固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力"0"固 定/ アナログ 入力可 |
| | トレース選択時 | | | | | トレース 出力 | | | | |
| | 上記以外の リソース選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態 保持 | 直前状態 保持 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 |
| | GPIO 選択時 | | | | | | | | | |
| Q | アナログ入力選択時 | Hi-Z | Hi-Z/ 内部入力"0" 固定/ アナログ 入力可 | Hi-Z/ 内部入力"0" 固定/ アナログ 入力可 | Hi-Z/ 内部入力"0" 固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力"0"固 定/ アナログ 入力可 |
| | トレース選択時 | | | | | トレース 出力 | | | | |
| | 外部割込み 許可選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態 保持 | 直前状態 保持 | 直前状態 保持 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 |
| | 上記以外の リソース選択時 | | | | | | | | | |
| GPIO 選択時 | | | | | | | | | | |
| R | アナログ入力選択時 | Hi-Z | Hi-Z/ 内部入力"0" 固定/ アナログ 入力可 | Hi-Z/ 内部入力"0" 固定/ アナログ 入力可 | Hi-Z/ 内部入力"0" 固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力 "0"固定/ アナログ 入力可 | Hi-Z/ 内部入力"0"固 定/ アナログ 入力可 |
| | WKUP 許可時 | | | | | 直前状態 保持 | WKUP 入力可 | | Hi-Z/ WKUP 入力可 | |
| | 外部割込み許可 選択時 | 設定不可 | 設定不可 | 設定不可 | 直前状態 保持 | 直前状態 保持 | | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 |
| | 上記以外の リソース選択時 | | | | | | | | | |
| GPIO 選択時 | | | | | | | | | | |

| 端子状態形式 | グループ機能名 | パワーオンリセットまたは低電圧検出状態 | INITX入力状態 | デバイス内部リセット状態 | ランモードまたはスリープモード状態 | タイマモード、RTCモードまたはストップモード状態 | | ディープスタンバイRTCモードまたはディープスタンバイストップモード状態 | | ディープスタンバイモード復帰直後状態 |
|--------|--------------|---------------------|-----------|--------------|-------------------|---------------------------|------------------------|--------------------------------------|------------------------|--------------------|
| | | 電源不安定 | 電源安定 | | 電源安定 | 電源安定 | | 電源安定 | | 電源安定 |
| | | - | INITX=0 | INITX=1 | INITX=1 | INITX=1 | | INITX=1 | | INITX=1 |
| | | - | - | - | - | SPL=0 | SPL=1 | SPL=0 | SPL=1 | - |
| S | CEC 許可時 | 設定不可 | 設定不可 | 設定不可 | 直前状態保持 | 直前状態保持 | 直前状態保持 | 直前状態保持 | 直前状態保持 | 直前状態保持 |
| | 上記以外のリソース選択時 | Hi-Z | Hi-Z/入力可 | Hi-Z/入力可 | 直前状態保持 | 直前状態保持 | Hi-Z/内部入力 "0"固定 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 |
| | GPIO 選択時 | | | | | | | | | |
| T | CEC 許可時 | 設定不可 | 設定不可 | 設定不可 | 直前状態保持 | 直前状態保持 | 直前状態保持 | 直前状態保持 | 直前状態保持 | 直前状態保持 |
| | WKUP 許可時 | 設定不可 | 設定不可 | 設定不可 | 直前状態保持 | 直前状態保持 | 直前状態保持 | WKUP 入力可 | Hi-Z/ WKUP 入力可 | GPIO 選択 |
| | 外部割込み許可選択時 | | | | | | | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | |
| | 上記以外のリソース選択時 | Hi-Z | Hi-Z/入力可 | Hi-Z/入力可 | 直前状態保持 | 直前状態保持 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 内部入力 "0"固定 | Hi-Z/ 内部入力 "0"固定 | GPIO 選択 |
| | GPIO 選択時 | | | | | | | | | |

*1: サブタイマモード, 低速 CR タイマモード, ストップモード, RTC モード, ディープスタンバイ RTC モード, ディープスタンバイストップモードは発振が停止します。

*2: ストップモード, ディープスタンバイストップモードは発振が停止します。

12. 電気的特性

12.1 絶対最大定格

| 項目 | 記号 | 定格値 | | 単位 | 備考 |
|-----------------|--------------------|-----------------------|------------------------------------|----|--------------|
| | | 最小 | 最大 | | |
| 電源電圧*1.*2 | V _{CC} | V _{SS} - 0.5 | V _{SS} + 4.6 | V | |
| アナログ電源電圧*1.*3 | AV _{CC} | V _{SS} - 0.5 | V _{SS} + 4.6 | V | |
| アナログ基準電圧*1.*3 | AV _{RH} | V _{SS} - 0.5 | V _{SS} + 4.6 | V | |
| 入力電圧*1 | V _I | V _{SS} - 0.5 | V _{CC} + 0.5 (≦4.6 V) | V | |
| | | V _{SS} - 0.5 | V _{SS} + 6.5 | V | 5 V トレラント |
| アナログ端子入力電圧*1 | V _{IA} | V _{SS} - 0.5 | AV _{CC} + 0.5 (≦4.6 V) | V | |
| 出力電圧*1 | V _O | V _{SS} - 0.5 | V _{CC} + 0.5 (≦4.6 V) | V | |
| "L"レベル最大出力電流*4 | I _{OL} | - | 10 | mA | |
| | | | 39 | mA | P80 / P81 端子 |
| "L"レベル平均出力電流*5 | I _{OLAV} | - | 4 | mA | |
| | | | 10.5 | mA | P80 / P81 端子 |
| "L"レベル最大総出力電流 | ∑I _{OL} | - | 100 | mA | |
| "L"レベル平均総出力電流*6 | ∑I _{OLAV} | - | 50 | mA | |
| "H"レベル最大出力電流*4 | I _{OH} | - | - 10 | mA | |
| | | | 39 | mA | P80 / P81 端子 |
| "H"レベル平均出力電流*5 | I _{OHAV} | - | - 4 | mA | |
| | | | 12 | mA | P80 / P81 端子 |
| "H"レベル最大総出力電流 | ∑I _{OH} | - | - 100 | mA | |
| "H"レベル平均総出力電流*6 | ∑I _{OHAV} | - | - 50 | mA | |
| 消費電力 | P _D | - | 300 | mW | |
| 保存温度 | T _{STG} | - 55 | + 150 | °C | |

*1: V_{SS} = AV_{SS} = 0 V を基準にした値です。

*2: V_{CC} は V_{SS} - 0.5 V より低くならないでください。

*3: 電源投入時など V_{CC} + 0.5 V を超えてはいけません。

*4: 最大出力電流は、該当する端子 1 本のピーク値を規定します。

*5: 平均出力電流は、該当する端子 1 本に流れる電流の 100 ms の期間内での平均電流を規定します。

*6: 平均総出力電流は、該当する端子すべてに流れる電流の 100 ms の期間内での平均電流を規定します。

<注意事項>

- 絶対最大定格を超えるストレス (電圧, 電流, 温度など) の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

12.2 推奨動作条件

 (V_{SS} = AV_{SS} = 0.0V)

| 項目 | 記号 | 条件 | 規格値 | | 単位 | 備考 |
|-----------|------------------|----|------------------|------------------|----|-----------------------------------|
| | | | 最小 | 最大 | | |
| 電源電圧 | V _{CC} | - | 1.65*2 | 3.6 | V | |
| アナログ電源電圧 | AV _{CC} | - | 1.65 | 3.6 | V | AV _{CC} =V _{CC} |
| アナログ基準電圧 | AVRH | - | 2.7 | AV _{CC} | V | AV _{CC} ≥ 2.7 V |
| | | | AV _{CC} | AV _{CC} | V | AV _{CC} < 2.7 V |
| | AVRL | - | AV _{SS} | AV _{SS} | V | |
| 平滑コンデンサ容量 | C _S | - | 1 | 10 | μF | レギュレータ用*1 |
| 動作温度 | T _A | - | - 40 | + 85 | °C | |

*1: 平滑コンデンサの接続方法は、「7. デバイス使用上の注意」の「C 端子について」を参照してください。

*2: 電源電圧が最小値未満かつ低電圧リセット/割込み検出電圧以上の間は、内蔵高速 CR クロック(メイン PLL 使用含む)または内蔵低速 CR クロックでの命令実行と低電圧検出のみ動作可能です。

<注意事項>

- 推奨動作条件は、半導体デバイスの正常な動作を確保するための条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

12.3 直流規格
12.3.1 電流規格
 $(V_{CC} = AV_{CC} = 1.65V \sim 3.6V, V_{SS} = AV_{SS} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

| 項目 | 記号 | 端子名 | 条件 | | 規格値 | | 単位 | 備考 |
|------|------------------|-----|------------------|--------------------------------------|------|------|----|--------|
| | | | | | 標準*3 | 最大*4 | | |
| 電源電流 | I _{CC} | VCC | PLL ランモード | CPU: 40 MHz, 周辺: 40 MHz | 15.5 | 21 | mA | *1, *5 |
| | | | | CPU: 40 MHz, 周辺: クロック停止 NOP 動作 | 8.7 | 12 | mA | *1, *5 |
| | | | 高速 CR ランモード | CPU/周辺: 4 MHz*2 | 1.8 | 2.9 | mA | *1 |
| | | | サブ ランモード | CPU/周辺: 32 kHz | 110 | 680 | μA | *1, *6 |
| | | | 低速 CR ランモード | CPU/周辺: 100 kHz | 125 | 700 | μA | *1 |
| | I _{CCS} | | PLL スリープモード | 周辺: 40 MHz | 9 | 12.5 | mA | *1, *5 |
| | | | 高速 CR スリープモード | 周辺: 4 MHz*2 | 0.8 | 1.6 | mA | *1 |
| | | | サブ スリープモード | 周辺: 32 kHz | 96 | 670 | μA | *1, *6 |
| | | | 低速 CR スリープモード | 周辺: 100 kHz | 110 | 680 | μA | *1 |

*1: 全ポート固定時

*2: トリミングにて 4 MHz に設定した場合

*3: T_A=+25°C, V_{CC}=3.6 V

*4: T_A=+85°C, V_{CC}=3.6 V

*5: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

*6: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 | 備考 | |
|------|-------------------|-----|------------------------------|--|------|-----|----|------------|
| | | | | 標準*3 | 最大*4 | | | |
| 電源電流 | I _{CC1} | VCC | メイン タイマモード | T _A = + 25°C, LVD off 時 | 2.1 | 2.5 | mA | *1, *3 |
| | | | | T _A = + 85°C, LVD off 時 | - | 3.4 | mA | *1, *3 |
| | I _{CC2} | | サブ タイマモード | T _A = + 25°C, LVD off 時 | 12 | 35 | μA | *1, *4 |
| | | | | T _A = + 85°C, LVD off 時 | - | 330 | μA | *1, *4 |
| | I _{CCR} | | RTC モード | T _A = + 25°C, LVD off 時 | 9.8 | 29 | μA | *1, *4 |
| | | | | T _A = + 85°C, LVD off 時 | - | 280 | μA | *1, *4 |
| | I _{CC3} | | ストップ モード | T _A = + 25°C, LVD off 時 | 9 | 28 | μA | *1 |
| | | | | T _A = + 85°C, LVD off 時 | - | 270 | μA | *1 |
| | I _{CCRD} | | ディープ スタンバイ RTC モード | T _A = + 25°C, LVD off 時, RAM 保持なし | 1.9 | 9 | μA | *1, *4, *5 |
| | | | | T _A = + 25°C, LVD off 時, RAM 保持あり | 5.9 | 20 | μA | *1, *4, *5 |
| | | | | T _A = + 85°C, LVD off 時, RAM 保持なし | - | 75 | μA | *1, *4, *5 |
| | | | | T _A = + 85°C, LVD off 時, RAM 保持あり | - | 105 | μA | *1, *4, *5 |
| | I _{CC4} | | ディープ スタンバイ ストップ モード | T _A = + 25°C, LVD off 時, RAM 保持なし | 1.25 | 7 | μA | *1, *5 |
| | | | | T _A = + 25°C, LVD off 時, RAM 保持あり | 5.3 | 18 | μA | *1, *5 |
| | | | | T _A = + 85°C, LVD off 時, RAM 保持なし | - | 70 | μA | *1, *5 |
| | | | | T _A = + 85°C, LVD off 時, RAM 保持あり | - | 100 | μA | *1, *5 |

*1: 全ポート固定時

*2: V_{CC}=3.6 V

*3: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

*4: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

*5: RAM 保持設定はオンチップ SRAM のみに適用

低電圧検出回路(LVD)電流
 $(V_{CC} = 1.65V \sim 3.6V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 | 備考 |
|--------------------------|---------------------|-----|---|------|-----|----|------|
| | | | | 標準 | 最大 | | |
| 低電圧検出回路 (LVD) 電源電流 | I _{CC} LVD | VCC | リセット発生用 動作時 V _{CC} = 3.6 V | 0.13 | 0.3 | μA | 未検出時 |
| | | | 割込み発生用 動作時 V _{CC} = 3.6 V | 0.13 | 0.3 | μA | 未検出時 |

フラッシュメモリ電流
 $(V_{CC} = 1.65V \sim 3.6V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 | 備考 |
|----------------------|-----------------------|-----|-------------|-----|------|----|----|
| | | | | 標準 | 最大 | | |
| フラッシュメモリ 書込み/消去電流 | I _{CC} FLASH | VCC | 書込み/ 消去時 | 9.5 | 11.2 | mA | * |

*: フラッシュメモリへ書込みまたは消去するときは、電源電流(I_{CC})にフラッシュメモリ書込み/消去電流(I_{CC}FLASH)が加算されます。

A/D コンバータ電流
 $(V_{CC} = AV_{CC} = 1.65V \sim 3.6V, V_{SS} = AV_{SS} = AV_{RL} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 | 備考 |
|--------|----------------------|------|-----------------------------|------|------|----|----|
| | | | | 標準 | 最大 | | |
| 電源電流 | I _{CC} AD | AVCC | A/D 1unit 動作時 | 0.27 | 0.42 | mA | |
| | | | A/D 停止時 | 0.03 | 10 | μA | |
| 基準電源電流 | I _{CC} AVRH | AVRH | A/D 1unit 動作時 AVRH=3.6 V | 0.72 | 1.29 | mA | |
| | | | A/D 停止時 | 0.02 | 2.6 | μA | |

12.3.2 端子特性

 (V_{CC} = AV_{CC} = 1.65V ~ 3.6V, V_{SS} = AV_{SS} = 0V, T_A = -40°C ~ +85°C)

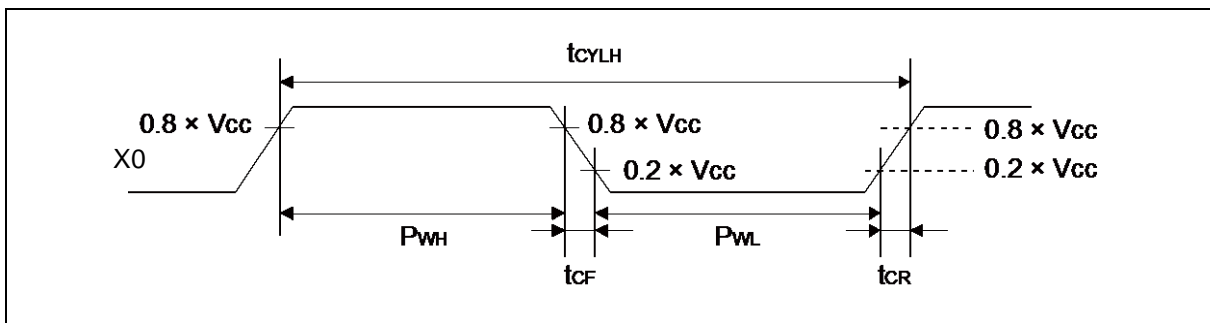
| 項目 | 記号 | 端子名 | 条件 | 規格値 | | | 単位 | 備考 |
|----------------------------------|------------------|---|--|------------------------|----|-----------------------|----|----|
| | | | | 最小 | 標準 | 最大 | | |
| "H"レベル 入力電圧 (ヒステリシス 入力) | V _{IHS} | CMOS ヒステリシス 入力端子, MD0, MD1 | V _{CC} ≥ 2.7 V | V _{CC} × 0.8 | - | V _{CC} + 0.3 | V | |
| | | | V _{CC} < 2.7 V | V _{CC} × 0.7 | | | | |
| | | 5V トレラント 入力端子 | V _{CC} ≥ 2.7 V | V _{CC} × 0.8 | - | V _{SS} + 5.5 | V | |
| | | | V _{CC} < 2.7 V | V _{CC} × 0.7 | | | | |
| "L"レベル 入力電圧 (ヒステリシス 入力) | V _{ILS} | CMOS ヒステリシス 入力端子, MD0, MD1 | V _{CC} ≥ 2.7 V | V _{SS} - 0.3 | - | V _{CC} × 0.2 | V | |
| | | | V _{CC} < 2.7 V | | | V _{CC} × 0.3 | | |
| | | 5 V トレラント 入力端子 | V _{CC} ≥ 2.7 V | V _{SS} - 0.3 | - | V _{CC} × 0.2 | V | |
| | | | V _{CC} < 2.7 V | | | V _{CC} × 0.3 | | |
| "H"レベル 出力電圧 | V _{OH} | 4 mA タイプ | V _{CC} ≥ 2.7 V, I _{OH} = -4 mA | V _{CC} - 0.5 | - | V _{CC} | V | |
| | | | V _{CC} < 2.7 V, I _{OH} = -2 mA | V _{CC} - 0.45 | | | | |
| | | P80/P81 | V _{CC} ≥ 2.7 V, I _{OH} = -12.5 mA | V _{CC} - 0.4 | - | V _{CC} | V | |
| | | | V _{CC} < 2.7 V, I _{OH} = -6.5 mA | | | | | |
| "L"レベル 出力電圧 | V _{OL} | 4 mA タイプ | V _{CC} ≥ 2.7 V, I _{OL} = 4 mA | V _{SS} | - | 0.4 | V | |
| | | | V _{CC} < 2.7 V, I _{OL} = 2 mA | | | | | |
| | | P80/P81 | V _{CC} ≥ 2.7 V, I _{OL} = 10.5 mA | V _{SS} | - | 0.4 | V | |
| | | | V _{CC} < 2.7 V, I _{OL} = 5 mA | | | | | |
| 入力リーク 電流 | I _{IL} | - | - | -5 | - | +5 | μA | |
| | | CEC0, CEC1 | V _{CC} = AV _{CC} = AVRH = V _{SS} = AV _{SS} = 0.0 V | - | - | +1.8 | μA | |
| プルアップ 抵抗値 | R _{PU} | プルアップ 端子 | V _{CC} ≥ 2.7 V | 21 | 33 | 66 | kΩ | |
| | | | V _{CC} < 2.7 V | - | - | 134 | | |
| 入力容量 | C _{IN} | V _{CC} , V _{SS} , AV _{CC} , AV _{SS} , AVRH 以外 | - | - | 5 | 15 | pF | |

12.4 交流規格
12.4.1 メインクロック入力規格
 $(V_{CC} = 1.65V \sim 3.6V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 | 備考 |
|--------------------------|--------------------------------------|-----------|--|-------|---------|---------|--------------------|
| | | | | 最小 | 最大 | | |
| 入力周波数 | f _{CH} | X0, X1 | V _{CC} ≥ 2.7 V | 4 | 48 | MHz | 水晶振動子接続時 |
| | | | V _{CC} < 2.7 V | 4 | 20 | | |
| - | 4 | | 48 | MHz | 外部クロック時 | | |
| 入力クロック 周期 | t _{CY_{LH}} | | - | 20.83 | 250 | ns | 外部クロック時 |
| 入力クロック パルス幅 | - | | P _{WH} /t _{CY_{LH}} , P _{WL} /t _{CY_{LH}} | 45 | 55 | % | 外部クロック時 |
| 入力クロック 立上り, 立下り 時間 | t _{CF} , t _{CR} | - | - | 5 | ns | 外部クロック時 | |
| 内部動作 クロック*1 周波数 | f _{CM} | - | - | - | 40 | MHz | マスタクロック |
| | f _{CC} | - | - | - | 40 | MHz | ベースクロック(HCLK/FCLK) |
| | f _{CP0} | - | - | - | 40 | MHz | APB0 バスクロック*2 |
| | f _{CP1} | - | - | - | 40 | MHz | APB1 バスクロック*2 |
| | f _{CP2} | - | - | - | 40 | MHz | APB2 バスクロック*2 |
| 内部動作 クロック*1 サイクル時間 | t _{CYCC} | - | - | 25 | - | ns | ベースクロック(HCLK/FCLK) |
| | t _{CYCP0} | - | - | 25 | - | ns | APB0 バスクロック*2 |
| | t _{CYCP1} | - | - | 25 | - | ns | APB1 バスクロック*2 |
| | t _{CYCP2} | - | - | 25 | - | ns | APB2 バスクロック*2 |

*1: 各内部動作クロックの詳細については、『FM3 ファミリー ペリフェラルマニュアル』の『CHAPTER: クロック』を参照してください。

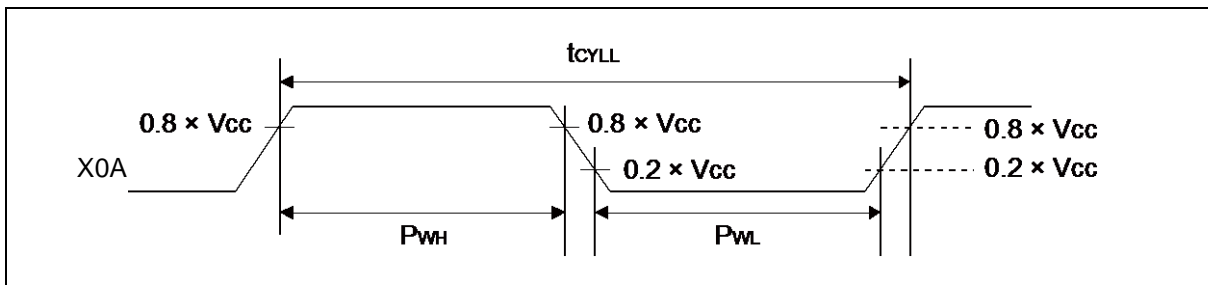
*2: 各ペリフェラルが接続されている APB バスについては「8.ブロックダイアグラム」を参照してください。



12.4.2 サブクロック入力規格

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = -40°C ~ +85°C)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | | 単位 | 備考 |
|------------|-------------------|-------------|--|-----|--------|-------|-----|----------|
| | | | | 最小 | 標準 | 最大 | | |
| 入力周波数 | f _{CL} | X0A, X1A | - | - | 32.768 | - | kHz | 水晶振動子接続時 |
| | | | - | 32 | - | 100 | kHz | 外部クロック時 |
| 入力クロック周期 | t _{CYLL} | | - | 10 | - | 31.25 | μs | 外部クロック時 |
| 入力クロックパルス幅 | - | | P _{WH} /t _{CYLL} , P _{WL} /t _{CYLL} | 45 | - | 55 | % | 外部クロック時 |


12.4.3 内蔵 CR 発振規格
内蔵高速 CR

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = -40°C ~ +85°C)

| 項目 | 記号 | 条件 | 規格値 | | | 単位 | 備考 |
|---------|-------------------|--|------|----|------|-----|----------|
| | | | 最小 | 標準 | 最大 | | |
| クロック周波数 | f _{CRH} | T _A = +25°C V _{CC} ≥ 2.7V | 3.96 | 4 | 4.04 | MHz | トリミング時*1 |
| | | T _A = +25°C V _{CC} < 2.7V | 3.9 | 4 | 4.1 | | |
| | | T _A = -40°C ~ +85°C | 3.84 | 4 | 4.16 | | 非トリミング時 |
| | | T _A = -40°C ~ +85°C | 2.8 | 4 | 5.2 | | |
| 周波数安定時間 | t _{CRWT} | - | - | - | 30 | μs | *2 |

*1: 出荷時に設定されるフラッシュメモリ内の CR トリミング領域の値を周波数トリミング値に使用した場合

*2: トリミング値設定後に高速 CR クロックの周波数が安定するまでの時間です。なおトリミング値設定後、周波数安定時間が経過するまでの期間も高速 CR クロックをソースクロックとして使用できます。

内蔵低速 CR

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = -40°C ~ +85°C)

| 項目 | 記号 | 条件 | 規格値 | | | 単位 | 備考 |
|---------|------------------|----|-----|-----|-----|-----|----|
| | | | 最小 | 標準 | 最大 | | |
| クロック周波数 | f _{CRL} | - | 50 | 100 | 150 | kHz | |

12.4.4 メイン PLL の使用条件(PLL の入力クロックにメインクロックを選択した場合)

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

| 項目 | 記号 | 規格値 | | | 単位 | 備考 |
|--------------------------------|---------------------|-----|----|-----|-----|----|
| | | 最小 | 標準 | 最大 | | |
| PLL 発振安定待ち時間*1 (LOCK UP 時間) | t _{LOCK} | 100 | - | - | μs | |
| PLL 入力クロック周波数 | f _{PLLI} | 4 | - | 16 | MHz | |
| PLL 通倍率 | - | 5 | - | 37 | 通倍 | |
| PLL マクロ発振クロック周波数 | f _{PLLO} | 75 | - | 150 | MHz | |
| メイン PLL クロック周波数*2 | f _{CLKPLL} | - | - | 40 | MHz | |

*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック(CLKPLL)の詳細については、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER:クロック』を参照してください。

12.4.5 メイン PLL の使用条件(メイン PLL の入力クロックに内蔵高速 CR を選択した場合)

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

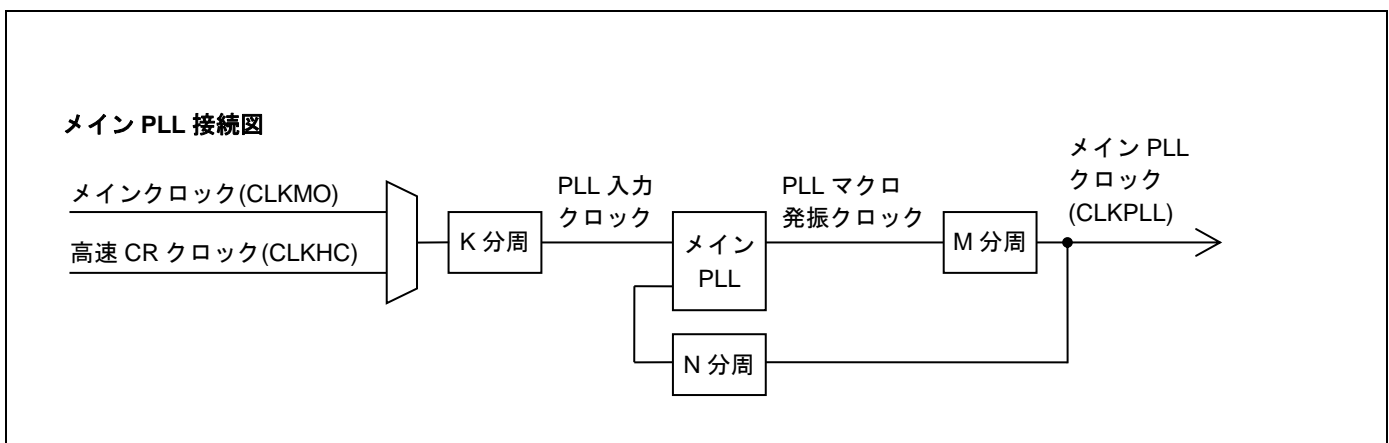
| 項目 | 記号 | 規格値 | | | 単位 | 備考 |
|--------------------------------|---------------------|-----|----|-----|-----|----|
| | | 最小 | 標準 | 最大 | | |
| PLL 発振安定待ち時間*1 (LOCK UP 時間) | t _{LOCK} | 100 | - | - | μs | |
| PLL 入力クロック周波数 | f _{PLLI} | 3.8 | 4 | 4.2 | MHz | |
| PLL 通倍率 | - | 19 | - | 35 | 通倍 | |
| PLL マクロ発振クロック周波数 | f _{PLLO} | 72 | - | 150 | MHz | |
| メイン PLL クロック周波数*2 | f _{CLKPLL} | - | - | 40 | MHz | |

*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック(CLKPLL)の詳細については、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER: クロック』を参照してください。

<注意事項>

- メイン PLL のソースクロックには、必ず周波数トリミングを行った高速 CR クロック(CLKHC)を入力してください。PLL 通倍後、内蔵高速 CR クロックの精度を加味した上で、マスタクロック周波数上限を超えないようにしてください。



12.4.6 リセット入力規格

($V_{CC} = 1.65V \sim 3.6V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 | 備考 |
|----------|-------------|-------|----|-----|----|----|----|
| | | | | 最小 | 最大 | | |
| リセット入力時間 | t_{INITX} | INITX | - | 500 | - | ns | |

12.4.7 パワーオンリセットタイミング

($V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

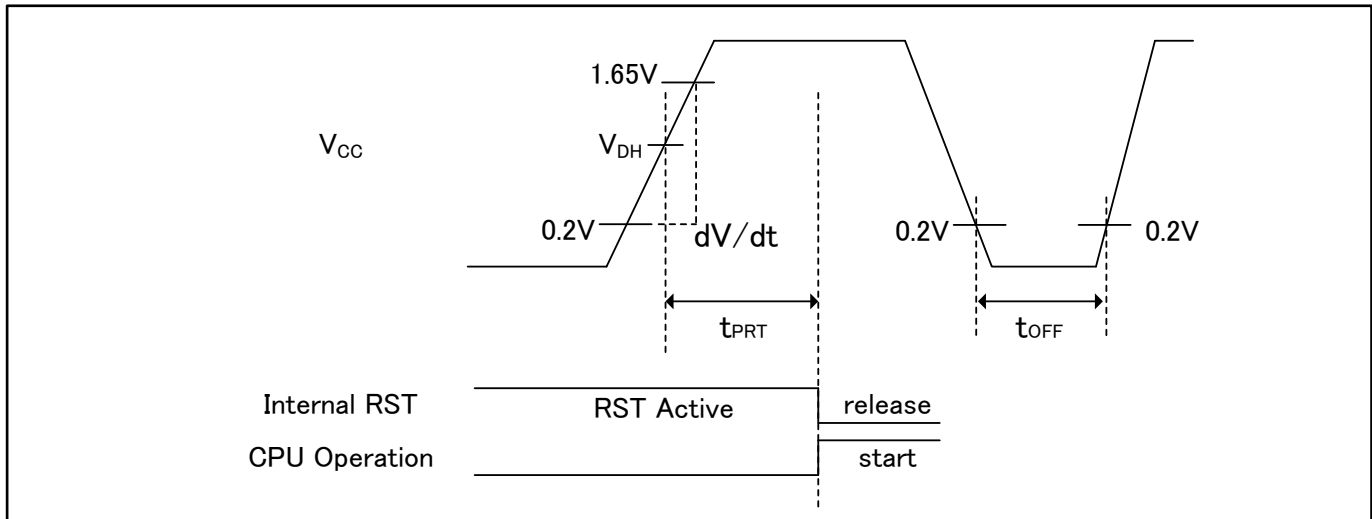
| 項目 | 記号 | 端子名 | 条件 | 規格値 | | | 単位 | 備考 |
|------------------|-----------|-----|-------------------|------|----|-------|-------------|----|
| | | | | 最小 | 標準 | 最大 | | |
| 電源断時間 | t_{OFF} | VCC | - | 1 | - | - | ms | *1 |
| 電源立上り速度 | dV/dt | | Vcc: 0.2 V~1.65 V | 0.2 | - | 1000 | mV/ μ s | *2 |
| パワーオンリセット解除までの時間 | t_{PRT} | | - | 1.34 | - | 16.09 | ms | |

*1: V_{CC} は t_{OFF} 最小期間中 0.2 V 以下である必要があります。この状態が満たせない場合、誤った初期化が発生する可能性があります。

*2: この dV/dt 規格は cold start($t_{OFF} > 1$ ms)のパワーオン時に適用されます。

<注意事項>

- もし t_{OFF} が満たせない場合は、起動時および電圧降下発生時に「12.4.6.リセット入力規格」に従い外部リセット(INITX)を入れて下さい。



用語解説

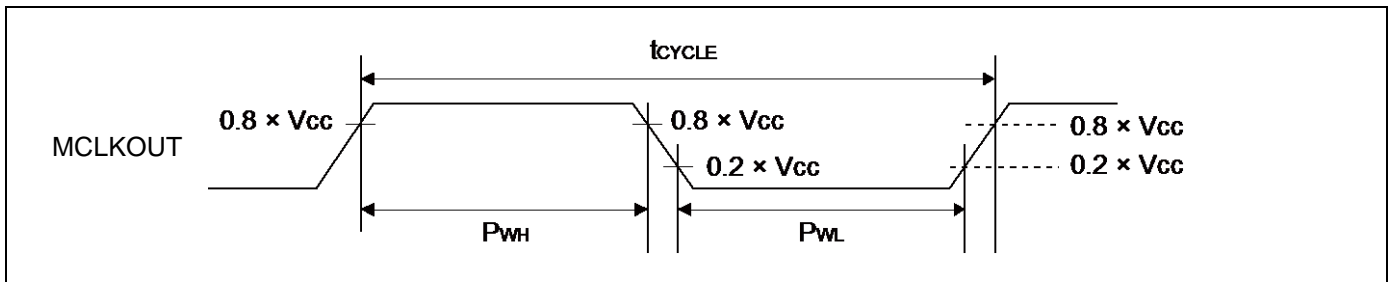
VDH: 低電圧検出リセット解除電圧「12.6.低電圧検出特性」を参照してください。

12.4.8 外バスタイミング
外バスクロック出力規格

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = -40°C ~ +85°C)

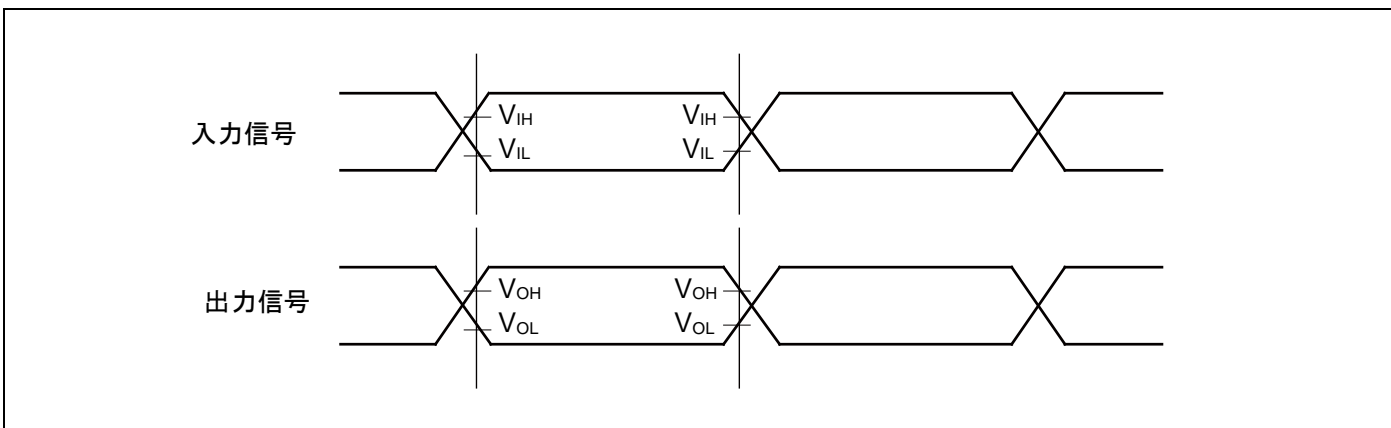
| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 |
|-------|--------------------|----------|-------------------------|-----|----|-----|
| | | | | 最小 | 最大 | |
| 出力周波数 | t _{CYCLE} | MCLKOUT* | V _{CC} ≥ 2.7 V | - | 40 | MHz |
| | | | V _{CC} < 2.7 V | - | 20 | MHz |

*: 外バスクロック出力(MCLKOUT)は HCLK の分周クロックです。

 設定の詳細は『FM3 ファミリー パリフェラルマニュアル』の『CHAPTER: 外部バスインタフェース』を参照してください。
 外バスクロック出力を行わない場合、本規格は外バス動作に影響しません。

外バス信号入出力規格

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = -40°C ~ +85°C)

| 項目 | 記号 | 条件 | 規格値 | 単位 | 備考 |
|--------|-----------------|----|-----------------------|----|----|
| 信号入力規格 | V _{IH} | - | 0.8 × V _{CC} | V | |
| | V _{IL} | | 0.2 × V _{CC} | V | |
| 信号出力規格 | V _{OH} | - | 0.8 × V _{CC} | V | |
| | V _{OL} | | 0.2 × V _{CC} | V | |

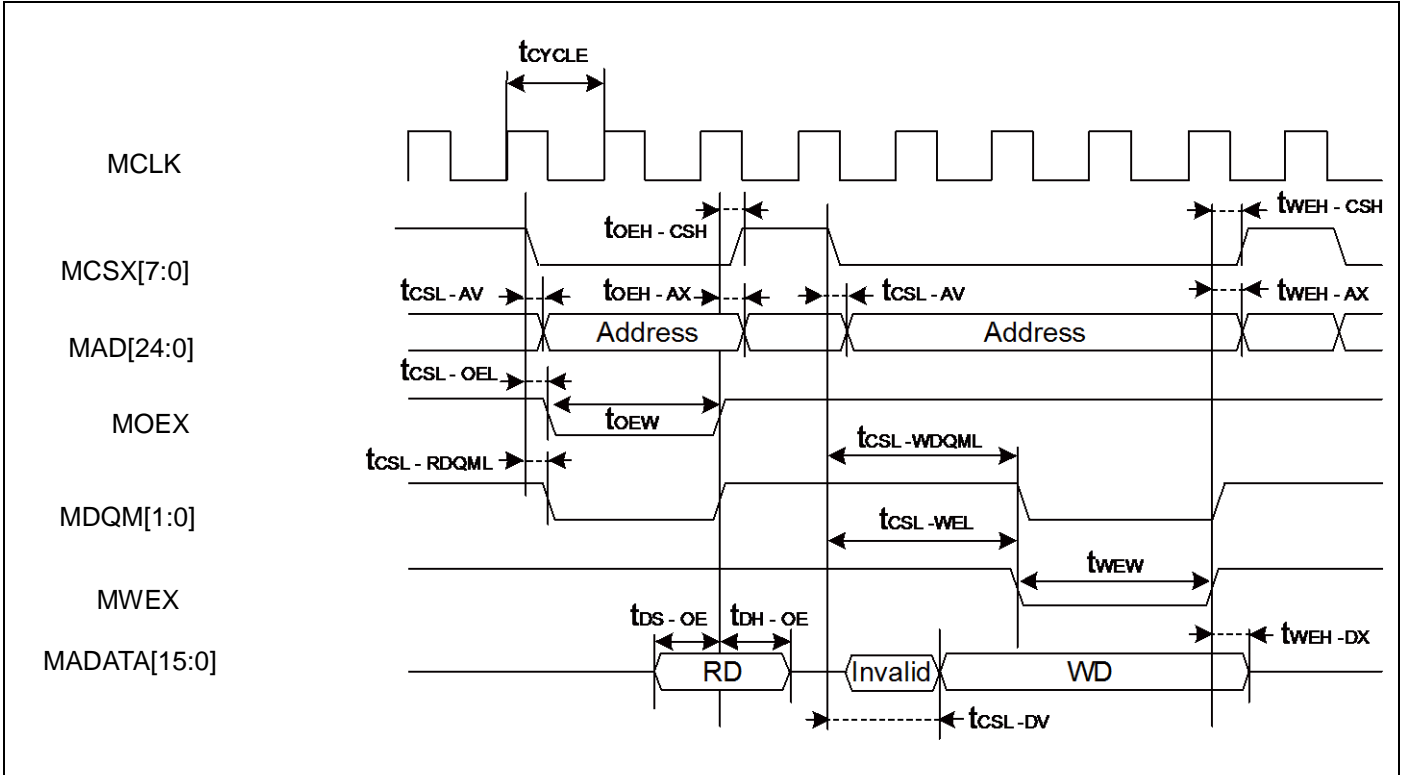


セパレートバスアクセス 非同期 SRAM モード
 $(V_{CC} = 1.65V \sim 3.6V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 |
|-----------------------|------------|-------------------------|---------------------------------------|-----------------------|-----------------------|----|
| | | | | 最小 | 最大 | |
| MOEX 最小パルス幅 | toEW | MOEX | $V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$ | MCLK×n-3 | - | ns |
| MCSX↓→アドレス 出力遅延時間 | tCSL-AV | MCSX[7:0], MAD[24:0] | $V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$ | -9 -12 | +9 +12 | ns |
| MOEX↑→アドレス ホールド時間 | toEH-AX | MOEX, MAD[24:0] | $V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$ | 0 | MCLK×m+9 MCLK×m+12 | ns |
| MCSX↓→ MOEX↓遅延時間 | tCSL-OEL | MOEX, MCSX[7:0] | $V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$ | MCLK×m-9 MCLK×m-12 | MCLK×m+9 MCLK×m+12 | ns |
| MOEX↑→ MCSX↑時間 | toEH-CSH | | $V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$ | 0 | MCLK×m+9 MCLK×m+12 | ns |
| MCSX↓→MDQM↓ 遅延時間 | tCSL-RDQML | MCSX, MDQM[1:0] | $V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$ | MCLK×m-9 MCLK×m-12 | MCLK×m+9 MCLK×m+12 | ns |
| データセットアップ →MOEX↑時間 | tDS-OE | MOEX, MADATA[15:0] | $V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$ | 30 38 | - - | ns |
| MOEX↑→ データホールド時間 | tDH-OE | MOEX, MADATA[15:0] | $V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$ | 0 | - | ns |
| MWEX 最小パルス幅 | twEW | MWEX | $V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$ | MCLK×n-3 | - | ns |
| MWEX↑→アドレス出 力遅延時間 | tWEH-AX | MWEX, MAD[24:0] | $V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$ | 0 | MCLK×m+9 MCLK×m+12 | ns |
| MCSX↓→MWEX↓ 遅延時間 | tCSL-WEL | MWEX, MCSX[7:0] | $V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$ | MCLK×n-9 MCLK×n-12 | MCLK×n+9 MCLK×n+12 | ns |
| MWEX↑→MCSX↑ 遅延時間 | tWEH-CSH | | $V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$ | 0 | MCLK×m+9 MCLK×m+12 | ns |
| MCSX↓→MDQM↓ 遅延時間 | tCSL-WDQML | MCSX, MDQM[1:0] | $V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$ | MCLK×n-9 MCLK×n-12 | MCLK×n+9 MCLK×n+12 | ns |
| MWEX↓→ データ出力時間 | tCSL-DV | MCSX, MADATA[15:0] | $V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$ | MCLK-9 MCLK-12 | MCLK+9 MCLK+12 | ns |
| MWEX↑→ データホールド時間 | tWEH-DX | MWEX, MADATA[15:0] | $V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$ | 0 | MCLK×m+9 MCLK×m+12 | ns |

<注意事項>

- 外部負荷容量 $C_L = 30 pF$ 時 ($m = 0 \sim 15, n = 1 \sim 16$)



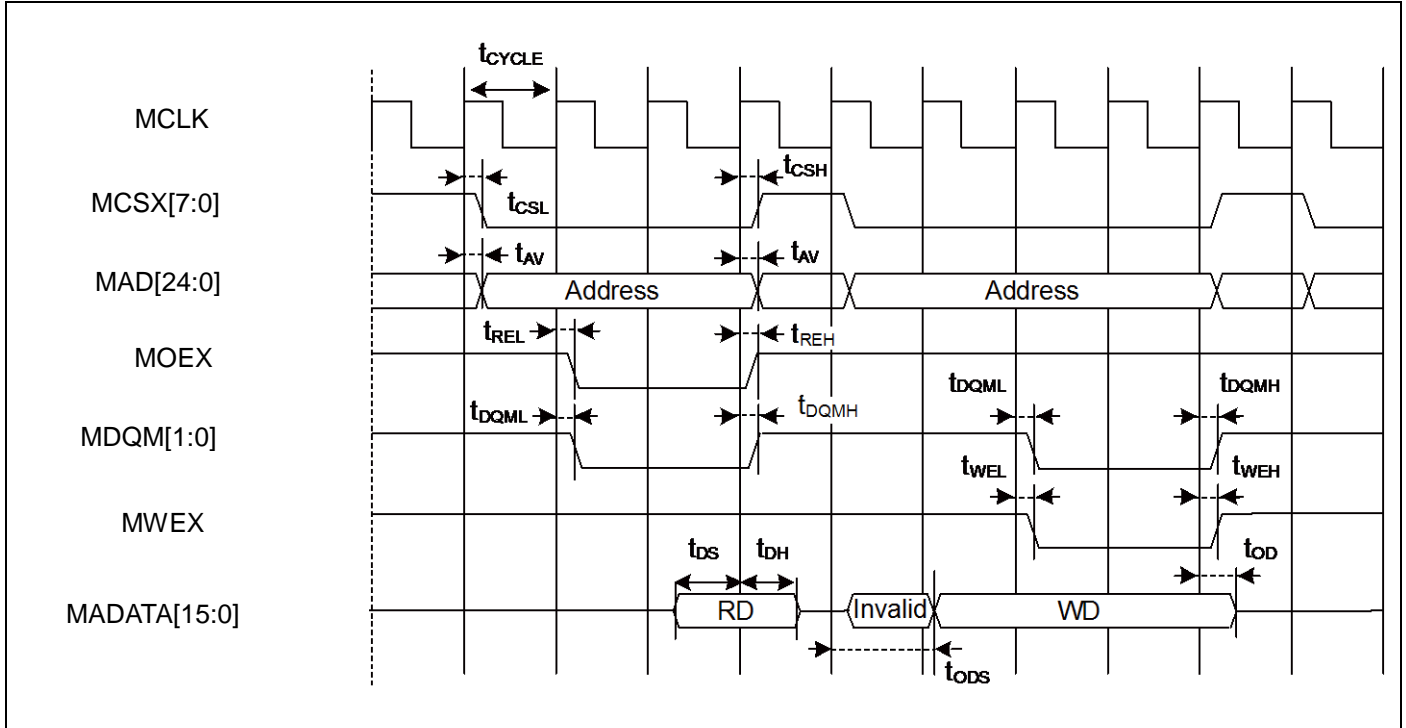
セパレートバスアクセス 同期 SRAM モード

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 |
|-------------------------|-------------------|-----------------------|-------------------------|----------|-----------|----|
| | | | | 最小 | 最大 | |
| アドレス遅延時間 | t _{AV} | MCLK, MAD[24:0] | V _{CC} ≥ 2.7 V | 1 | 12 | ns |
| | | | V _{CC} < 2.7 V | | 13 | |
| MCSX 遅延時間 | t _{CSL} | MCLK, MCSX[7:0] | V _{CC} ≥ 2.7 V | 1 | 12 | ns |
| | | | V _{CC} < 2.7 V | | | |
| | t _{CSH} | | V _{CC} ≥ 2.7 V | 1 | 12 | ns |
| | | | V _{CC} < 2.7 V | | | |
| MOEX 遅延時間 | t _{REL} | MCLK, MOEX | V _{CC} ≥ 2.7 V | 1 | 9 | ns |
| | | | V _{CC} < 2.7 V | | 12 | |
| | t _{REH} | | V _{CC} ≥ 2.7 V | 1 | 9 | ns |
| | | | V _{CC} < 2.7 V | | 12 | |
| データセットアップ →MCLK↑時間 | t _{DS} | MCLK, MADATA[15:0] | V _{CC} ≥ 2.7 V | 24 | - | ns |
| | | | V _{CC} < 2.7 V | 37 | | |
| MCLK↑→ データホールド時間 | t _{DH} | MCLK, MADATA[15:0] | V _{CC} ≥ 2.7 V | 0 | - | ns |
| V _{CC} < 2.7 V | | | | | | |
| MWEX 遅延時間 | t _{WEL} | MCLK, MWEX | V _{CC} ≥ 2.7 V | 1 | 9 | ns |
| | | | V _{CC} < 2.7 V | | 12 | |
| | t _{WEH} | | V _{CC} ≥ 2.7 V | 1 | 9 | ns |
| | | | V _{CC} < 2.7 V | | 12 | |
| MDQM[1:0] 遅延時間 | t _{DQML} | MCLK, MDQM[1:0] | V _{CC} ≥ 2.7 V | 1 | 9 | ns |
| | | | V _{CC} < 2.7 V | | 12 | |
| | t _{DQMH} | | V _{CC} ≥ 2.7 V | 1 | 9 | ns |
| | | | V _{CC} < 2.7 V | | 12 | |
| MCLK↑→ データ出力時間 | t _{ODS} | MCLK, MADATA[15:0] | V _{CC} ≥ 2.7 V | MCLK + 1 | MCLK + 18 | ns |
| | | | V _{CC} < 2.7 V | | MCLK + 24 | |
| MCLK↑→ データホールド時間 | t _{OD} | MCLK, MADATA[15:0] | V _{CC} ≥ 2.7 V | 1 | 18 | ns |
| | | | V _{CC} < 2.7 V | | 24 | |

<注意事項>

- 外部負荷容量 C_L = 30 pF 時



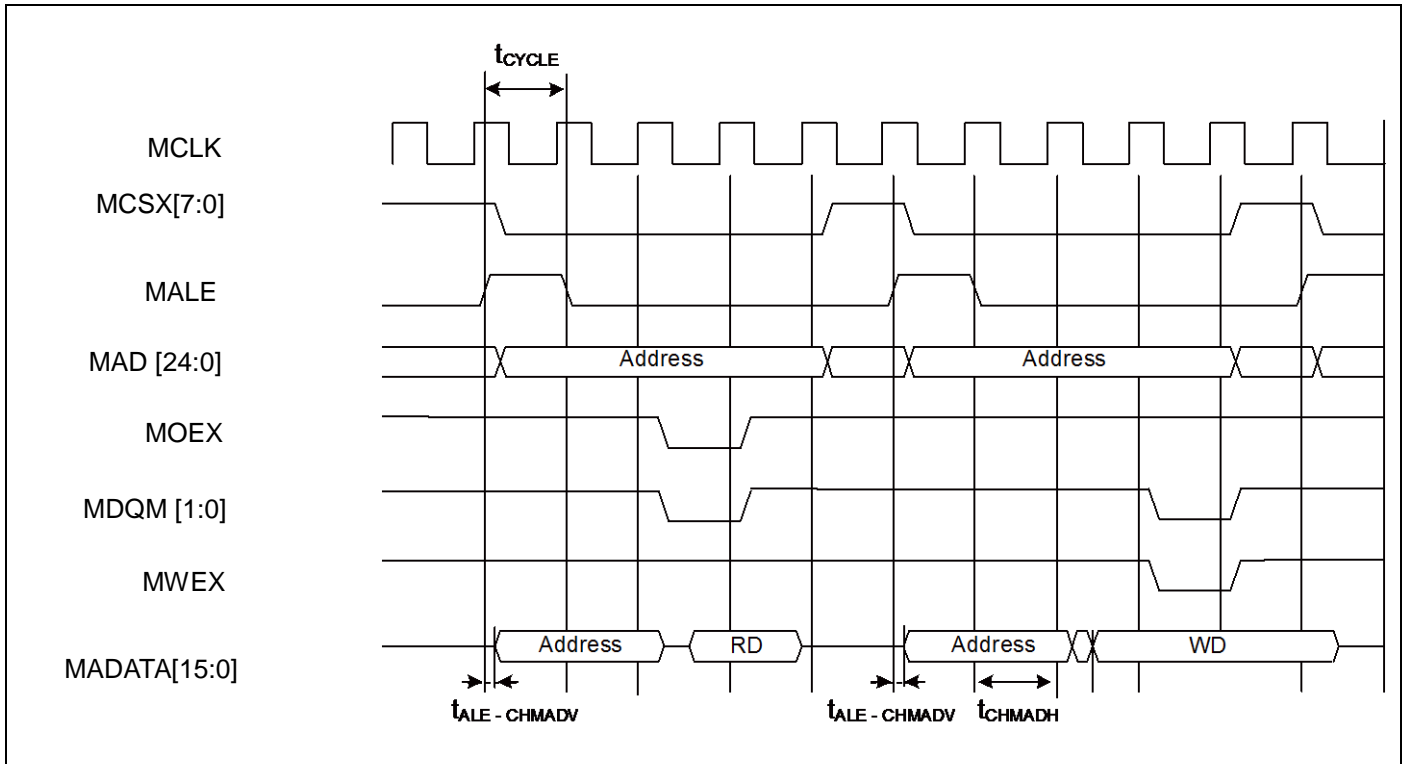
マルチプレクスバスアクセス 非同期 SRAM モード

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 |
|---------------------------|-------------------------|-----------------------|-------------------------|----------|-----------|----|
| | | | | 最小 | 最大 | |
| マルチプレクス アドレス遅延時間 | t _{ALE-CHMADV} | MALE, MADATA[15:0] | V _{CC} ≥ 2.7 V | -2 | +10 | ns |
| | | | V _{CC} < 2.7 V | | +20 | |
| マルチプレクス アドレスホールド 時間 | t _{CHMADH} | MALE, MADATA[15:0] | V _{CC} ≥ 2.7 V | MCLK×n+0 | MCLK×n+10 | ns |
| | | | V _{CC} < 2.7 V | MCLK×n+0 | MCLK×n+20 | |

<注意事項>

- 外部負荷容量 C_L = 30 pF 時 (m = 0 ~ 15, n = 1 ~ 16)



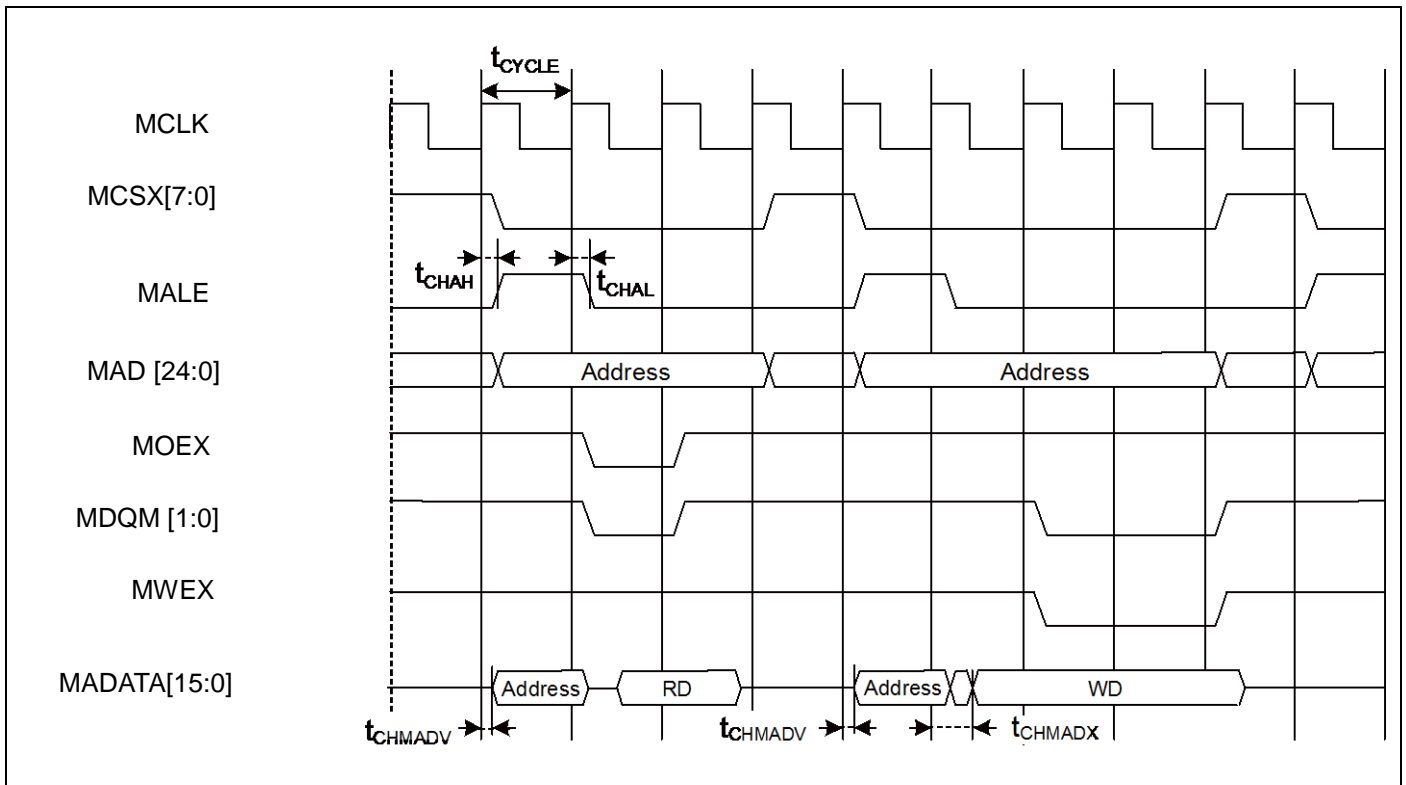
マルチプレクスバスアクセス 同期 SRAM モード

($V_{CC} = 1.65V \sim 3.6V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 | 備考 |
|---------------------------------|---------------------|-----------------------|--------------------|-----|-----------------|----|----|
| | | | | 最小 | 最大 | | |
| MALE 遅延時間 | t _{CHAL} | MCLK, ALE | $V_{CC} \geq 2.7V$ | 1 | 9 | ns | |
| | | | $V_{CC} < 2.7V$ | | 12 | | |
| | t _{CHAH} | | $V_{CC} \geq 2.7V$ | 1 | 9 | ns | |
| | | | $V_{CC} < 2.7V$ | | 12 | | |
| MCLK ↑ → マルチプレクス アドレス遅延時間 | t _{CHMADV} | MCLK, MADATA[15:0] | $V_{CC} \geq 2.7V$ | 1 | t _{OD} | ns | |
| | | | $V_{CC} < 2.7V$ | | | | |
| MCLK ↑ → マルチプレクス データ出力時間 | t _{CHMADX} | | $V_{CC} \geq 2.7V$ | 1 | t _{OD} | ns | |
| | | | $V_{CC} < 2.7V$ | | | | |

<注意事項>

- 外部負荷容量 $C_L = 30\text{ pF}$ 時

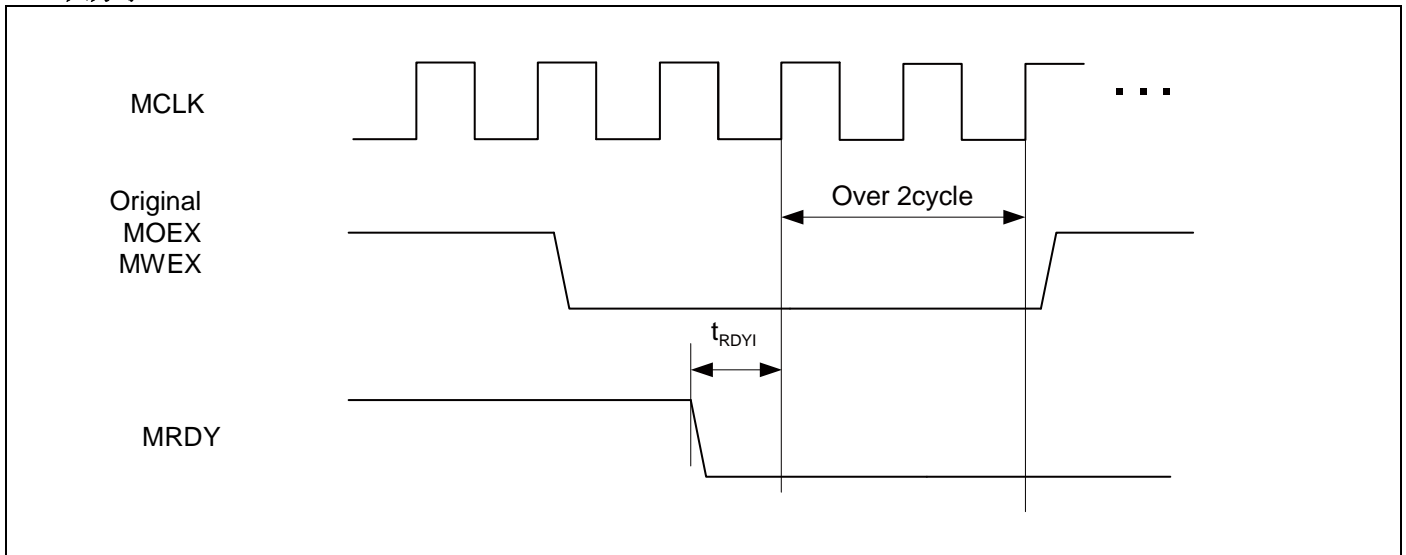


外部 RDY 入力タイミング

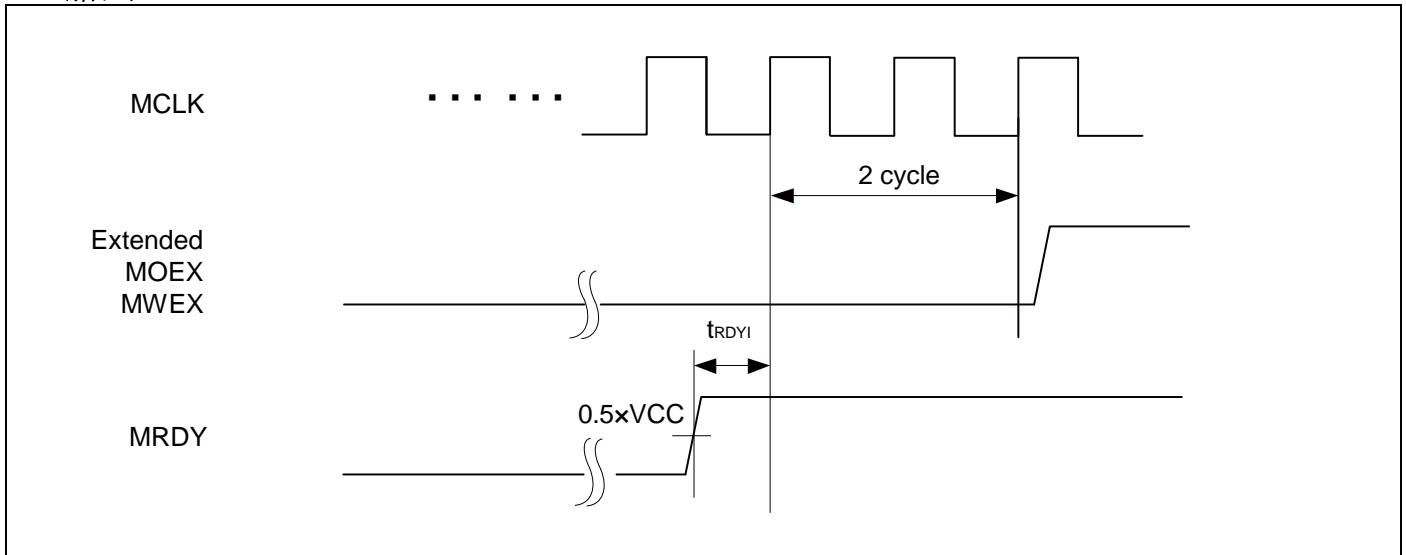
($V_{CC} = 1.65V \sim 3.6V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 | 備考 |
|-------------------------------|------------|---------------|--------------------|-----|----|----|----|
| | | | | 最小 | 最大 | | |
| MCLK ↑ MRDY 入力 セットアップ時間 | t_{RDYI} | MCLK, MRDY | $V_{CC} \geq 2.7V$ | 23 | - | ns | |
| | | | $V_{CC} < 2.7V$ | 37 | | | |

RDY 入力時



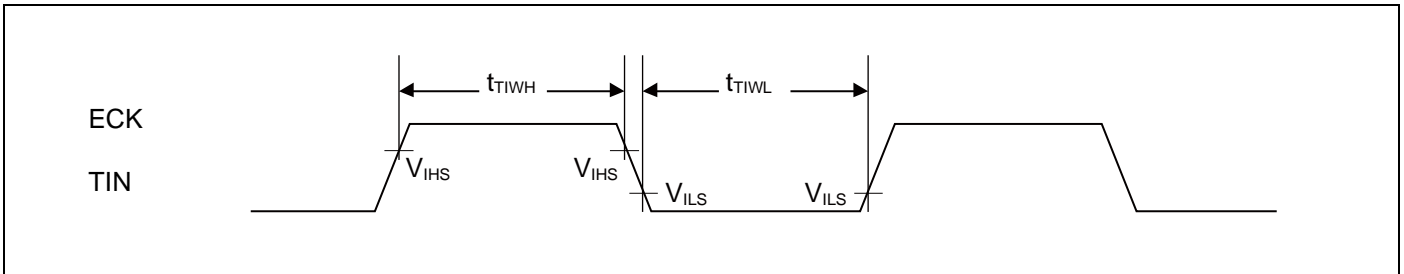
RDY 解除時



12.4.9 ベースタイマ入力タイミング
タイマ入力タイミング

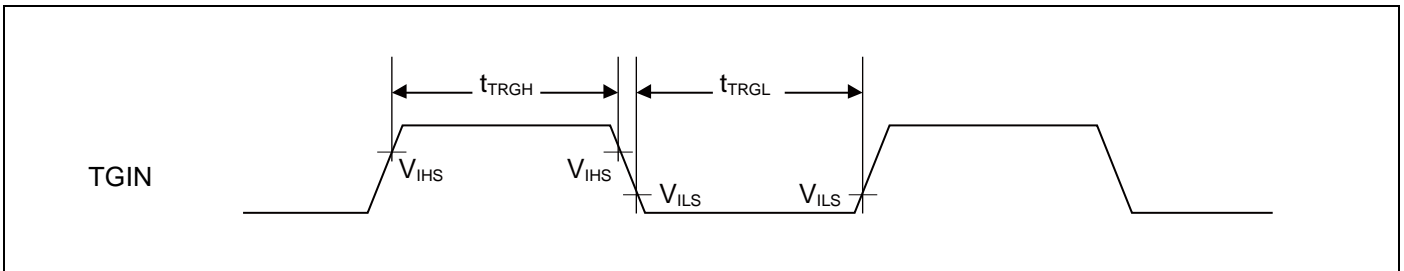
 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 | 備考 |
|--------|--|---|----|--------------------|----|----|----|
| | | | | 最小 | 最大 | | |
| 入力パルス幅 | t _{TIWH} , t _{TIWL} | TIOAn/TIOBn (ECK, TIN として 使用するとき) | - | 2t _{CYCP} | - | ns | |


トリガ入力タイミング

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 | 備考 |
|--------|--|-------------------------------------|----|--------------------|----|----|----|
| | | | | 最小 | 最大 | | |
| 入力パルス幅 | t _{TRGH} , t _{TRGL} | TIOAn/TIOBn (TGIN として使用 するとき) | - | 2t _{CYCP} | - | ns | |


<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。ベースタイマが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。

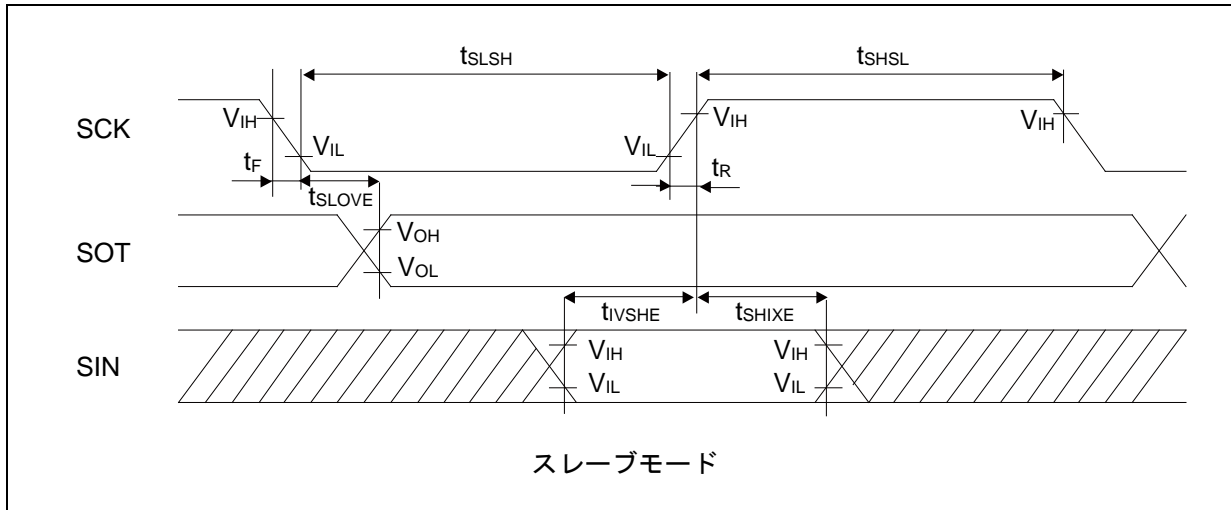
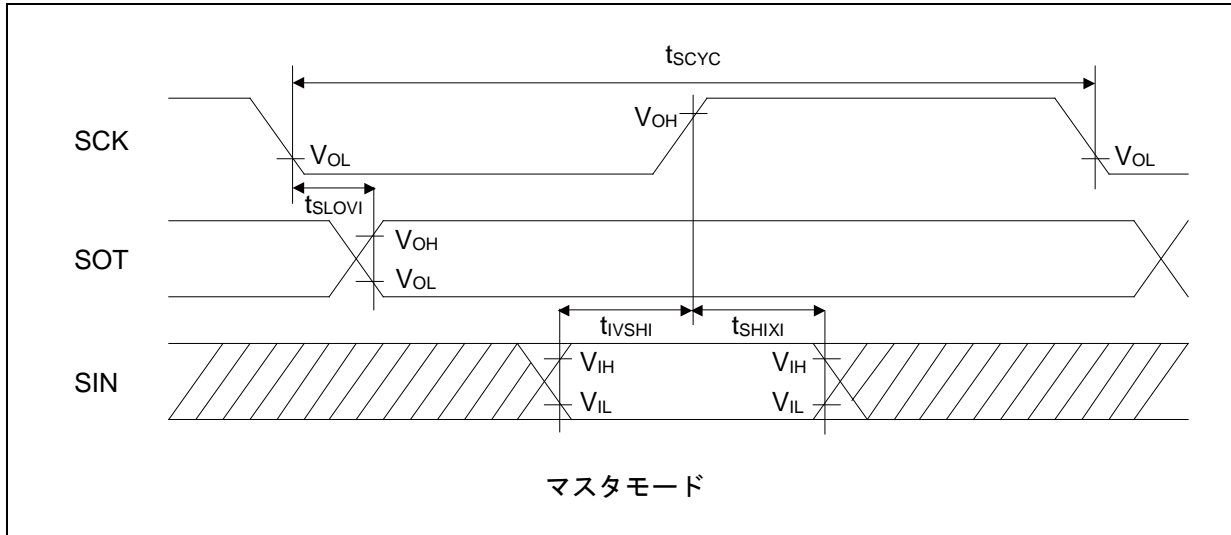
12.4.10 CSIO/UART タイミング
CSIO (SPI = 0, SCINV = 0)

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

| 項目 | 記号 | 端子名 | 条件 | V _{CC} <2.7 V | | V _{CC} ≥2.7 V | | 単位 |
|-------------------------|--------------------|--|-------------|-------------------------|------|-------------------------|------|------|
| | | | | 最小 | 最大 | 最小 | 最大 | |
| ボーレート | - | - | - | - | 8 | - | 8 | Mbps |
| シリアルクロック サイクルタイム | t _{SCYC} | SCK _X | マスタ モード | 4t _{CYCP} | - | 4t _{CYCP} | - | ns |
| SCK ↓ → SOT 遅延時間 | t _{SLOVI} | SCK _X , SOT _X | | - 30 | + 30 | - 20 | + 20 | ns |
| SIN → SCK ↑ セットアップ時間 | t _{IVSHI} | SCK _X , SIN _X | | 50 | - | 36 | - | ns |
| SCK ↑ → SIN ホールド時間 | t _{SHIXI} | SCK _X , SIN _X | | 0 | - | 0 | - | ns |
| シリアルクロック "L"パルス幅 | t _{LSH} | SCK _X | スレーブ モード | 2t _{CYCP} - 10 | - | 2t _{CYCP} - 10 | - | ns |
| シリアルクロック "H"パルス幅 | t _{HSL} | SCK _X | | t _{CYCP} + 10 | - | t _{CYCP} + 10 | - | ns |
| SCK ↓ → SOT 遅延時間 | t _{SLOVE} | SCK _X , SOT _X | | - | 50 | - | 33 | ns |
| SIN → SCK ↑ セットアップ時間 | t _{IVSHE} | SCK _X , SIN _X | | 10 | - | 10 | - | ns |
| SCK ↑ → SIN ホールド時間 | t _{SHIXE} | SCK _X , SIN _X | | 20 | - | 20 | - | ns |
| SCK 立下り時間 | t _F | SCK _X | | - | 5 | - | 5 | ns |
| SCK 立上り時間 | t _R | SCK _X | - | 5 | - | 5 | ns | |

<注意事項>

- クロック同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。例えば SCK_{X_0}, SOT_{X_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF 時



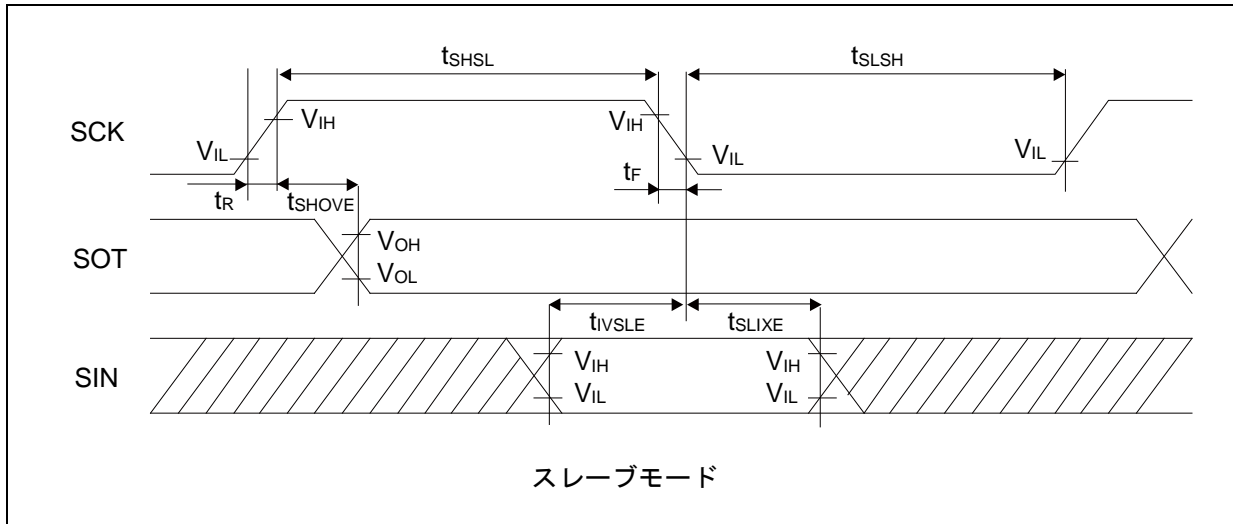
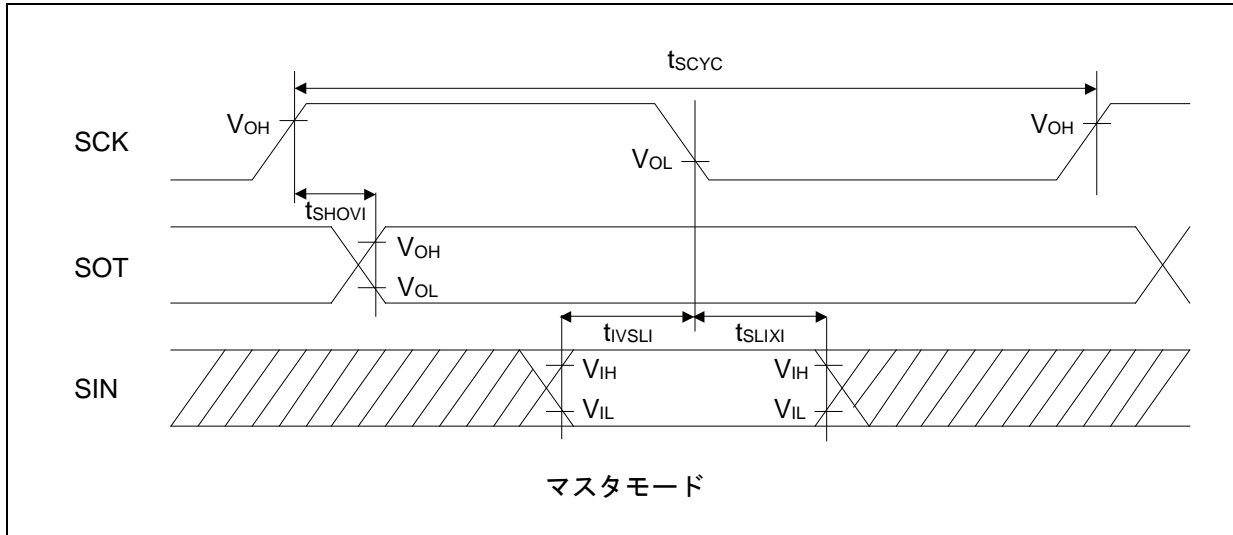
CSIO (SPI = 0, SCINV = 1)

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

| 項目 | 記号 | 端子名 | 条件 | V _{CC} <2.7 V | | V _{CC} ≥2.7 V | | 単位 |
|-------------------------|--------------------|--|-------------|-------------------------|------|-------------------------|------|------|
| | | | | 最小 | 最大 | 最小 | 最大 | |
| ボーレート | - | - | - | - | 8 | - | 8 | Mbps |
| シリアルクロック サイクルタイム | t _{SCYC} | SCK _X | マスタ モード | 4t _{CYCP} | - | 4t _{CYCP} | - | ns |
| SCK ↑ → SOT 遅延 時間 | t _{SHOVI} | SCK _X , SOT _X | | - 30 | + 30 | - 20 | + 20 | ns |
| SIN → SCK ↓ セットアップ時間 | t _{IVSLI} | SCK _X , SIN _X | | 50 | - | 36 | - | ns |
| SCK ↓ → SIN ホールド 時間 | t _{SLIXI} | SCK _X , SIN _X | | 0 | - | 0 | - | ns |
| シリアルクロック "L"パルス幅 | t _{LSH} | SCK _X | スレーブ モード | 2t _{CYCP} - 10 | - | 2t _{CYCP} - 10 | - | ns |
| シリアルクロック "H"パルス幅 | t _{HSL} | SCK _X | | t _{CYCP} + 10 | - | t _{CYCP} + 10 | - | ns |
| SCK ↑ → SOT 遅延 時間 | t _{SHOVE} | SCK _X , SOT _X | | - | 50 | - | 33 | ns |
| SIN → SCK ↓ セットアップ時間 | t _{IVSLE} | SCK _X , SIN _X | | 10 | - | 10 | - | ns |
| SCK ↓ → SIN ホールド 時間 | t _{SLIXE} | SCK _X , SIN _X | | 20 | - | 20 | - | ns |
| SCK 立下り時間 | t _F | SCK _X | | - | 5 | - | 5 | ns |
| SCK 立上り時間 | t _R | SCK _X | | - | 5 | - | 5 | ns |

<注意事項>

- クロック同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。例えば SCLK_{x_0}, SOT_{x_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF 時



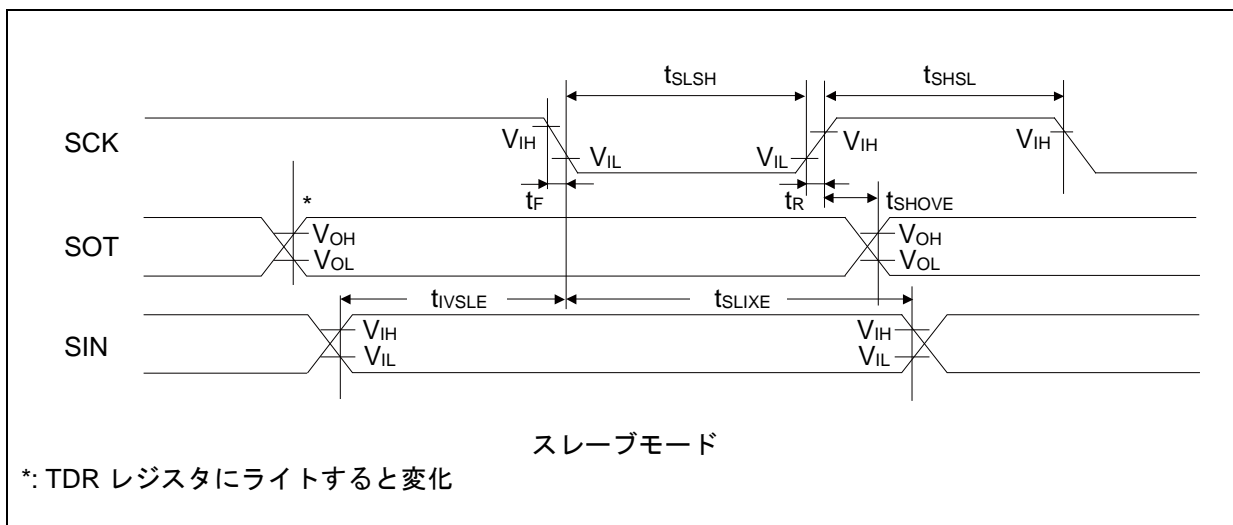
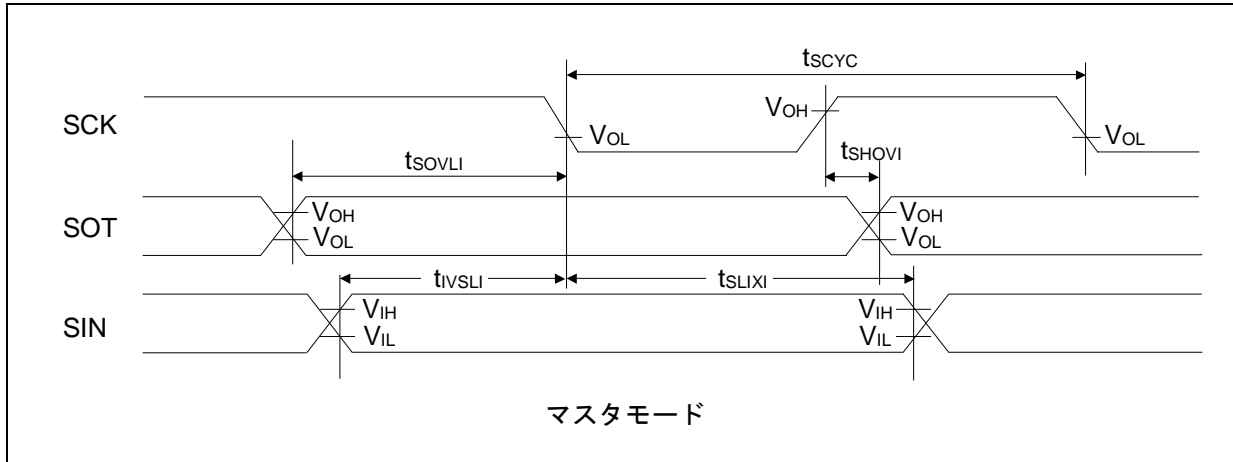
CSIO (SPI = 1, SCINV = 0)

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = -40°C ~ +85°C)

| 項目 | 記号 | 端子名 | 条件 | V _{CC} < 2.7 V | | V _{CC} ≥ 2.7 V | | 単位 |
|-------------------------|--------------------|--|------------------------|-------------------------|------------------------|-------------------------|------|------|
| | | | | 最小 | 最大 | 最小 | 最大 | |
| ボーレート | - | - | - | - | 8 | - | 8 | Mbps |
| シリアルクロック サイクルタイム | t _{SCYC} | SCK _X | マスタ モード | 4t _{CYCP} | - | 4t _{CYCP} | - | ns |
| SCK ↑ → SOT 遅延時間 | t _{SHOVI} | SCK _X , SOT _X | | - 30 | + 30 | - 20 | + 20 | ns |
| SIN → SCK ↓ セットアップ時間 | t _{IVSLI} | SCK _X , SIN _X | | 50 | - | 36 | - | ns |
| SCK ↓ → SIN ホールド時 間 | t _{SLIXI} | SCK _X , SIN _X | | 0 | - | 0 | - | ns |
| SOT → SCK ↓ 遅延時間 | t _{SOVLI} | SCK _X , SOT _X | | 2t _{CYCP} - 34 | - | 2t _{CYCP} - 34 | - | ns |
| シリアルクロック "L"パルス幅 | t _{LSH} | SCK _X | | 2t _{CYCP} - 10 | - | 2t _{CYCP} - 10 | - | ns |
| シリアルクロック "H"パルス幅 | t _{SHSL} | SCK _X | t _{CYCP} + 10 | - | t _{CYCP} + 10 | - | ns | |
| SCK ↑ → SOT 遅延時間 | t _{SHOVE} | SCK _X , SOT _X | スレーブ モード | - | 50 | - | 33 | ns |
| SIN → SCK ↓ セットアップ時間 | t _{IVSLE} | SCK _X , SIN _X | | 10 | - | 10 | - | ns |
| SCK ↓ → SIN ホールド時 間 | t _{SLIXE} | SCK _X , SIN _X | | 20 | - | 20 | - | ns |
| SCK 立下り時間 | t _F | SCK _X | | - | 5 | - | 5 | ns |
| SCK 立上り時間 | t _R | SCK _X | | - | 5 | - | 5 | ns |

<注意事項>

- クロック同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{X_0}, SOT_{X_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF 時



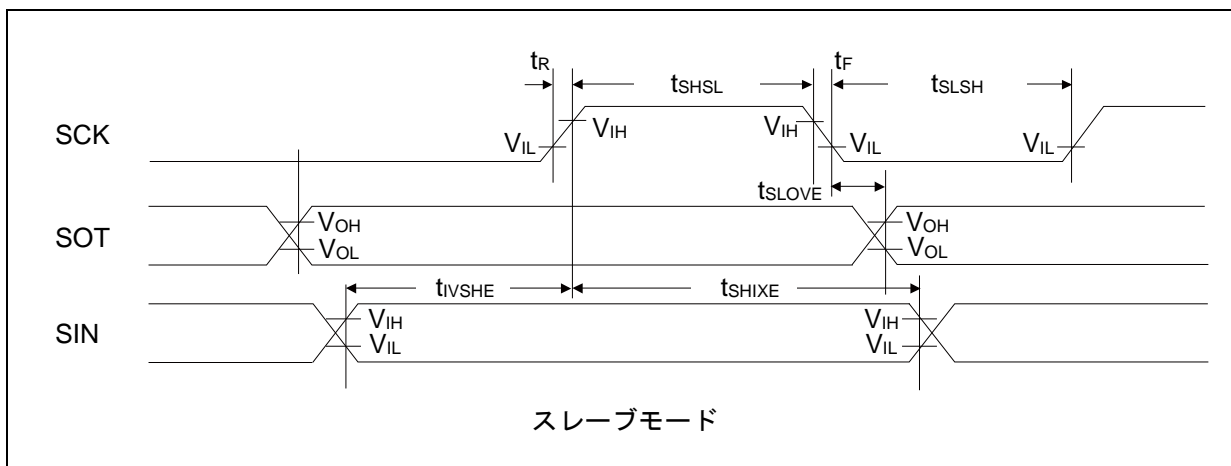
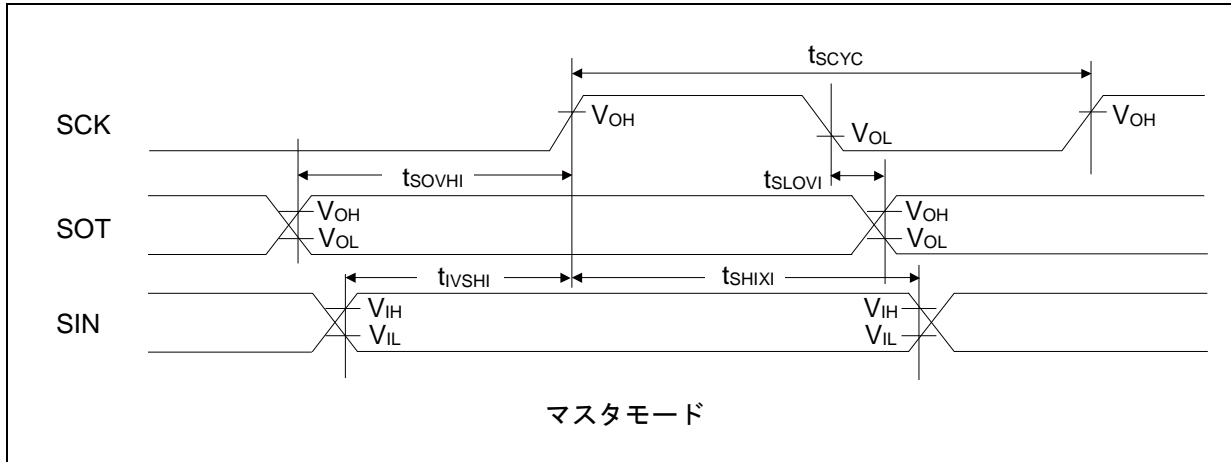
CSIO (SPI = 1, SCINV = 1)

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = -40°C ~ +85°C)

| 項目 | 記号 | 端子名 | 条件 | V _{CC} <2.7 V | | V _{CC} ≥2.7 V | | 単位 |
|----------------------|--------------------|--|-------------|-------------------------|------|-------------------------|------|------|
| | | | | 最小 | 最大 | 最小 | 最大 | |
| ボーレート | - | - | - | - | 8 | - | 8 | Mbps |
| シリアルクロック サイクルタイム | t _{SCYC} | SCK _X | マスタ モード | 4t _{CYCP} | - | 4t _{CYCP} | - | ns |
| SCK↓→SOT 遅延 時間 | t _{SLOVI} | SCK _X , SOT _X | | - 30 | + 30 | - 20 | + 20 | ns |
| SIN→SCK↑ セットアップ時間 | t _{IVSHI} | SCK _X , SIN _X | | 50 | - | 36 | - | ns |
| SCK↑→SIN ホールド 時間 | t _{SHIXI} | SCK _X , SIN _X | | 0 | - | 0 | - | ns |
| SOT→SCK↑遅延時間 | t _{SOVHI} | SCK _X , SOT _X | | 2t _{CYCP} - 34 | - | 2t _{CYCP} - 34 | - | ns |
| シリアルクロック "L"パルス幅 | t _{LSLH} | SCK _X | スレーブ モード | 2t _{CYCP} - 10 | - | 2t _{CYCP} - 10 | - | ns |
| シリアルクロック "H"パルス幅 | t _{HSLS} | SCK _X | | t _{CYCP} + 10 | - | t _{CYCP} + 10 | - | ns |
| SCK↓→SOT 遅延 時間 | t _{SLOVE} | SCK _X , SOT _X | | - | 50 | - | 33 | ns |
| SIN→SCK↑ セットアップ時間 | t _{IVSHE} | SCK _X , SIN _X | | 10 | - | 10 | - | ns |
| SCK↑→SIN ホールド 時間 | t _{SHIXE} | SCK _X , SIN _X | | 20 | - | 20 | - | ns |
| SCK 立下り時間 | t _F | SCK _X | | - | 5 | - | 5 | ns |
| SCK 立上り時間 | t _R | SCK _X | | - | 5 | - | 5 | ns |

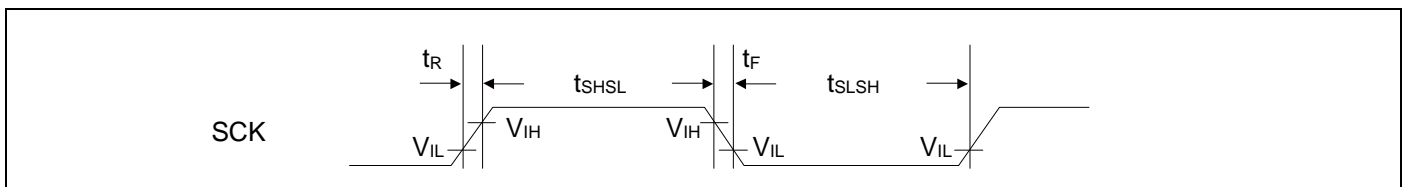
<注意事項>

- クロック同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{X_0}, SOT_{X_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF 時


UART 外部クロック入力(EXT = 1)

(Vcc = 1.65V ~ 3.6V, Vss = 0V, TA = -40°C ~ +85°C)

| 項目 | 記号 | 条件 | 規格値 | | 単位 | 備考 |
|-----------------|-------|------------|------------|----|----|----|
| | | | 最小 | 最大 | | |
| シリアルクロック"L"パルス幅 | tSLSH | CL = 30 pF | tCYCP + 10 | - | ns | |
| シリアルクロック"H"パルス幅 | tSHSL | | tCYCP + 10 | - | ns | |
| SCK 立下り時間 | tF | | - | 5 | ns | |
| SCK 立上り時間 | tR | | - | 5 | ns | |



12.4.11 外部入力タイミング

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 | 備考 |
|--------|--|----------------|----|----------------------------|------------------|----|--------------------|
| | | | | 最小 | 最大 | | |
| 入力パルス幅 | t _{INH} , t _{INL} | ADTG | - | 2t _{CYCP} *1 | - | ns | A/D コンバータ トリガ入力 |
| | | INTxx, NMIX | *2 | 2t _{CYCP} + 100*1 | - | ns | 外部割込み NMI |
| | | | *3 | 500 | - | ns | |
| WKUPx | *4 | 600 | - | ns | ディープスタンバイウェイクアップ | | |

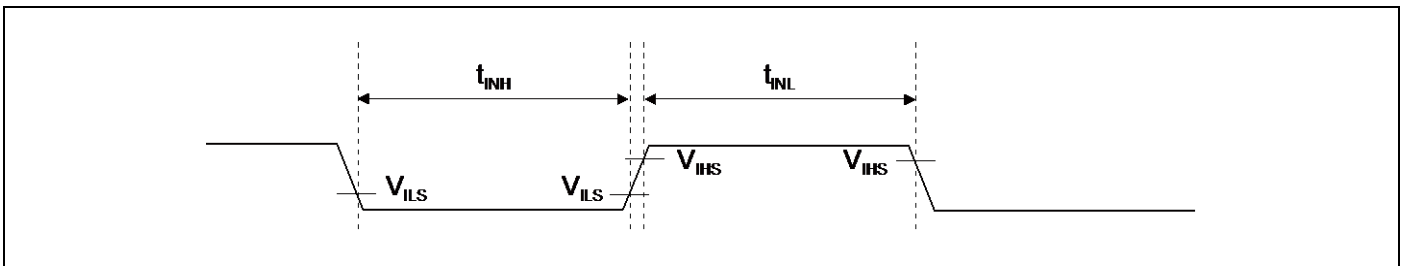
 *1: t_{CYCP} は APB バスクロックのサイクル時間です。

多機能タイマが接続されている APB バス番号については「8.ブロックダイヤグラム」を参照してください。

*2: ランモード, スリープモード時

*3: タイマモード, RTC モード, ストップモード時

*4: ディープスタンバイ RTC モード, ディープスタンバイストップモード時



12.4.12 I²C タイミング

(V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

| 項目 | 記号 | 条件 | Standard-mode | | Fast-mode | | 単位 | 備考 |
|---|--------------------|---|---------------|------------------------------------|-----------|------------------------------------|-----|----|
| | | | 最小 | 最大 | 最小 | 最大 | | |
| SCL クロック周波数 | f _{SCL} | C _L = 30 pF, R = (V _p /I _{OL})* ¹ | 0 | 100 | 0 | 400 | kHz | |
| (反復)「スタート」条件 ホールド時間 SDA ↓ → SCL ↓ | t _{HDSTA} | | 4.0 | - | 0.6 | - | μs | |
| SCL クロック "L" 幅 | t _{LOW} | | 4.7 | - | 1.3 | - | μs | |
| SCL クロック "H" 幅 | t _{HIGH} | | 4.0 | - | 0.6 | - | μs | |
| 反復「スタート」条件 セットアップ時間 SCL ↑ → SDA ↓ | t _{SUSTA} | | 4.7 | - | 0.6 | - | μs | |
| データホールド時間 SCL ↓ → SDA ↓ ↑ | t _{HDDAT} | | 0 | 3.45* ² | 0 | 0.9* ³ | μs | |
| データセットアップ時間 SDA ↓ ↑ → SCL ↑ | t _{SUDAT} | | 250 | - | 100 | - | ns | |
| 「ストップ」条件 セットアップ時間 SCL ↑ → SDA ↑ | t _{SUSTO} | | 4.0 | - | 0.6 | - | μs | |
| 「ストップ」条件と 「スタート」条件との間の パスフリー時間 | t _{BUF} | | 4.7 | - | 1.3 | - | μs | |
| ノイズフィルタ | t _{SP} | | - | 2 t _{CYCP} * ⁴ | - | 2 t _{CYCP} * ⁴ | ns | |

*1: R, C は、SCL, SDA ラインのプルアップ抵抗、負荷容量です。V_p はプルアップ抵抗の電源電圧、I_{OL} は V_{OL} 保証電流を示します。

*2: 最大 t_{HDDAT} は少なくともデバイスの SCL 信号の "L" 区間(t_{LOW})を延長していないということを満たしていなければなりません。

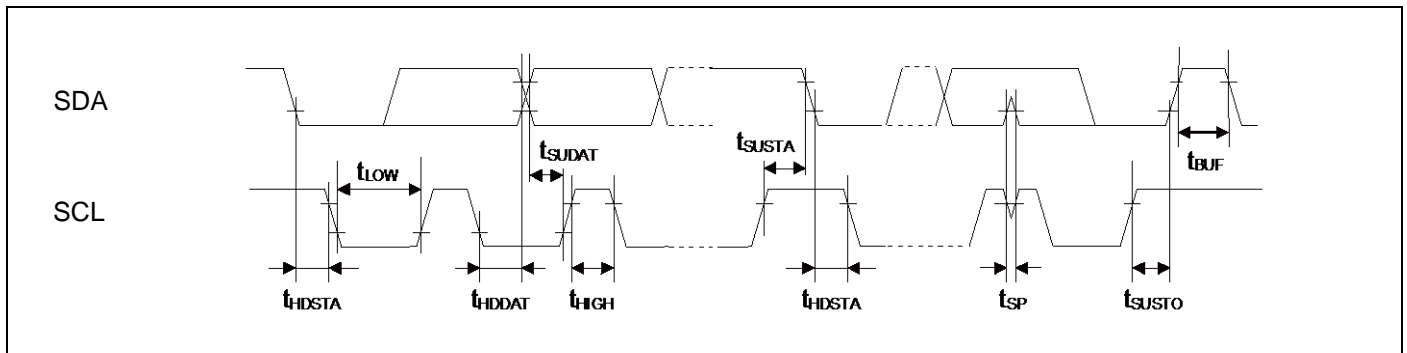
*3: Fast-mode I²C バスデバイスを Standard-mode I²C バスシステムに使用することはできますが、要求される条件 t_{SUDAT} ≥ 250 ns を満足しなければなりません。

*4: t_{CYCP} は、APB バスクロックのサイクル時間です。

I²C が接続されている APB バス番号については「8.ブロックダイアグラム」を参照してください。

Standard-mode 使用時は、APB バスクロックを 2 MHz 以上に設定してください。

Fast-mode 使用時は、APB バスクロックを 8 MHz 以上に設定してください。



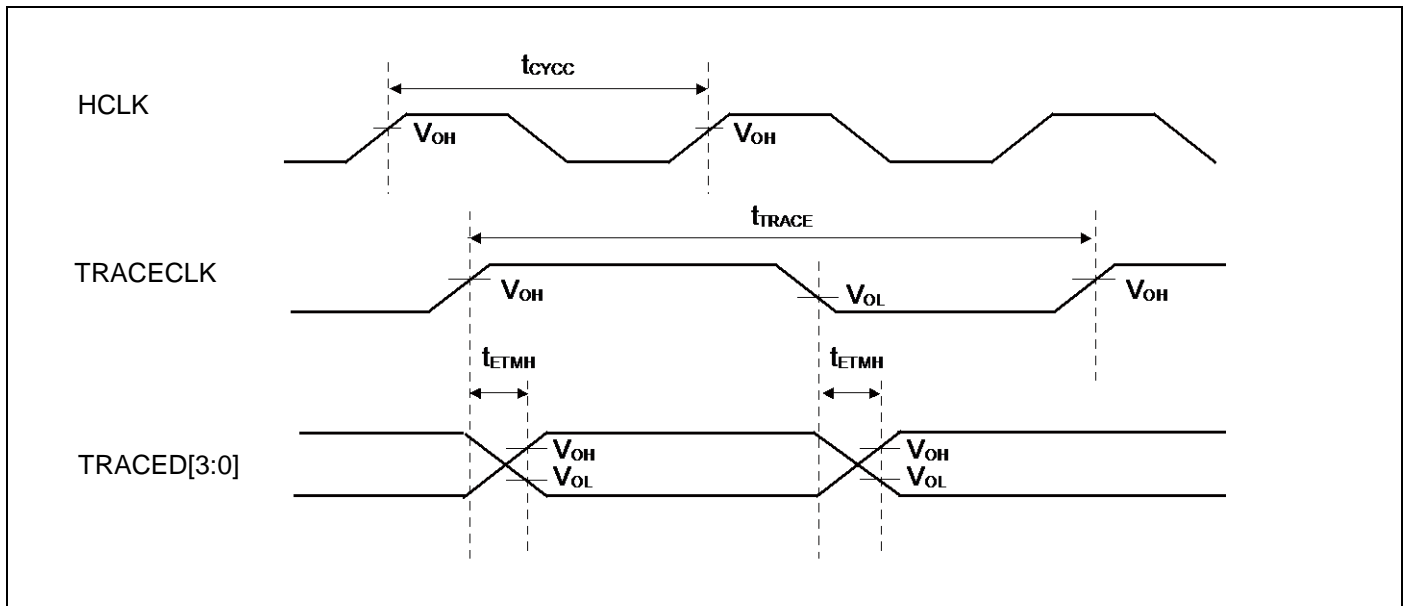
12.4.13 ETM タイミング

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 | 備考 |
|--------------------|----------------------|--------------------------|-------------------------|-----|----|-----|----|
| | | | | 最小 | 最大 | | |
| データホールド | t _{ETMH} | TRACECLK, TRACED[3:0] | V _{CC} ≥ 2.7 V | 2 | 11 | ns | |
| | | | V _{CC} < 2.7 V | 2 | 15 | | |
| TRACECLK 周波数 | 1/t _{TRACE} | TRACECLK | V _{CC} ≥ 2.7 V | - | 40 | MHz | |
| | | | V _{CC} < 2.7 V | - | 20 | MHz | |
| TRACECLK クロック周期 | t _{TRACE} | TRACECLK | V _{CC} ≥ 2.7 V | 25 | - | ns | |
| | | | V _{CC} < 2.7 V | 50 | - | ns | |

<注意事項>

- 外部負荷容量 C_L = 30 pF 時



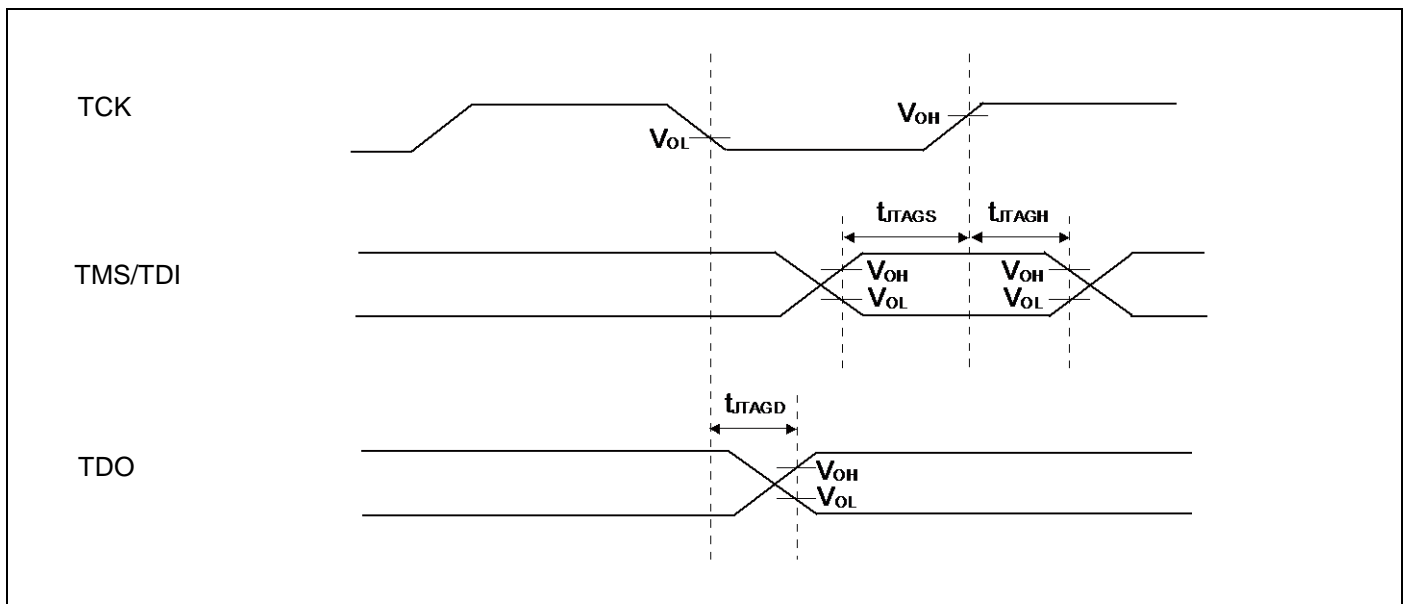
12.4.14 JTAG タイミング

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

| 項目 | 記号 | 端子名 | 条件 | 規格値 | | 単位 | 備考 |
|----------------------|--------------------|------------------|-------------------------|-----|----|----|----|
| | | | | 最小 | 最大 | | |
| TMS, TDI セットアップ時間 | t _{JTAGS} | TCK, TMS, TDI | V _{CC} ≥ 2.7 V | 15 | - | ns | |
| | | | V _{CC} < 2.7 V | | | | |
| TMS, TDI ホールド時間 | t _{JTAGH} | TCK, TMS, TDI | V _{CC} ≥ 2.7 V | 15 | - | ns | |
| | | | V _{CC} < 2.7 V | | | | |
| TDO 遅延時間 | t _{JTAGD} | TCK, TDO | V _{CC} ≥ 2.7 V | - | 25 | ns | |
| | | | V _{CC} < 2.7 V | - | 45 | | |

<注意事項>

- 外部負荷容量 C_L = 30 pF 時



12.5 12ビット A/D コンバータ

A/D 変換部電気的特性

($V_{CC} = AV_{CC} = 1.65V \sim 3.6V$, $V_{SS} = AV_{SS} = 0V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

| 項目 | 記号 | 端子名 | 規格値 | | | 単位 | 備考 |
|-----------------|------------------|------|-----------|--------------|---------------|------------|-----------------------------|
| | | | 最小 | 標準 | 最大 | | |
| 分解能 | - | - | - | - | 12 | bit | |
| 積分直線性誤差 | - | - | - | ± 2 | ± 4.5 | LSB | |
| 微分直線性誤差 | - | - | - | ± 2.2 | ± 2.5 | LSB | |
| ゼロトランジション電圧 | V_{ZT} | ANxx | - | ± 6 | ± 15 | mV | |
| フルスケールトランジション電圧 | V_{FST} | ANxx | - | $AVRH \pm 6$ | $AVRH \pm 15$ | mV | |
| 変換時間*1 | - | - | 2.0 | - | - | μs | $AV_{CC} \geq 2.7V$ |
| | | | 4.0 | - | - | | $1.8V \leq AV_{CC} < 2.7V$ |
| | | | 10 | - | - | | $1.65V \leq AV_{CC} < 1.8V$ |
| サンプリング時間*2 | t_s | - | 0.6 | - | 10 | μs | $AV_{CC} \geq 2.7V$ |
| | | | 1.2 | - | | | $1.8V \leq AV_{CC} < 2.7V$ |
| | | | 3.0 | - | | | $1.65V \leq AV_{CC} < 1.8V$ |
| コンペアクロック周期*3 | t _{CK} | - | 100 | - | 1000 | ns | $AV_{CC} \geq 2.7V$ |
| | | | 200 | | | | $1.8V \leq AV_{CC} < 2.7V$ |
| | | | 500 | | | | $1.65V \leq AV_{CC} < 1.8V$ |
| 動作許可状態遷移時間 | t _{STF} | - | - | - | 1.0 | μs | |
| アナログ入力容量 | C _{AIN} | - | - | - | 9.4 | pF | |
| アナログ入力抵抗 | R _{AIN} | - | - | - | 2.2 | k Ω | $AV_{CC} \geq 2.7V$ |
| | | | | | 5.5 | | $1.8V \leq AV_{CC} < 2.7V$ |
| | | | | | 10.5 | | $1.65V \leq AV_{CC} < 1.8V$ |
| チャンネル間ばらつき | - | - | - | - | 4 | LSB | |
| アナログポート入力リーク電流 | - | ANxx | - | - | 5 | μA | |
| アナログ入力電圧 | - | ANxx | AV_{SS} | - | $AVRH$ | V | |
| 基準電圧 | - | AVRH | 2.7 | - | AV_{CC} | V | $AV_{CC} \geq 2.7V$ |
| | | | AV_{CC} | | | | $AV_{CC} < 2.7V$ |
| | - | AVRL | AV_{SS} | - | AV_{SS} | V | |

*1: 変換時間は サンプリング時間 (t_s) + コンペア時間 (t_c) の値です。

最小変換時間の条件は、以下の通りです。

$AV_{CC} \geq 2.7V$ HCLK=40 MHz サンプリング時間: 0.6 μs , コンペア時間: 1.4 μs

$1.8V \leq AV_{CC} < 2.7V$ HCLK=40 MHz サンプリング時間: 1.2 μs , コンペア時間: 2.8 μs

$1.65V \leq AV_{CC} < 1.8V$ HCLK=40 MHz サンプリング時間: 3 μs , コンペア時間: 7 μs

必ずサンプリング時間(t_s), コンペアクロック周期(t_{CK})の規格を満足するようにしてください。

サンプリング時間, コンペアクロック周期の設定については、『FM3 ファミリー パリフェラルマニュアル アナログマクロ編』の『CHAPTER: A/D コンバータ』の章を参照してください。

A/D コンバータのレジスタの設定は APB バスクロックのタイミングで反映されます。

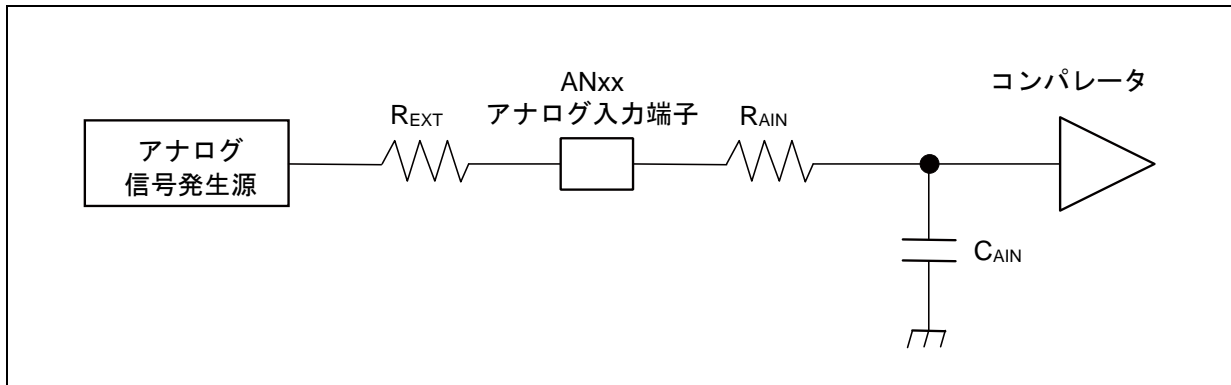
A/D コンバータが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。

サンプリングクロックおよびコンペアクロックはベースクロック (HCLK) から生成されます。

*2: 外部インピーダンスにより必要なサンプリング時間は変わります。

必ず(式1)を満たすようにサンプリング時間を設定してください。

*3: コンペア時間(t_c) は (式2)の値です。



(式 1) $t_s \geq (R_{AIN} + R_{EXT}) \times C_{AIN} \times 9$

t_s : サンプルング時間 [ns]

R_{AIN} : A/D の入力抵抗[k Ω] = 2.2 k Ω 2.7 V \leq AV_{CC} \leq 3.6 V の場合
 A/D の入力抵抗[k Ω] = 5.5 k Ω 1.8 V \leq AV_{CC} < 2.7 V の場合
 A/D の入力抵抗[k Ω] = 10.5 k Ω 1.65 V \leq AV_{CC} < 1.8 V の場合

C_{AIN} : A/D の入力容量[pF] = 9.4 pF 1.65 V \leq AV_{CC} \leq 3.6 V の場合

R_{EXT} : 外部回路の出力インピーダンス [k Ω]

(式 2) $t_c = t_{CCK} \times 14$

t_c : コンペア時間

t_{CCK} : コンペアクロック周期

12.6 低電圧検出特性
12.6.1 低電圧検出リセット

 (T_A = -40°C ~ +85°C)

| 項目 | 記号 | 条件 | 規格値 | | | 単位 | 備考 |
|------------|--------|----------------|-------------------|------|--------------|----|-------|
| | | | 最小 | 標準 | 最大 | | |
| 検出電圧 | VDL | SVHR*1 = 00000 | 1.38 | 1.50 | 1.60 | V | 電圧降下時 |
| 解除電圧 | VDH | | 1.43 | 1.55 | 1.65 | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHR*1 = 00001 | 1.43 | 1.55 | 1.65 | V | 電圧降下時 |
| 解除電圧 | VDH | | SVHR = 00000 の規格値 | | | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHR*1 = 00010 | 1.47 | 1.60 | 1.73 | V | 電圧降下時 |
| 解除電圧 | VDH | | SVHR = 00000 の規格値 | | | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHR*1 = 00011 | 1.52 | 1.65 | 1.78 | V | 電圧降下時 |
| 解除電圧 | VDH | | SVHR = 00000 の規格値 | | | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHR*1 = 00100 | 1.56 | 1.70 | 1.84 | V | 電圧降下時 |
| 解除電圧 | VDH | | SVHR = 00000 の規格値 | | | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHR*1 = 00101 | 1.61 | 1.75 | 1.89 | V | 電圧降下時 |
| 解除電圧 | VDH | | SVHR = 00000 の規格値 | | | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHR*1 = 00110 | 1.66 | 1.80 | 1.94 | V | 電圧降下時 |
| 解除電圧 | VDH | | SVHR = 00000 の規格値 | | | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHR*1 = 00111 | 1.70 | 1.85 | 2.00 | V | 電圧降下時 |
| 解除電圧 | VDH | | SVHR = 00000 の規格値 | | | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHR*1 = 01000 | 1.75 | 1.90 | 2.05 | V | 電圧降下時 |
| 解除電圧 | VDH | | SVHR = 00000 の規格値 | | | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHR*1 = 01001 | 1.79 | 1.95 | 2.11 | V | 電圧降下時 |
| 解除電圧 | VDH | | SVHR = 00000 の規格値 | | | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHR*1 = 01010 | 1.84 | 2.00 | 2.16 | V | 電圧降下時 |
| 解除電圧 | VDH | | SVHR = 00000 の規格値 | | | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHR*1 = 01011 | 1.89 | 2.05 | 2.21 | V | 電圧降下時 |
| 解除電圧 | VDH | | SVHR = 00000 の規格値 | | | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHR*1 = 01100 | 2.30 | 2.50 | 2.70 | V | 電圧降下時 |
| 解除電圧 | VDH | | SVHR = 00000 の規格値 | | | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHR*1 = 01101 | 2.39 | 2.60 | 2.81 | V | 電圧降下時 |
| 解除電圧 | VDH | | SVHR = 00000 の規格値 | | | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHR*1 = 01110 | 2.48 | 2.70 | 2.92 | V | 電圧降下時 |
| 解除電圧 | VDH | | SVHR = 00000 の規格値 | | | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHR*1 = 01111 | 2.58 | 2.80 | 3.02 | V | 電圧降下時 |
| 解除電圧 | VDH | | SVHR = 00000 の規格値 | | | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHR*1 = 10000 | 2.67 | 2.90 | 3.13 | V | 電圧降下時 |
| 解除電圧 | VDH | | SVHR = 00000 の規格値 | | | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHR*1 = 10001 | 2.76 | 3.00 | 3.24 | V | 電圧降下時 |
| 解除電圧 | VDH | | SVHR = 00000 の規格値 | | | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHR*1 = 10010 | 2.85 | 3.10 | 3.35 | V | 電圧降下時 |
| 解除電圧 | VDH | | SVHR = 00000 の規格値 | | | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHR*1 = 10011 | 2.94 | 3.20 | 3.46 | V | 電圧降下時 |
| 解除電圧 | VDH | | SVHR = 00000 の規格値 | | | V | 電圧上昇時 |
| LVD 安定待ち時間 | tLVDW | - | - | - | 5200×tcycp*2 | μs | |
| LVD 検出遅延時間 | tLVDDL | - | - | - | 200 | μs | |

*1: 低電圧検出電圧設定レジスタ(LVD_CTL)のSVHRビットは、低電圧検出リセットでSVHR = 00000 に初期化されます。

*2: tcycp は APB2 バスクロックのサイクル時間です。

12.6.2 低電圧検出割込み

 (T_A = -40°C ~ +85°C)

| 項目 | 記号 | 条件 | 規格値 | | | 単位 | 備考 |
|------------|--------|--------------|------|------|-------------|----|-------|
| | | | 最小 | 標準 | 最大 | | |
| 検出電圧 | VDL | SVHI = 00100 | 1.56 | 1.70 | 1.84 | V | 電圧降下時 |
| 解除電圧 | VDH | | 1.61 | 1.75 | 1.89 | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHI = 00101 | 1.61 | 1.75 | 1.89 | V | 電圧降下時 |
| 解除電圧 | VDH | | 1.66 | 1.80 | 1.94 | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHI = 00110 | 1.66 | 1.80 | 1.94 | V | 電圧降下時 |
| 解除電圧 | VDH | | 1.70 | 1.85 | 2.00 | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHI = 00111 | 1.70 | 1.85 | 2.00 | V | 電圧降下時 |
| 解除電圧 | VDH | | 1.75 | 1.90 | 2.05 | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHI = 01000 | 1.75 | 1.90 | 2.05 | V | 電圧降下時 |
| 解除電圧 | VDH | | 1.79 | 1.95 | 2.11 | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHI = 01001 | 1.79 | 1.95 | 2.11 | V | 電圧降下時 |
| 解除電圧 | VDH | | 1.84 | 2.00 | 2.16 | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHI = 01010 | 1.84 | 2.00 | 2.16 | V | 電圧降下時 |
| 解除電圧 | VDH | | 1.89 | 2.05 | 2.21 | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHI = 01011 | 1.89 | 2.05 | 2.21 | V | 電圧降下時 |
| 解除電圧 | VDH | | 1.93 | 2.10 | 2.27 | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHI = 01100 | 2.30 | 2.50 | 2.70 | V | 電圧降下時 |
| 解除電圧 | VDH | | 2.39 | 2.60 | 2.81 | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHI = 01101 | 2.39 | 2.60 | 2.81 | V | 電圧降下時 |
| 解除電圧 | VDH | | 2.48 | 2.70 | 2.92 | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHI = 01110 | 2.48 | 2.70 | 2.92 | V | 電圧降下時 |
| 解除電圧 | VDH | | 2.58 | 2.80 | 3.02 | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHI = 01111 | 2.58 | 2.80 | 3.02 | V | 電圧降下時 |
| 解除電圧 | VDH | | 2.67 | 2.90 | 3.13 | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHI = 10000 | 2.67 | 2.90 | 3.13 | V | 電圧降下時 |
| 解除電圧 | VDH | | 2.76 | 3.00 | 3.24 | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHI = 10001 | 2.76 | 3.00 | 3.24 | V | 電圧降下時 |
| 解除電圧 | VDH | | 2.85 | 3.10 | 3.35 | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHI = 10010 | 2.85 | 3.10 | 3.35 | V | 電圧降下時 |
| 解除電圧 | VDH | | 2.94 | 3.20 | 3.46 | V | 電圧上昇時 |
| 検出電圧 | VDL | SVHI = 10011 | 2.94 | 3.20 | 3.46 | V | 電圧降下時 |
| 解除電圧 | VDH | | 3.04 | 3.30 | 3.56 | V | 電圧上昇時 |
| LVD 安定待ち時間 | tLVDW | - | - | - | 5200×tcycp* | μs | |
| LVD 検出遅延時間 | tLVDDL | - | - | - | 200 | μs | |

*: tcycpは APB2 バスクロックのサイクル時間です。

12.7 フラッシュメモリ書込み/消去特性
12.7.1 書込み/消去時間

 (V_{CC} = 1.65V ~ 3.6V, T_A = - 40°C ~ + 85°C)

| 項目 | 規格値 | | 単位 | 備考 | |
|--------------------|--------------|-----|-----|----------------------|-----------------|
| | 標準* | 最大* | | | |
| セクタ消去時間 | Large Sector | 1.1 | 2.7 | s | 内部での消去前書込み時間を含む |
| | Small Sector | 0.3 | 0.9 | | |
| ハーフワード(16ビット)書込み時間 | 30 | 528 | μs | システムレベルのオーバーヘッド時間は除く | |
| チップ消去時間 | 6.8 | 18 | s | 内部での消去前書込み時間を含む | |

*: 標準は出荷直後の代表値、最大は書換え 1 万回までの保証値です。

12.7.2 書込みサイクルとデータ保持時間

| 消去/書込みサイクル(cycle) | 保持時間(年) | 備考 |
|-------------------|---------|----|
| 1,000 | 20 * | |
| 10,000 | 10 * | |

*: 平均温度+85°C時

12.8 スタンバイ復帰時間

12.8.1 復帰要因：割込み/WKUP

内部回路の復帰要因受付からプログラム動作開始までの時間を示します。

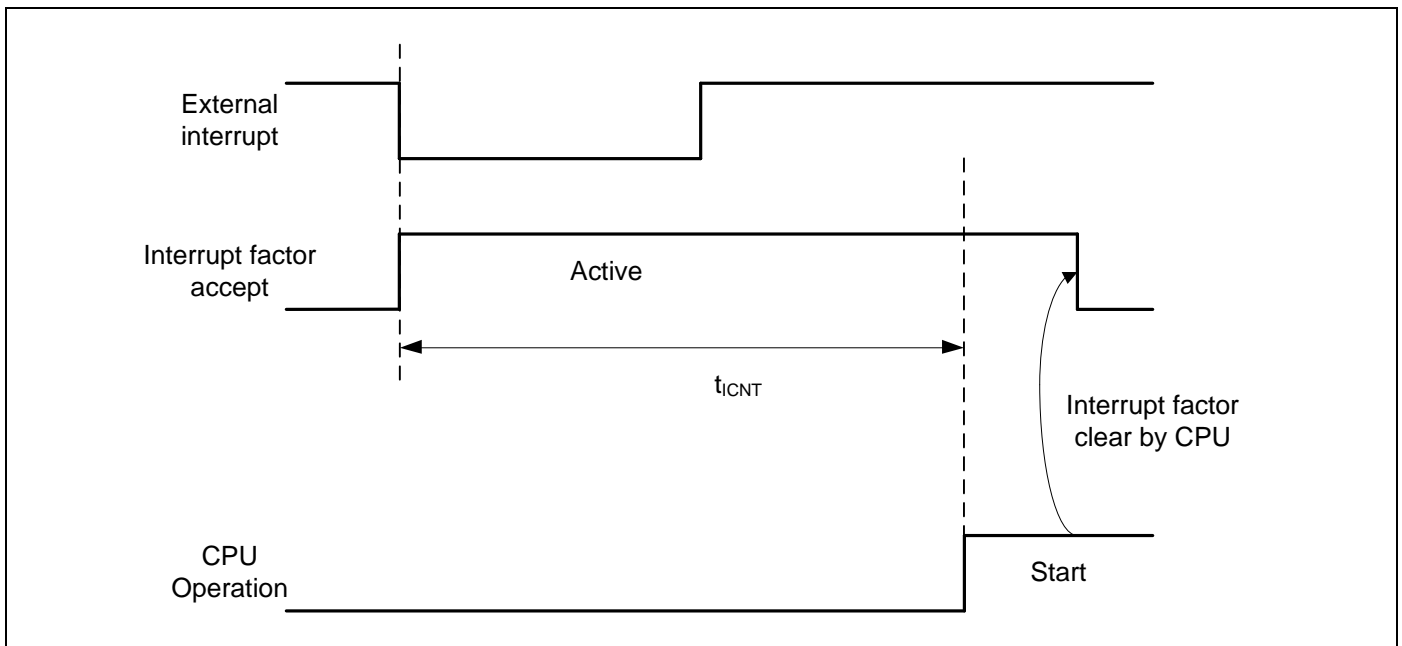
復帰カウント時間

($V_{CC} = 1.65V \sim 3.6V$, $V_{DDI} = 1.1V \sim 1.3V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

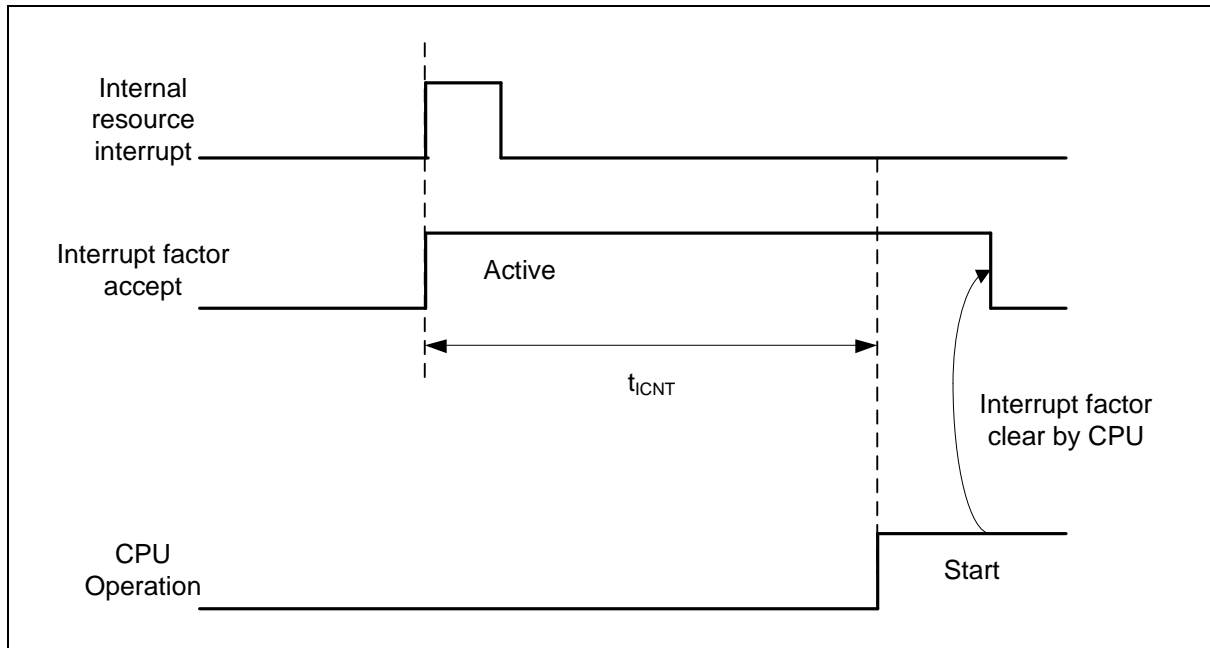
| 項目 | 記号 | 規格値 | | 単位 | 備考 |
|---|-------------------|-------|-----|----|----------|
| | | 標準 | 最大* | | |
| スリープモード | t _{ICNT} | tcycc | | ns | |
| 高速 CR タイマモード メインタイマモード PLL タイマモード | | 40 | 80 | μs | |
| 低速 CR タイマモード | | 340 | 680 | μs | |
| サブタイマモード | | 680 | 860 | μs | |
| RTC モード ストップモード | | 268 | 503 | μs | |
| ディープスタンバイ RTC モード | | 308 | 583 | μs | RAM 保持なし |
| ディープスタンバイストップモード | | 268 | 503 | μs | RAM 保持あり |

*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(外部割込み復帰時*)



*: 外部割込みは立下りエッジ検出設定時

スタンバイ復帰動作例(内部リソース割込み復帰時*)


*: 低消費電力モードのとき、内部リソースからの割込みは復帰要因に含まれません。

<注意事項>

- 復帰要因は低消費電力モードごとに異なります。
各低消費電力モードからの復帰要因は『FM3 ファミリー ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- 割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM3 ファミリー ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』を参照してください。

12.8.2 復帰要因：リセット

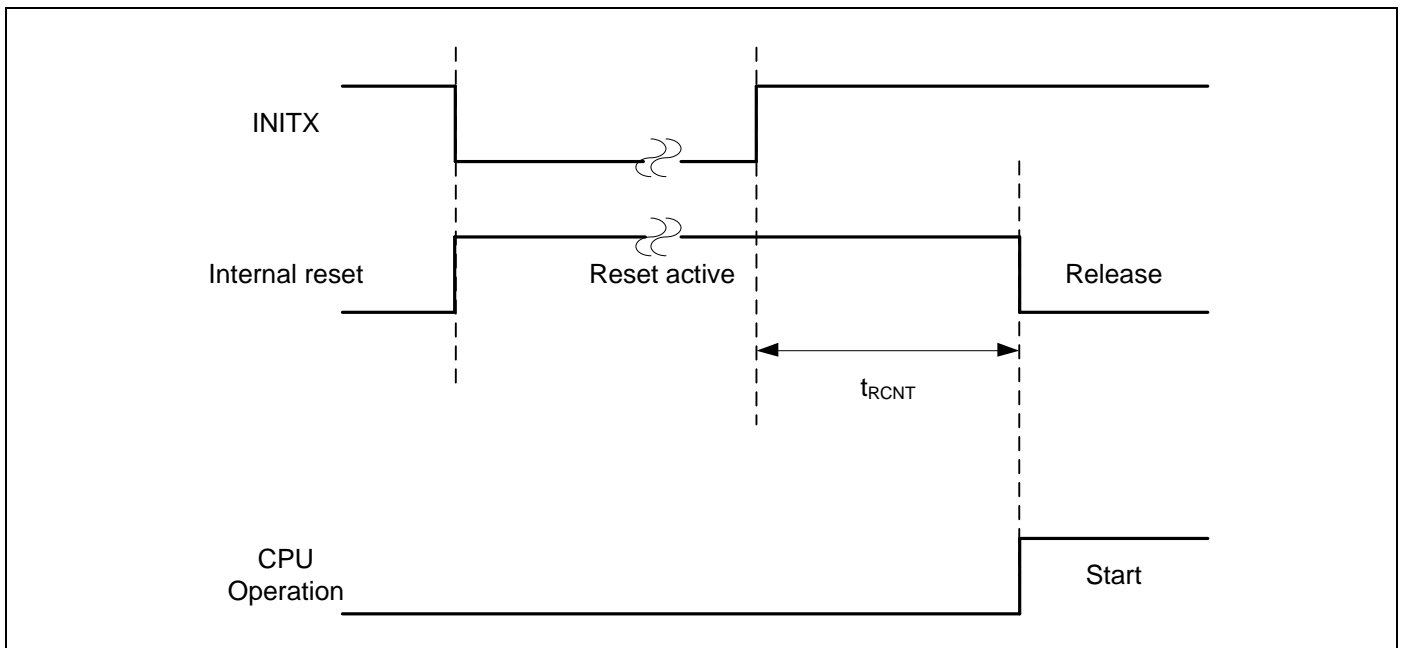
リセット解除からプログラム動作開始までの時間を示します。

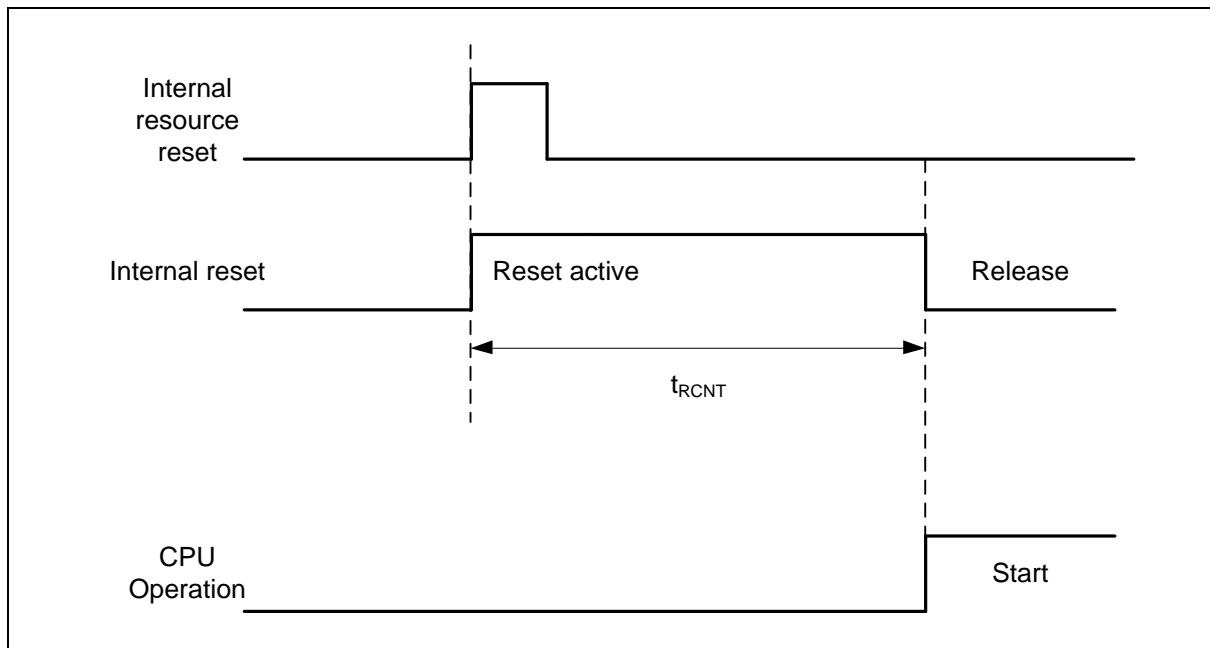
復帰カウント時間

($V_{CC} = 1.65V \sim 3.6V$, $V_{DDI} = 1.1V \sim 1.3V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

| 項目 | 記号 | 規格値 | | 単位 | 備考 |
|---|-------|-----|-----|---------|----------|
| | | 標準 | 最大* | | |
| スリープモード | trCNT | 148 | 263 | μs | |
| 高速 CR タイマモード メインタイマモード PLL タイマモード | | 148 | 263 | μs | |
| 低速 CR タイマモード | | 248 | 463 | μs | |
| サブタイマモード | | 312 | 496 | μs | |
| RTC モード ストップモード | | 268 | 503 | μs | |
| ディープスタンバイ RTC モード | | 308 | 583 | μs | RAM 保持なし |
| ディープスタンバイストップモード | | 268 | 503 | μs | RAM 保持あり |

*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(INITX 復帰時)


スタンバイ復帰動作例(内部リソースリセット復帰時*)


*: 低消費電力モードのとき、内部リソースからのリセット発行は復帰要因に含まれません。

<注意事項>

- 復帰要因は低消費電力モードごとに異なります。
低消費電力モードからの復帰要因は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- 割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』を参照してください。
- パワーオンリセット/低電圧検出リセット時は、復帰要因には含まれません。パワーオンリセット/低電圧検出リセット時は、「12. 電気的特性 12.4. 交流規格 12.4.7 パワーオンリセットタイミング」を参照してください。
- リセットからの復帰時、CPU は高速 CR ランモードに遷移します。
メインクロックや PLL クロックを使用する場合、追加でメインクロック発振安定待ち時間や、メイン PLL クロックの安定待ち時間が必要になります。
- 内部リソースリセットとはウォッチドッグリセット、CSV リセットを示します。

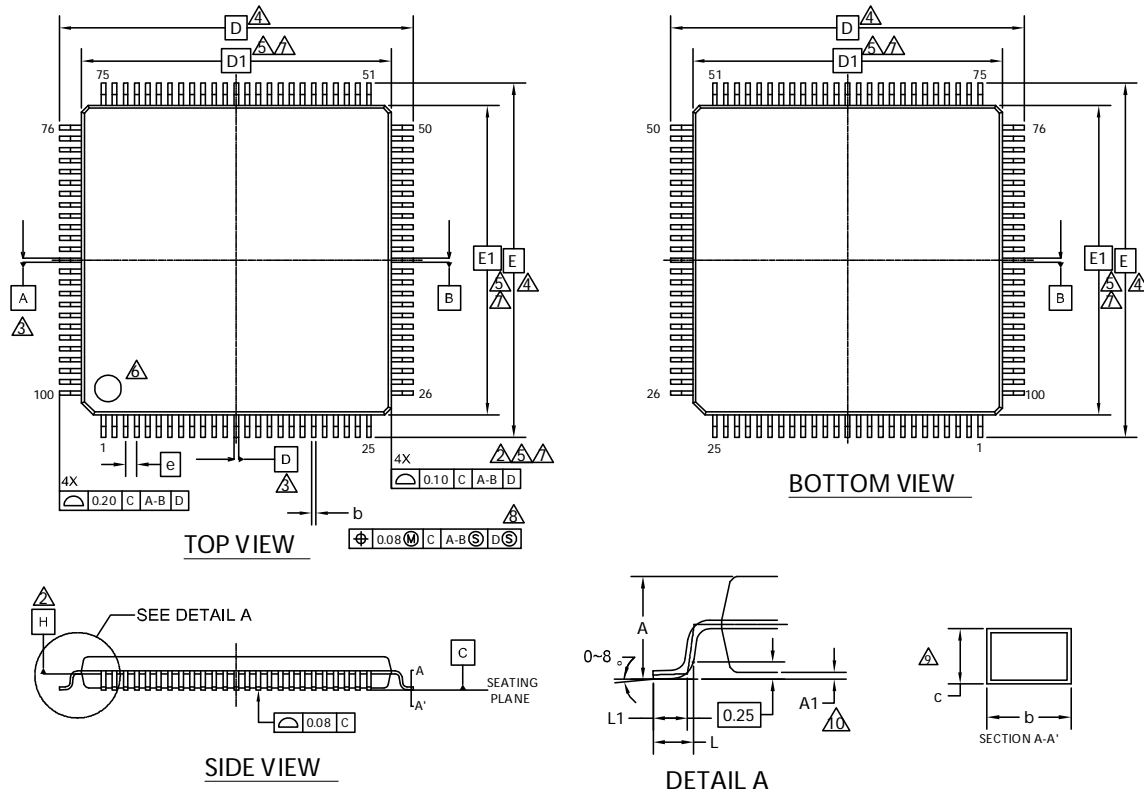
13. オーダ型格

| 型格 | オンチップ フラッシュ メモリ | オンチップ SRAM | パッケージ | 包装 |
|-----------------------|-----------------------------------|---------------|--|-----|
| MB9AF141LBPMC1-G-JNE2 | Main: 64 Kbyte Work: 32 Kbyte | 16 Kbyte | プラスチック・LQFP (0.5 mm ピッチ),64 ピン (LQD064) | トレイ |
| MB9AF142LBPMC1-G-JNE2 | Main: 128 Kbyte Work: 32 Kbyte | 16 Kbyte | | |
| MB9AF144LBPMC1-G-JNE2 | Main: 256 Kbyte Work: 32 Kbyte | 32 Kbyte | | |
| MB9AF141LBPMC-G-JNE2 | Main: 64 Kbyte Work: 32 Kbyte | 16 Kbyte | プラスチック・LQFP (0.65 mm ピッチ),64 ピン (LQG064) | |
| MB9AF142LBPMC-G-JNE2 | Main: 128 Kbyte Work: 32 Kbyte | 16 Kbyte | | |
| MB9AF144LBPMC-G-JNE2 | Main: 256 Kbyte Work: 32 Kbyte | 32 Kbyte | | |
| MB9AF141LBQN-G-AVE2 | Main: 64 Kbyte Work: 32 Kbyte | 16 Kbyte | プラスチック・QFN (0.5 mm ピッチ), 64 ピン (VNC064) | |
| MB9AF142LBQN-G-AVE2 | Main: 128 Kbyte Work: 32 Kbyte | 16 Kbyte | | |
| MB9AF144LBQN-G-AVE2 | Main: 256 Kbyte Work: 32 Kbyte | 32 Kbyte | | |
| MB9AF141MBPMC-G-JNE2 | Main: 64 Kbyte Work: 32 Kbyte | 16 Kbyte | プラスチック・LQFP (0.5 mm ピッチ),80 ピン (LQH080) | |
| MB9AF142MBPMC-G-JNE2 | Main: 128 Kbyte Work: 32 Kbyte | 16 Kbyte | | |
| MB9AF144MBPMC-G-JNE2 | Main: 256 Kbyte Work: 32 Kbyte | 32 Kbyte | | |
| MB9AF141MBPMC1-G-JNE2 | Main: 64 Kbyte Work: 32 Kbyte | 16 Kbyte | プラスチック・LQFP (0.65 mm ピッチ),80 ピン (LQJ080) | |
| MB9AF142MBPMC1-G-JNE2 | Main: 128 Kbyte Work: 32 Kbyte | 16 Kbyte | | |
| MB9AF144MBPMC1-G-JNE2 | Main: 256 Kbyte Work: 32 Kbyte | 32 Kbyte | | |
| MB9AF141MBBGL-GE1 | Main: 64 Kbyte Work: 32 Kbyte | 16 Kbyte | プラスチック・PFBGA (0.5 mm ピッチ),96 ピン (FDG096) | |
| MB9AF142MBBGL-GE1 | Main: 128 Kbyte Work: 32 Kbyte | 16 Kbyte | | |
| MB9AF144MBBGL-GE1 | Main: 256 Kbyte Work: 32 Kbyte | 32 Kbyte | | |
| MB9AF141NBPMC-G-JNE2 | Main: 64 Kbyte Work: 32 Kbyte | 16 Kbyte | プラスチック・LQFP (0.5 mm ピッチ),100 ピン (LQI100) | |
| MB9AF142NBPMC-G-JNE2 | Main: 128 Kbyte Work: 32 Kbyte | 16 Kbyte | | |
| MB9AF144NBPMC-G-JNE2 | Main: 256 Kbyte Work: 32 Kbyte | 32 Kbyte | | |

| 型格 | オンチップ フラッシュ メモリ | オンチップ SRAM | パッケージ | 包装 |
|----------------------|-----------------------------------|---------------|---|-----|
| MB9AF141NBPQC-G-JNE2 | Main: 64 Kbyte Work: 32 Kbyte | 16 Kbyte | プラスチック・QFP (0.65 mm ピッチ),100 ピン (PQH100) | トレイ |
| MB9AF142NBPQC-G-JNE2 | Main: 128 Kbyte Work: 32 Kbyte | 16 Kbyte | | |
| MB9AF144NBPQC-G-JNE2 | Main: 256 Kbyte Work: 32 Kbyte | 32 Kbyte | | |
| MB9AF141NBBGL-GE1 | Main: 64 Kbyte Work: 32 Kbyte | 16 Kbyte | プラスチック・PFBGA (0.8 mm ピッチ),112 ピン (LBC112) | |
| MB9AF142NBBGL-GE1 | Main: 128 Kbyte Work: 32 Kbyte | 16 Kbyte | | |
| MB9AF144NBBGL-GE1 | Main: 256 Kbyte Work: 32 Kbyte | 32 Kbyte | | |

14. パッケージ・外形寸法図

| Package Type | Package Code |
|--------------|--------------|
| LQFP 100 | LQI100 |



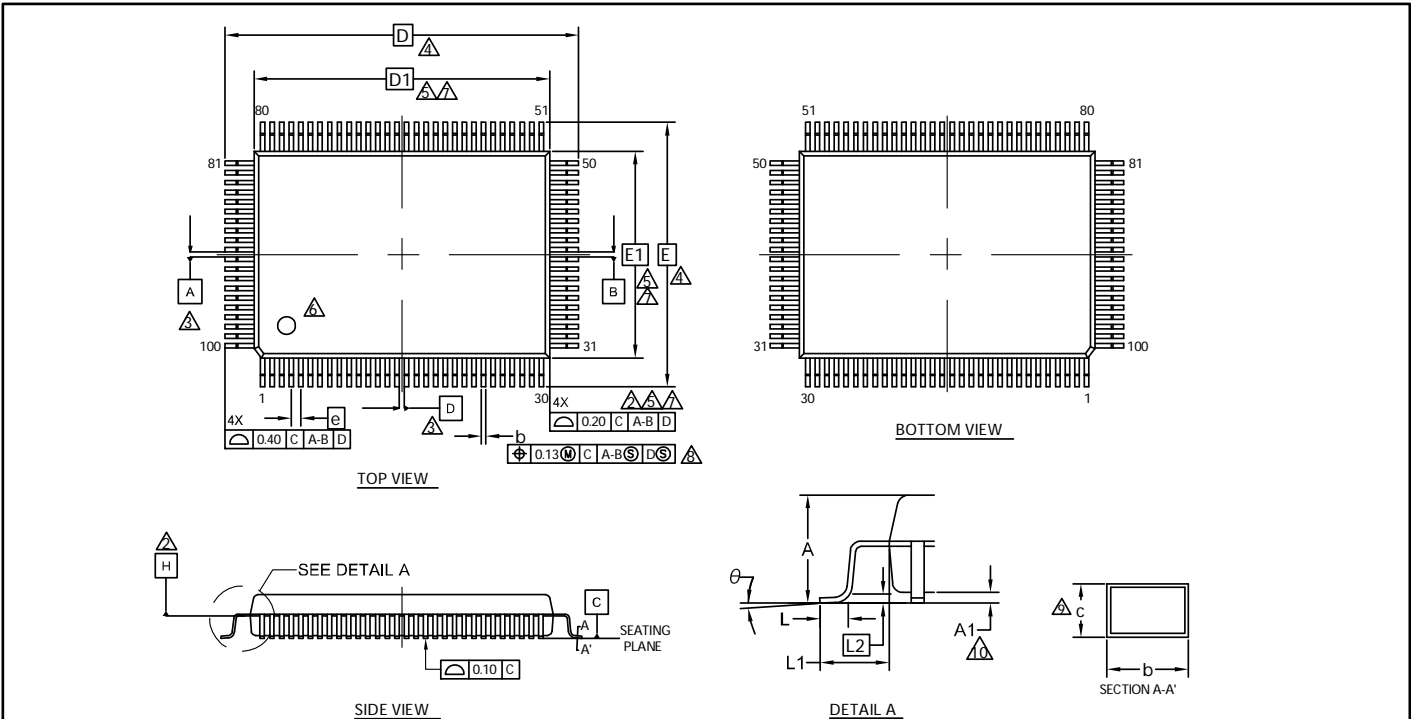
| SYMBOL | DIMENSIONS | | |
|--------|------------|------|------|
| | MIN. | NOM. | MAX. |
| A | — | — | 1.70 |
| A1 | 0.05 | — | 0.15 |
| b | 0.15 | — | 0.27 |
| c | 0.09 | — | 0.20 |
| D | 16.00 BSC | | |
| D1 | 14.00 BSC | | |
| e | 0.50 BSC | | |
| E | 16.00 BSC | | |
| E1 | 14.00 BSC | | |
| L | 0.45 | 0.60 | 0.75 |
| L1 | 0.30 | 0.50 | 0.70 |

- NOTES :**
- ALL DIMENSIONS ARE IN MILLIMETERS.
 - DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
 - DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
 - TO BE DETERMINED AT SEATING PLANE C.
 - DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
 - DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
 - REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
 - DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION(S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
 - THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
 - A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

PACKAGE OUTLINE, 100 LEAD LQFP
14.0X14.0X1.7 MM LQI100 REV*A

002-11500 *A

| Package Type | Package Code |
|--------------|--------------|
| QFP 100 | PQH100 |



| SYMBOL | DIMENSIONS | | |
|----------|------------|------|------|
| | MIN. | NOM. | MAX. |
| A | — | — | 3.35 |
| A1 | 0.05 | — | 0.45 |
| b | 0.27 | 0.32 | 0.37 |
| c | 0.11 | — | 0.23 |
| D | 23.90 BSC | | |
| D1 | 20.00 BSC | | |
| e | 0.65 BSC | | |
| E | 17.90 BSC | | |
| E1 | 14.00 BSC | | |
| θ | 0° | — | 8° |
| L | 0.73 | 0.88 | 1.03 |
| L1 | 1.95 REF | | |
| L2 | 0.25 BSC | | |

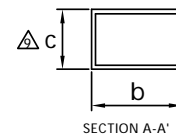
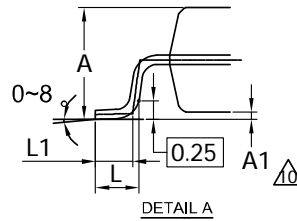
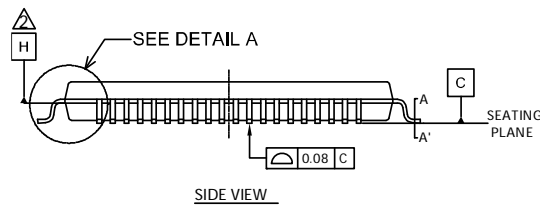
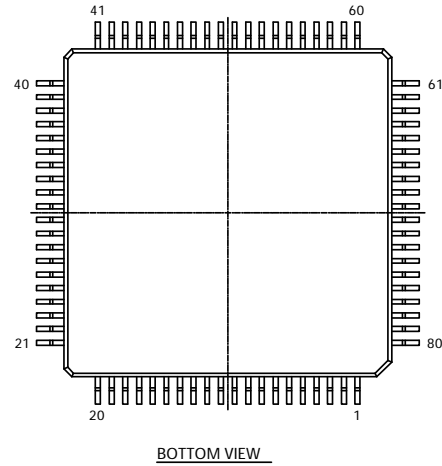
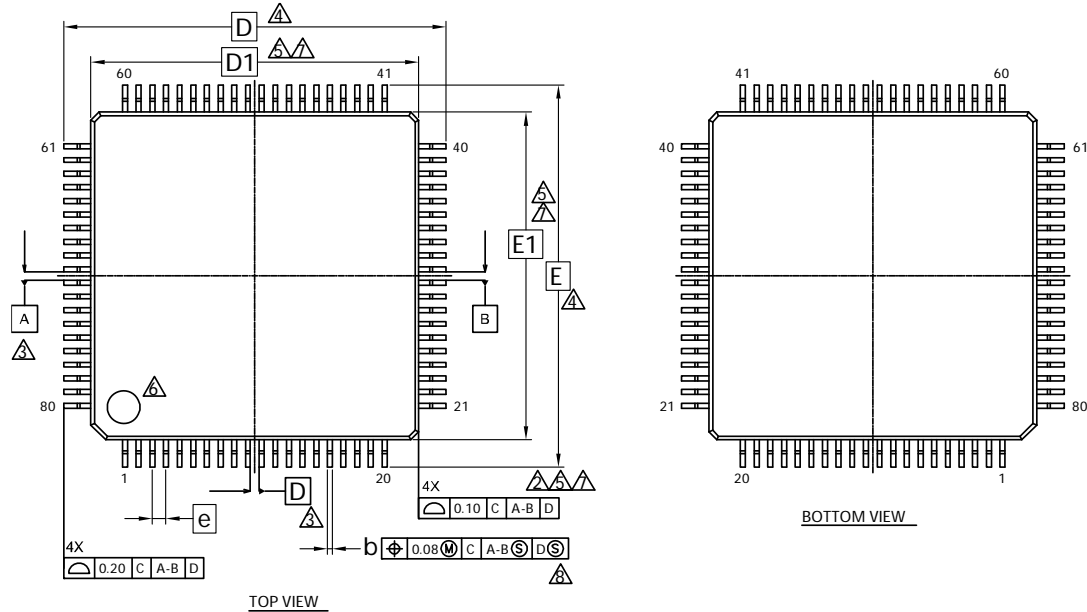
NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
 - DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
 - DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
 - TO BE DETERMINED AT SEATING PLANE C.
 - DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
 - DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
 - REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
 - DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBER PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
 - THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
 - A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-15156 **

PACKAGE OUTLINE, 100 LEAD QFP
20.00X14.00X3.35 MM PQH100 REV**

| Package Type | Package Code |
|--------------|--------------|
| LQFP 80 | LQH080 |



| SYMBOL | DIMENSIONS | | |
|--------|------------|------|------|
| | MIN. | NOM. | MAX. |
| A | — | — | 1.70 |
| A1 | 0.05 | — | 0.15 |
| b | 0.15 | — | 0.27 |
| c | 0.09 | — | 0.20 |
| D | 14.00 BSC. | | |
| D1 | 12.00 BSC. | | |
| e | 0.50 BSC. | | |
| E | 14.00 BSC. | | |
| E1 | 12.00 BSC. | | |
| L | 0.45 | 0.60 | 0.75 |
| L1 | 0.30 | 0.50 | 0.70 |

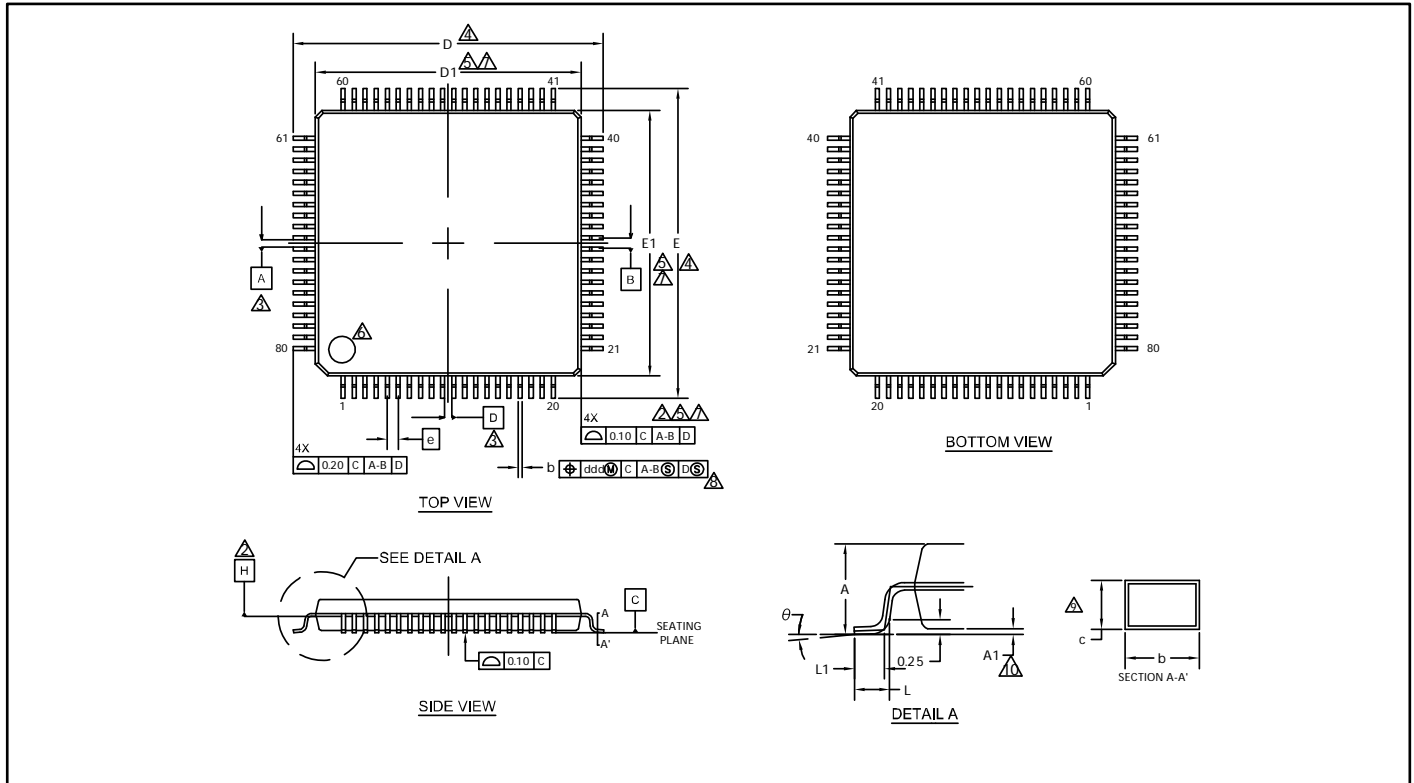
NOTES

- CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm)
 - △ DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
 - △ DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
 - △ TO BE DETERMINED AT SEATING PLANE C.
 - △ DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
 - △ DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
 - △ REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
 - △ DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (⊗) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
 - △ THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
 - △ A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-11501 **

 PACKAGE OUTLINE, 80 LEAD LQFP
 12.0X12.0X1.7 MM LQH080 Rev **

| Package Type | Package Code |
|--------------|--------------|
| LQFP 80 | LQJ080 |



| SYMBOL | DIMENSIONS | | |
|----------|------------|------|------|
| | MIN. | NOM. | MAX. |
| A | — | — | 1.70 |
| A1 | 0.00 | — | 0.20 |
| b | 0.16 | 0.32 | 0.38 |
| c | 0.09 | — | 0.20 |
| D | 16.00 BSC | | |
| D1 | 14.00 BSC | | |
| e | 0.65 BSC | | |
| E | 16.00 BSC | | |
| E1 | 14.00 BSC | | |
| L | 0.45 | 0.60 | 0.75 |
| L1 | 0.30 | 0.50 | 0.70 |
| θ | 0° | — | 8° |

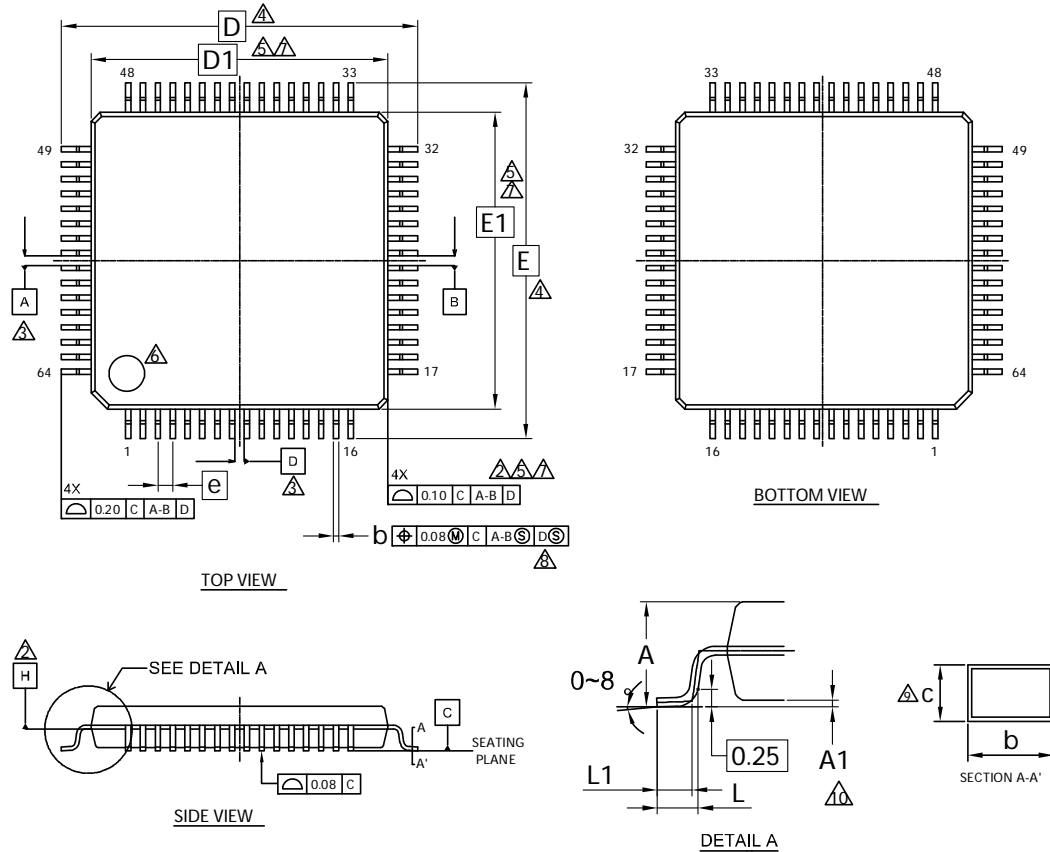
NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-14043 **

 PACKAGE OUTLINE, 80 LEAD LQFP
 14.0X14.0X1.7 MM LQJ080 REV**

| | |
|---------------------|---------------------|
| Package Type | Package Code |
| LQFP 64 | LQD064 |



| SYMBOL | DIMENSIONS | | |
|--------|------------|------|------|
| | MIN. | NOM. | MAX. |
| A | — | — | 1.70 |
| A1 | 0.00 | — | 0.20 |
| b | 0.15 | — | 0.27 |
| c | 0.09 | — | 0.20 |
| D | 12.00 BSC. | | |
| D1 | 10.00 BSC. | | |
| e | 0.50 BSC. | | |
| E | 12.00 BSC. | | |
| E1 | 10.00 BSC. | | |
| L | 0.45 | 0.60 | 0.75 |
| L1 | 0.30 | 0.50 | 0.70 |

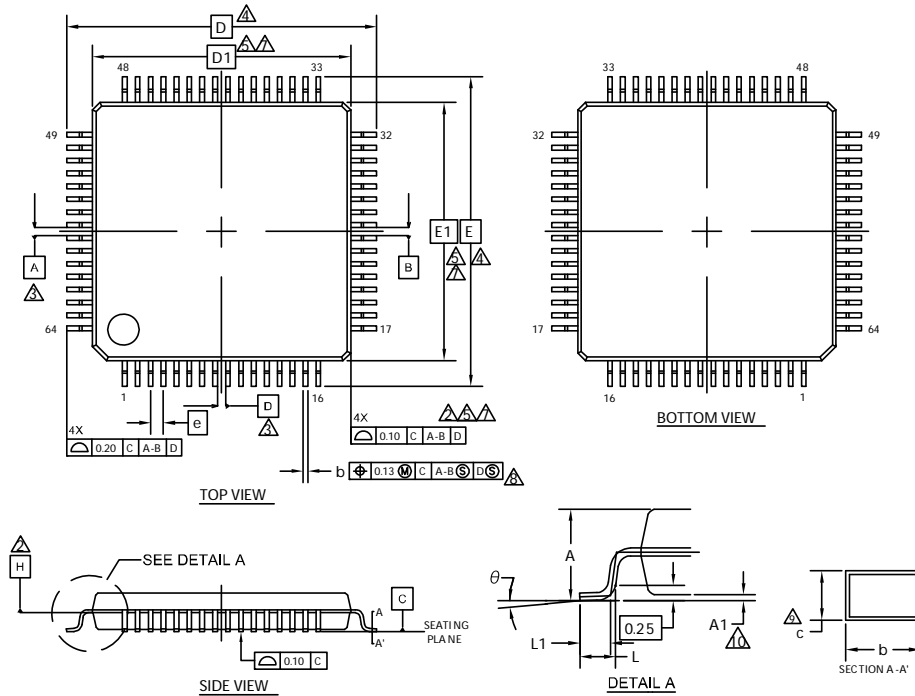
NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION, THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-11499 **

 PACKAGE OUTLINE, 64 LEAD LQFP
 10.0X10.0X1.7 MM LQD064 Rev**

| Package Type | Package Code |
|--------------|--------------|
| LQFP 64 | LQG064 |



| SYMBOL | DIMENSION | | |
|----------|-----------|------|------|
| | MIN. | NOM. | MAX. |
| A | — | — | 1.70 |
| A1 | 0.00 | — | 0.20 |
| b | 0.27 | 0.32 | 0.37 |
| c | 0.09 | — | 0.20 |
| D | 14.00 BSC | | |
| D1 | 12.00 BSC | | |
| e | 0.65 BSC | | |
| E | 14.00 BSC | | |
| E1 | 12.00 BSC | | |
| L | 0.45 | 0.60 | 0.75 |
| L1 | 0.30 | 0.50 | 0.70 |
| θ | 0° | — | 8° |

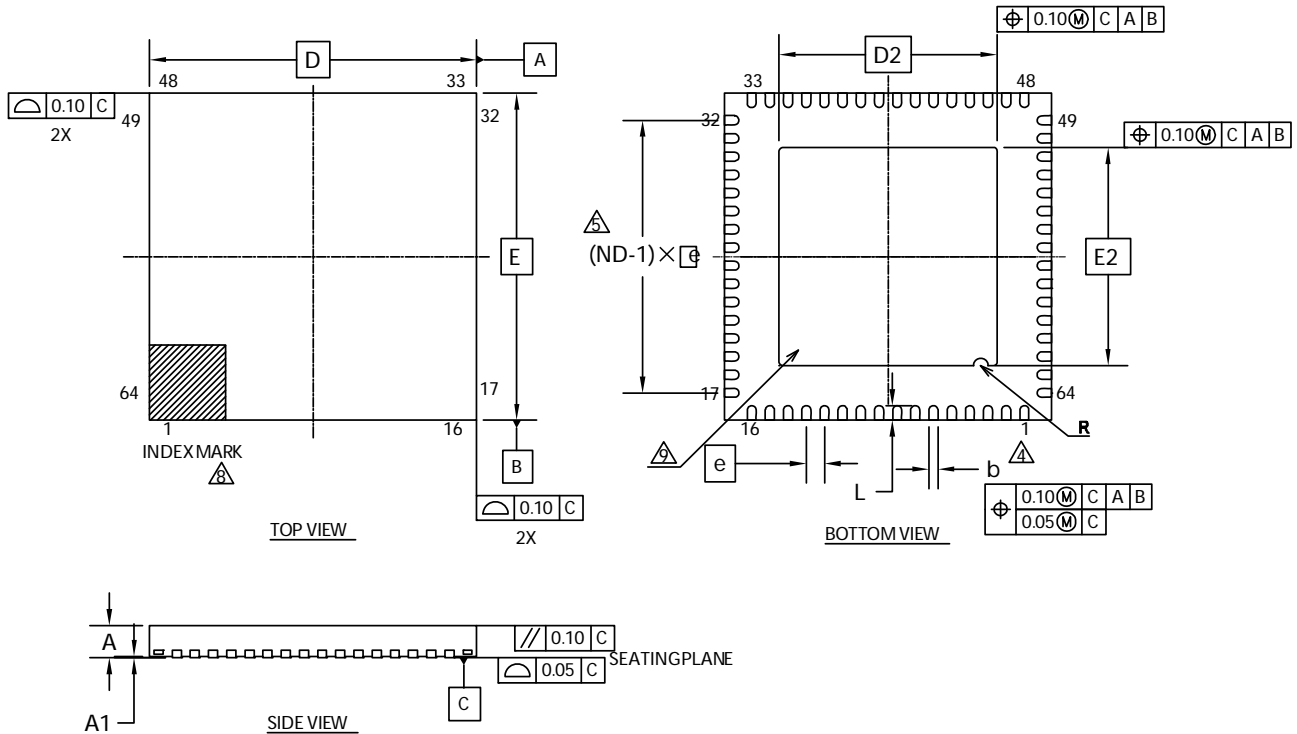
NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-13881 **

PACKAGE OUTLINE, 64 LEAD LQFP
12.0X12.0X1.7 MM LQG064 REV**

| Package Type | Package Code |
|--------------|--------------|
| QFN 64 | VNC064 |



| SYMBOL | DIMENSIONS | | |
|--------|------------|------|------|
| | MIN. | NOM. | MAX. |
| A | — | — | 0.90 |
| A1 | 0.00 | — | 0.05 |
| D | 9.00 BSC | | |
| E | 9.00 BSC | | |
| b | 0.20 | 0.25 | 0.30 |
| D2 | 6.00 BSC | | |
| E2 | 6.00 BSC | | |
| e | 0.50 BSC | | |
| R | 0.20 REF | | |
| L | 0.35 | 0.40 | 0.45 |
| N | 64 | | |
| ND | 16 | | |

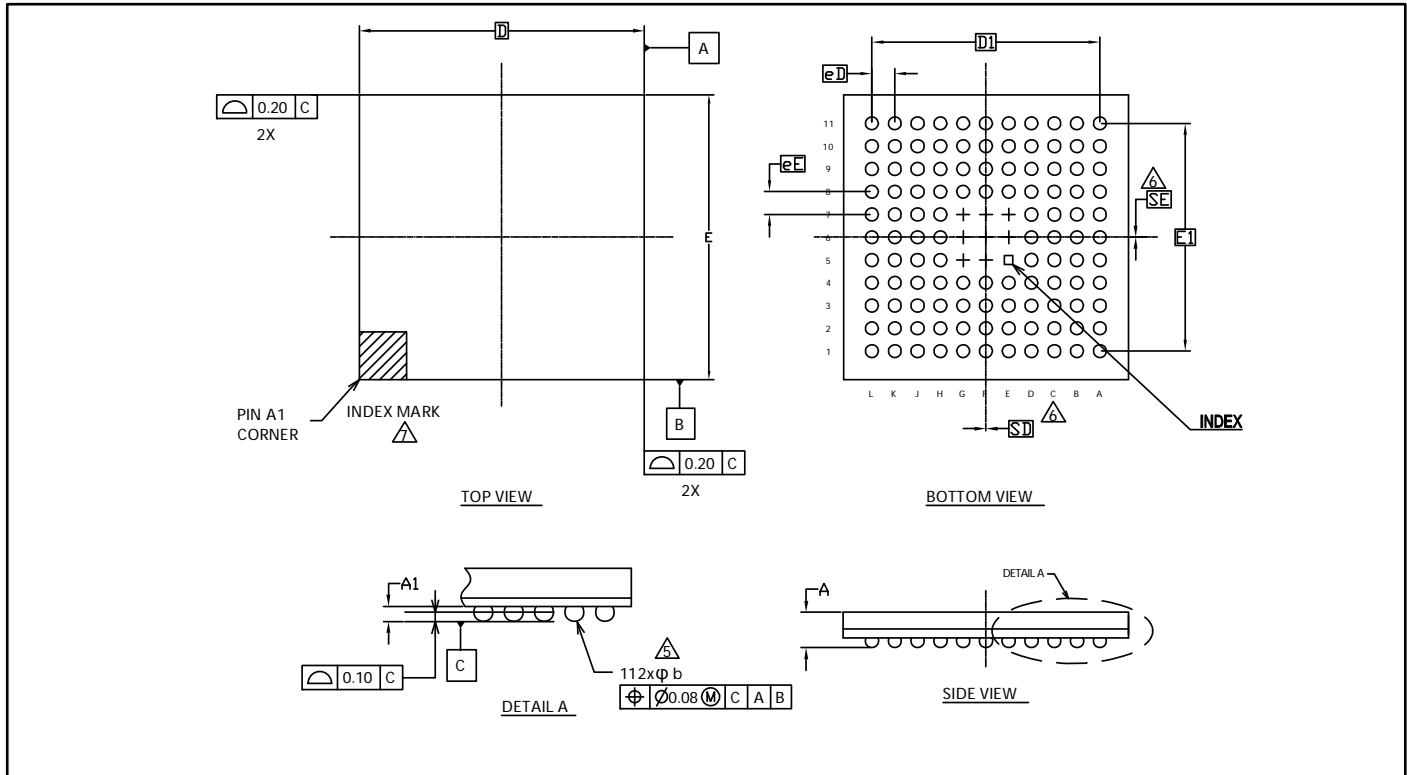
NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5M-1994.
- N IS THE TOTAL NUMBER OF TERMINALS.
- DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
- ND REFERS TO THE NUMBER OF TERMINALS ON D SIDE OR E SIDE.
- MAX. PACKAGE WARPAGE IS 0.05mm.
- MAXIMUM ALLOWABLE BURR IS 0.076mm IN ALL DIRECTIONS.
- PIN #1 ID ON TOP WILL BE LOCATED WITHIN THE INDICATED ZONE.
- BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.

002-13234 **

PACKAGE OUTLINE, 64 LEAD QFN
9.0X9.0X0.9 MM VNC064 6.0X6.0 MM EPAD (SAWN) Rev:**

| Package Type | Package Code |
|--------------|--------------|
| BGA 112 | LBC112 |



| SYMBOL | DIMENSIONS | | |
|--------|------------|------|------|
| | MIN. | NOM. | MAX. |
| A | - | - | 1.45 |
| A1 | 0.25 | 0.35 | 0.45 |
| D | 10.00 BSC | | |
| E | 10.00 BSC | | |
| D1 | 8.00 BSC | | |
| E1 | 8.00 BSC | | |
| MD | 11 | | |
| ME | 11 | | |
| N | 112 | | |
| ∅ b | 0.35 | 0.45 | 0.55 |
| eD | 0.80 BSC | | |
| eE | 0.80 BSC | | |
| SD | 0.00 | | |
| SE | 0.00 | | |

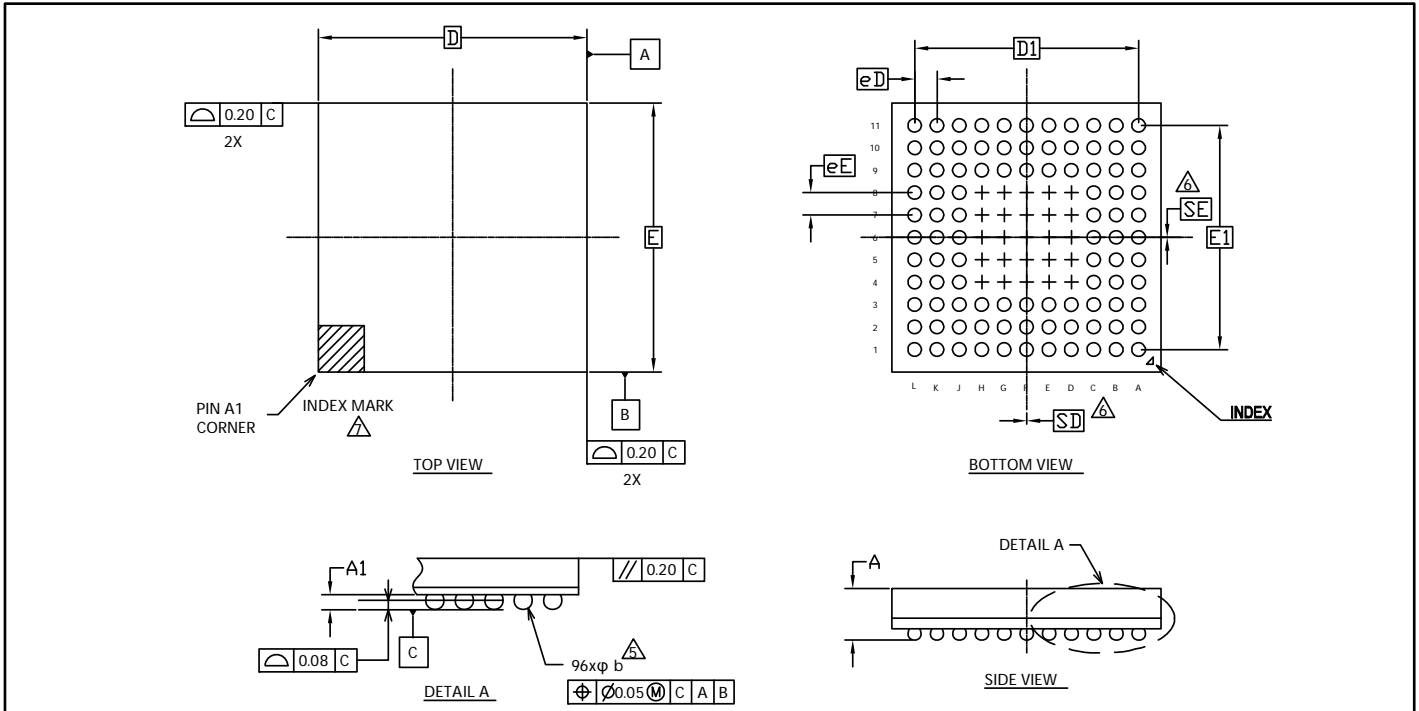
NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION N PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.

002-13225 **

 PACKAGE OUTLINE, 112 BALL FBGA,
 10.00X10.00X1.45 MM LBC112 REV**

| Package Type | Package Code |
|--------------|--------------|
| BGA 96 | FDG096 |



| SYMBOL | DIMENSIONS | | |
|--------|------------|------|------|
| | MIN. | NOM. | MAX. |
| A | - | - | 1.30 |
| A1 | 0.15 | 0.25 | 0.35 |
| D | 6.00 BSC | | |
| E | 6.00 BSC | | |
| D1 | 5.00 BSC | | |
| E1 | 5.00 BSC | | |
| MD | 11 | | |
| ME | 11 | | |
| N | 96 | | |
| ∅ b | 0.20 | 0.30 | 0.40 |
| eD | 0.50 BSC | | |
| eE | 0.50 BSC | | |
| SD | 0.00 | | |
| SE | 0.00 | | |

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.

002-13224 **

PACKAGE OUTLINE, 96 BALL FBGA
6.0X6.0X1.3 MM FDG096 REV**

15. エラッタ

本章はMB9A140N、MB9A140NA および MB9A140NB シリーズのエラッタを説明します。詳細情報は、エラッタのトリガ条件、影響の範囲、可能な回避方法、シリコンチップのリビジョンの適用可能性などを含んでいます。

何かご質問がございましたら、最寄りのサイプレスの販売代理店までご連絡ください。

15.1 影響を受ける型格

| 型格 |
|---|
| 初版 |
| MB9AF141NPMC-G-JNE2, MB9AF142NPMC-G-JNE2, MB9AF144NPMC-G-JNE2, MB9AF141NPQC-G-JNE2, MB9AF142NPQC-G-JNE2, MB9AF144NPQC-G-JNE2, MB9AF141NBGL-GE1, MB9AF142NBGL-GE1, MB9AF144NBGL-GE1, MB9AF141MPMC-G-JNE2, MB9AF142MPMC-G-JNE2, MB9AF144MPMC-G-JNE2, MB9AF141MPMC1-G-JNE2, MB9AF142MPMC1-G-JNE2, MB9AF144MPMC1-G-JNE2, MB9AF141MBGL-GE1, MB9AF142MBGL-GE1, MB9AF144MBGL-GE1, MB9AF141LPMC1-G-JNE2, MB9AF142LPMC1-G-JNE2, MB9AF144LPMC1-G-JNE2, MB9AF141LPMC-G-JNE2, MB9AF142LPMC-G-JNE2, MB9AF144LPMC-G-JNE2, MB9AF141LQN-G-AVE2, MB9AF142LQN-G-AVE2, MB9AF144LQN-G-AVE2 |
| Rev. A |
| MB9AF141NAPMC-G-JNE2, MB9AF142NAPMC-G-JNE2, MB9AF144NAPMC-G-JNE2, MB9AF141NAPQC-G-JNE2, MB9AF142NAPQC-G-JNE2, MB9AF144NAPQC-G-JNE2, MB9AF141NABGL-GE1, MB9AF142NABGL-GE1, MB9AF144NABGL-GE1, MB9AF141MAPMC-G-JNE2, MB9AF142MAPMC-G-JNE2, MB9AF144MAPMC-G-JNE2, MB9AF141MAPMC1-G-JNE2, MB9AF142MAPMC1-G-JNE2, MB9AF144MAPMC1-G-JNE2, MB9AF141MABGL-GE1, MB9AF142MABGL-GE1, MB9AF144MABGL-GE1, MB9AF141LAPMC1-G-JNE2, MB9AF142LAPMC1-G-JNE2, MB9AF144LAPMC1-G-JNE2, MB9AF141LAPMC-G-JNE2, MB9AF142LAPMC-G-JNE2, MB9AF144LAPMC-G-JNE2, MB9AF141LAQN-G-AVE2, MB9AF142LAQN-G-AVE2, MB9AF144LAQN-G-AVE2 |
| Rev. B |
| MB9AF141NBPMC-G-JNE2, MB9AF142NBPMC-G-JNE2, MB9AF144NBPMC-G-JNE2, MB9AF141NBPQC-G-JNE2, MB9AF142NBPQC-G-JNE2, MB9AF144NBPQC-G-JNE2, MB9AF141NBBGL-GE1, MB9AF142NBBGL-GE1, MB9AF144NBBGL-GE1, MB9AF141MBPMC-G-JNE2, MB9AF142MBPMC-G-JNE2, MB9AF144MBPMC-G-JNE2, MB9AF141MBPMC1-G-JNE2, MB9AF142MBPMC1-G-JNE2, MB9AF144MBPMC1-G-JNE2, MB9AF141MBBGL-GE1, MB9AF142MBBGL-GE1, MB9AF144MBBGL-GE1, MB9AF141LBPMC1-G-JNE2, MB9AF142LBPMC1-G-JNE2, MB9AF144LBPMC1-G-JNE2, MB9AF141LBPMC-G-JNE2, MB9AF142LBPMC-G-JNE2, MB9AF144LBPMC-G-JNE2, MB9AF141LBQN-G-AVE2, MB9AF142LBQN-G-AVE2, MB9AF144LBQN-G-AVE2 |

15.2 認定の状況

出荷の状況：出荷中

15.3 エラッタのまとめ

下表では、デバイスへのエラッタの影響を定義します。

| 項目 | 型格 | シリコン版数 | 解決状況 |
|-------------------------------------|----------|------------------|-----------------|
| [1] FLASH 下位バンクの読出しの問題 | 15.1 を参照 | 初版 | Rev. A で修正 |
| [2]セクタ消去サスペンド中に FLASH から正しく読み出せない問題 | 15.1 を参照 | 初版 | Rev. A で修正 |
| [3] レギュレータの問題 | 15.1 を参照 | 初版、Rev. A | Rev. B で修正 |
| [4] HDMI-CEC アービトレーションロスト問題 | 15.1 を参照 | 初版、Rev. A | Rev. B で修正 |
| [5] HDMI-CEC ポーリングメッセージ問題 | 15.1 を参照 | 初版、Rev. A、Rev. B | シリコン改版の予定はありません |

1. FLASH 下位バンクの読出しの問題

■問題の定義

下位バンクからデータが読み出せないことがあります。

■影響を受けるパラメータ

無

■トリガ条件

この問題は、FLASH メモリの上位バンクに書き込みを行っている際に下位バンク読出しを行う場合に発生します。

■影響の範囲

下位バンクから正しく命令読出しができないので、ハードフォルトが発生したり、CPU が暴走したりします。また RAM 実行するプログラムの場合、間違ったデータを下位バンクから読み出します。

■回避方法

FLASH メモリの上位バンクに書き込みを行っている際に下位バンクから命令を読む場合は、RAM 実行に切り替えるか、上位バンクの書き込み完了を待ってから下位バンクの読出しを行う。特に割込みベクタは、オフセットを設定して下位バンクではなく RAM に置く。

■解決状況

この問題はシリコン版数 Rev. A で修正されます。

2. セクタ消去サスペンド中に FLASH から正しく読み出せない問題

■問題の定義

あるバンクにセクタ消去が行われている状態で同じバンクの別のセクタに書き込みを行うと、反対側のバンクから正しくデータが読み出せません。

■影響を受けるパラメータ

無

■トリガ条件

この問題は、あるバンクにセクタ消去が行われている状態で同じバンクの別のセクタに書き込みを行い、反対側のバンクから読出しを行うと発生します。下記にフローで表します。

- (a) あるバンクのあるセクタを消去する
- (b) このセクタの消去をサスペンドする
- (c) 同じバンクの別のセクタに対して書き込みを行う
- (d) 反対側のバンクから読出しを行う

■影響の範囲

FLASH から読出しができないので、命令読出しの場合はハードフォルトが発生したり、CPU が暴走したりします。また RAM 実行するプログラムの場合、間違ったデータを FLASH から読み出します。

■回避方法

セクタ消去サスペンドが行われているバンクの別のセクタに対して書込みを行わない。

■解決状況

この問題はシリコン版数 Rev. A で修正されます。

3. レギュレータの問題**■問題の定義**

電源投入時にレギュレータが初期化されません。

■影響を受けるパラメータ

無

■トリガ条件

この問題は内部回路の状態によってまれに発生します。

■影響の範囲

この問題が起こると、マイコンは動作を開始しません。

■回避方法

この問題はソフトウェアでは回避できません。

■解決状況

この問題はシリコン版数 Rev. A で解決されます。

4. HDMI-CEC アービトレーションロスト問題**■問題の定義**

CEC バスに大きな負荷容量がある場合、アービトレーションロストが起こる場合があります。

■影響を受けるパラメータ

無

■トリガ条件

アービトレーションロストを検出する回路は、出力信号をサンプルしてサンプルした信号と実際に出力している信号に不一致がある場合、アービトレーションロストが発生したと判断します。CEC の信号線に大きな負荷容量が付いた場合、信号のなまりが発生してサンプルした信号と実際に出力された信号に不一致が起こり、誤ってアービトレーションロストを検出する場合があります。

■影響の範囲

誤ってアービトレーションロストを検出すると、信号の送信を中断してしまうので送信が完了しません。

■回避方法

この不具合はソフトウェアで回避できません。CEC の信号線の負荷容量の低減をご検討下さい。

■解決状況

この問題はシリコン版数 Rev. B で解決されます。

5. HDMI-CEC ポーリングメッセージ問題

■問題の定義

問題#1) ポーリングメッセージを送信している最中は、常に他のノードから来るメッセージに対して NACK 応答する

問題#2) 他のノードが最後の信号をイニシエートした場合でも、常に 7 ビット時間を待ってから信号出力する

■影響を受けるパラメータ

無

■トリガ条件

この不具合は常に発生します。

■影響の範囲

他のノードに対して正しく応答しません。

■回避方法

次のソフトウェアの方法で問題#1 は回避されます。

1. SFREE レジスタに 0x0 を書く
2. GPIO を使い CEC の信号線を監視して信号がフリーになるまで待つ
3. フレームデータを TXDATA レジスタに書き込み、RCADR1 レジスタまたは RCADR2 レジスタに 0x0F を書き込む

TXDATA レジスタへの書き込みから 32.768kHz で 2~3 クロック以後にメッセージが送信されます。

TXDATA レジスタへの書き込みから 32.768kHz で 2~3 クロック以内に他のノードからフレームを受信した場合には、バスエラーが発生します。また、TXDATA レジスタへの書き込みから 32.768kHz で 2~3 クロック以後に他のノードからフレームを受信した場合には、アービトレーションエラーロストが発生します。アービトレーションエラーロストが発生した場合：

- 4-A-1. RCADR1 レジスタまたは RCADR2 に元の値を書いて ACK 応答する
- 4-A-2. ステップ 2 に戻る

TXDATA レジスタへの書き込みから 32.768kHz で 2~3 クロック以内に他のノードからフレームを受信した場合には、次の手順を踏みます。

- 4-B-1. GPIO を用いて、TXDATA レジスタへの書き込みから 50us の時間、信号線を監視する
- 4-B-2. CEC の信号線に 0 を検出したらすぐに TXEN ビットに 1→0→1 と書き込む
- 4-B-3. RCADR1 レジスタまたは RCADR2 レジスタの値を元の値に戻し ACK 応答する
- 4-B-4. ステップ 2 に戻る

問題#2 についてはソフトウェアの回避策がありません。しかし、HDMI-CEC の仕様では、信号線が 5 ビット時間以上フリーになることと書かれていますので、バスが 7 ビット時間フリーになることは HDMI-CEC の仕様に違反することではありません。

■解決状況

この問題を解決するシリコン改版の予定はありません。

16. 主な変更内容

Spansion Publication Number: DS706-00040

| ページ | 場所 | 変更箇所 |
|----------------|---|---|
| Revision 2.0 | | |
| 2 | <ul style="list-style-type: none"> ■特長 ・オンチップメモリ | [フラッシュメモリ]の記述を修正 |
| 5 | <ul style="list-style-type: none"> ・ユニーク ID | 「ユニーク ID」を追加 |
| 6 | <ul style="list-style-type: none"> ■品種構成 ・ファンクション | |
| 46 | <ul style="list-style-type: none"> ■デバイス使用上の注意 | 記述を追加 |
| 51 | <ul style="list-style-type: none"> ■メモリマップ ・メモリマップ(2) | |
| 55 | <ul style="list-style-type: none"> ■各 CPU ステートにおける端子状態 ・端子状態一覧表 | 端子状態形式「I」の記述を修正 |
| 62 | <ul style="list-style-type: none"> ■電気的特性 3.直流規格 (1)電流規格 | <ul style="list-style-type: none"> ・電源電流の記述を修正 ・「フラッシュメモリ書込み/消去電流」を追加 ・脚注を追加 |
| 66 | <ul style="list-style-type: none"> 4.交流規格 (3)内蔵 CR 発信規格 ・内蔵高速 CR | 表と脚注を修正 |
| 70, 71 | <ul style="list-style-type: none"> (7)外バスタイミング ・セパレートバスアクセス 非同期 SRAM モード | 表と図を修正 |
| 72 | <ul style="list-style-type: none"> ・セパレートバスアクセス 同期 SRAM モード | |
| 77, 79, 81, 83 | (9) CSIO タイミング | <ul style="list-style-type: none"> ・項目名を CSIO タイミングに修正 ・脚注を修正 |
| 86 | (11) I ² C タイミング | 脚注を修正 |
| 89 | <ul style="list-style-type: none"> 5. 12 ビット A/D コンバータ ・A/D 変換部電気的特性 | <ul style="list-style-type: none"> ・項目名を変更 ・記号を変更 ・規格値を訂正 |
| 91 | <ul style="list-style-type: none"> ・12 ビット A/D コンバータの用語の定義 | <ul style="list-style-type: none"> ・項目名を変更 ・記号を変更 |
| 92 | <ul style="list-style-type: none"> 6.低電圧検出特性 (1) 低電圧検出リセット | <ul style="list-style-type: none"> ・表の「条件」と「規格値」を訂正 ・項目を追加 ・脚注を追加 |
| 93 | (2) 低電圧検出割込み | 項目を追加 |
| Revision 2.1 | | |
| - | - | 社名変更および記述フォーマットの変換 |
| Revision 3.0 | | |
| - | - | シリーズ名を訂正 MB9A140NA シリーズ → MB9A140NB シリーズ |
| - | - | 製品型格を下記のように訂正 MB9AF144LB, MB9AF142LB, MB9AF141LB MB9AF144MB, MB9AF142MB, MB9AF141MB MB9AF144NB, MB9AF142NB, MB9AF141NB |
| 2 | <ul style="list-style-type: none"> ■特長 ・外部バスインタフェース | <ul style="list-style-type: none"> 下記を追加 ・最大アクセスサイズ：256M バイト |
| 3 | <ul style="list-style-type: none"> ■特長 ・マルチファンクションシリアルインタフェース | I ² C の記述を訂正 |
| 7 | <ul style="list-style-type: none"> ■品種構成 ・ファンクション | 注釈文を追加 |
| 51 | <ul style="list-style-type: none"> ■ブロックダイアグラム | 図を訂正 |
| 52 | <ul style="list-style-type: none"> ■メモリマップ ・メモリマップ(1) | 「External Device Area」のアドレスを訂正 |

| ページ | 場所 | 変更箇所 |
|--------------|---|--|
| 60 | ■電気的特性 2.推奨動作条件 | 注釈文を追加 |
| 61,62 | 3.直流規格 (1)電流規格 | <ul style="list-style-type: none"> 条件を訂正 規格値の最小値を削除 備考を訂正 注釈文を追加 |
| 83 | (9)CSIO タイミング ・同期シリアル(SPI=1, SCINV=1) | 「MS ビット=1」の図を訂正 |
| | (9)CSIO タイミング ・外部クロック(EXT=1)：非同期時のみ | 図を訂正 |
| 85 | (12)I ² C タイミング | 下記のように記述を訂正 <ul style="list-style-type: none"> 標準モード → Standard-mode 高速モード → Fast-mode |
| 88 | 5.12 ビット A/D コンバータ ・A/D 変換部電気特性 | <ul style="list-style-type: none"> 端子名を訂正 AN00 ~ AN23 → ANxx サンプリング時間の最小値を訂正 動作許可状態遷移時間の最小値、最大値を訂正 注釈文を訂正、削除 |
| 94 | ■オーダ型格 | オーダ型格を訂正 |
| Revision 4.0 | | |
| 52 | ■メモリマップ ・メモリマップ(2) | フラッシュメモリのセクタ構成の概略を追記 |
| 61 - 63 | ■電気的特性 3. 直流規格 (1) 電流規格 | <ul style="list-style-type: none"> 条件の表記を変更 メインタイムモード電流を追加 A/D コンバータ電流を移動 |
| 64 | ■電気的特性 3. 直流規格 (2) 端子特性 | 電源オフ時の CEC 端子の入力リーク電流を追加 |
| 67 | ■電気的特性 4. 交流規格 (4-1) メイン PLL の使用条件 (4-2) メイン PLL の使用条件 | メイン PLL 接続図を追加 |
| 68 | ■電気的特性 4. 交流規格 (6) パワーオンリセットタイミング | <ul style="list-style-type: none"> パワーオンリセット解除までの時間を追加 タイミング図を変更 |
| 77 - 84 | ■電気的特性 4. 交流規格 (9) CSIO/UART タイミング | <ul style="list-style-type: none"> UART タイミング→CSIO/UART タイミングに修正 内部シフトクロック動作→マスターモードに変更 外部シフトクロック動作→スレープモードに変更 |
| 89 | ■電気的特性 5. 12 ビット A/D コンバータ | <ul style="list-style-type: none"> 積分/微分直線性誤差、ゼロ/フルスケールトランジション電圧の標準値を追加 AVcc < 2.7V 時の変換時間を追加 |
| 95 - 98 | ■電気的特性 8. スタンバイ復帰時間 | スタンバイ復帰時間を追加 |
| 99, 100 | ■オーダ型格 | 型格の記載を変更 |

注意事項：以降の変更点に関しては、「改訂履歴」を参照してください。

改訂履歴

文書名: **MB9A140NB シリーズ 32 ビット ARM® Cortex®-M3 FM3** マイクロコントローラ
 文書番号: **002-05638**

| 版 | ECN 番号 | 変更者 | 発行日 | 変更内容 |
|----|---------|------|------------|--|
| ** | - | AKIH | 06/08/2015 | サイプレスとしてドキュメントコード 002-05638 に登録しました。 本版の内容およびフォーマットに変更はありません。 |
| *A | 5423912 | AKIH | 09/05/2016 | これは英語版の 002-05637 Rev. *A を翻訳した日本語版です。 |
| *B | 5534254 | YSKA | 06/01/2017 | これは英語版の 002-05637 Rev.*B を翻訳した日本語版です。 パッケージコードを以下の様に変更 FPT-64P-M38 -> LQD064, FPT-64P-M39 -> LQG064, LCC-64P-M24 -> VNC064, FPT-80P-M37 -> LQH080, FPT-80P-M40 -> LQJ080, BGA-96P-M07 -> FDG096, FPT-100P-M23 -> LQI100, FPT-100P-M36 -> PQH100 BGA-112P-M04 -> LBC112 <関連ページ> “2. パッケージと品種対応” (7 ページ), “3. 端子配列図” (8~14 ページ), “13. オーダ型格” (100 ページ), “14. パッケージ・外形寸法図” (102~110 ページ) 特長” のリアルタイムクロック (RTC:Real Time Clock) のカウント年数を 00~に修正。割込み機能の指定条件から「秒/曜日」を削除 (2 ページ) “4. 端子機能別” の表記を修正 J-TAG -> JTAG (26 ページ)、注意事項を追記 (37 ページ) 12.4.7 パワーオンリセットタイミングを変更 (68 ページ) 15. エラッタを追加 (111 ページ) “12.2 推奨動作条件” および “12.5 12 ビット A/D コンバータ” にアナログ基準電源 (AVRL) を追加 (60, 90 ページ) “12.5. 12 ビット A/D コンバータ” の語句を、以下の様に修正。 “アナログポート入力電流” → “アナログポート入力リーク電流” (90 ページ) “12.4.10 CSIO/UART タイミング” の項目にボーレートを追加 (78, 80, 82, 84 ページ) |