



本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名、品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名、品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcnにアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディング カンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。

MB9B110T シリーズは、高速処理と低コストを求める組込み制御用途向けに設計された、高集積 32 ビットマイクロコントローラです。本シリーズは、CPU に ARM Cortex-M3 プロセッサを搭載し、フラッシュメモリおよび SRAM のオンチップメモリとともに、周辺機能として、モータ制御用タイマ、A/D コンバータ、各種通信インタフェース(UART, CSIO, I²C, LIN)により構成されます。『FM3 ファミリー ペリフェラルマニュアル』において、このデータシートに記載されている製品は、TYPE2 製品に分類されます。

特長

32 ビット ARM Cortex-M3 コア

- プロセッサ版数: r2p1
- 最大動作周波数: 144 MHz
- メモリ保護ユニット(MPU): 組込みシステムの信頼性を向上させます。
- ネスト型ベクタ割込みコントローラ(NVIC): 1 チャンネルの NMI(ノンマスカプブル割込み)と 48 チャンネルの周辺割込みに対応。16 の割込み優先度レベルを設定できます。
- 24 ビットシステムタイマ(Sys Tick): OS タスク管理用のシステムタイマです。

オンチップメモリ

[フラッシュメモリ]

- 最大 1 M バイト
- 16 K バイトのトレースバッファメモリを使用した Flash アクセラレータ機能を内蔵フラッシュメモリへのリードアクセスは、動作周波数 72 MHz までは 0 wait-cycle です。72 MHz より大きい場合でも、Flash アクセラレータ機能により、0 wait-cycle と同等なアクセスを行えます。
- コード保護用セキュリティ機能

[SRAM]

本シリーズのオンチップ SRAM は、2 つの独立した SRAM (SRAM0,SRAM1) により構成されています。SRAM0 は、Cortex-M3 コアの I-Code バス,D-Code バスに接続します。SRAM1 は、Cortex-M3 コアの System バスに接続します。

- SRAM0: 最大 64 K バイト
- SRAM1: 最大 64 K バイト

マルチファンクションシリアルインタフェース(最大 8 チャンネル)

- 16 段× 9 ビット FIFO あり 4 チャンネル(ch.4~ch.7), FIFO なし 4 チャンネル(ch.0~ch.3)
- チャンネルごとに動作モードを次の中から選択できます。
 - UART
 - CSIO
 - LIN
 - I²C

[UART]

- 全二重ダブルバッファ
- パリティあり/なし選択可能
- 専用ボーレートジェネレータ内蔵
- 外部クロックをシリアルクロックとして使用可能
- ハードウェアフロー・コントロール: CTS/RTS による送受信自動制御(ch.4 のみ)
- 豊富なエラー検出機能(パリティエラー, フレーミングエラー, オーバランエラー)

[CSIO]

- 全二重ダブルバッファ
- 専用ボーレートジェネレータ内蔵
- オーバランエラー検出機能

[LIN]

- LIN プロトコル Rev.2.1 対応
- 全二重ダブルバッファ
- マスタ/スレーブモード対応
- LIN break field 生成(13~16 ビット長に変更可能)
- LIN break デリミタ生成(1~4 ビット長に変更可能)
- 豊富なエラー検出機能(パリティエラー, フレーミングエラー, オーバランエラー)

[I²C]

Standard-mode(最大 100 kbps)/Fast-mode(最大 400 kbps)に対応

- 外部バスインタフェース
- SRAM, NOR と NAND フラッシュデバイスに対応
- 最大 8 チップセレクト
- 8/16 ビットデータ幅
- 最大 25 ビットのアドレスビット
- 最大アクセスサイズ: 256M バイト
- アドレス/データマルチプレクスをサポート
- 外部 RDY 機能をサポート

DMA コントローラ(8 チャンネル)

DMA コントローラは、CPU とは独立した DMA 専用バスを持ち、CPU と並列動作できます。

- 8 つを独自に構成かつ動作可能なチャンネル
- ソフトウェア要求、または内蔵周辺機能要求による転送開始可能
- 転送アドレス空間: 32 ビット(4 G バイト)
- 転送モード: ブロック転送/ バースト転送/ デマンド転送
- 転送データタイプ: バイト/ ハーフワード/ ワード
- 転送ブロック数: 1 ~ 16
- 転送回数: 1 ~ 65536

A/D コンバータ(最大 32 チャンネル)

[12 ビット A/D コンバータ]

- 逐次比較型
- 3 ユニット搭載
- 変換時間: 1.0 μs@5 V
- 優先変換可能(2 レベルの優先度)
- スキャン変換モード
- 変換データ格納用 FIFO 搭載(スキャン変換用: 16 段, 優先変換用: 4 段)

ベースタイマ(最大 16 チャンネル)

チャンネルごとに動作モードを次の中から選択できます。

- 16 ビット PWM タイマ
- 16 ビット PPG タイマ
- 16/32 ビットリロードタイマ
- 16/32 ビット PWC タイマ

多機能タイマ(最大 3 ユニット)

多機能タイマは、次のブロックで構成されます。

- 16 ビットフリーランタイマ×3 チャンネル / ユニット
- インプットキャプチャ×4 チャンネル / ユニット
- アウトプットコンペア×6 チャンネル / ユニット
- A/D 起動コンペア×3 チャンネル / ユニット
- 波形ジェネレータ×3 チャンネル / ユニット
- 16 ビット PPG タイマ×3 チャンネル / ユニット

モータ制御を実現するために次の機能を用意しています。

- PWM 信号出力機能
- DC チョップパルス出力機能
- デッドタイム機能
- インプットキャプチャ機能
- A/D コンバータ起動機能
- DTIF(モータ緊急停止)割込み機能

クアッドカウンタ(QPRC : Quadrature Position/Revolution Counter) (最大 3 チャンネル)

クアッドカウンタ(QPRC)は、ポジションエンコーダの位置を測定するために使います。また、設定によりアップダウンカウンタとしても使用できます。

- 3 つの外部イベント入力端子 AIN, BIN, ZIN の検出エッジを設定可能
- 16 ビット位置カウンタ
- 16 ビット回転カウンタ
- 2 つの 16 ビットコンペアレジスタ

デュアルタイマ(32/16 ビットダウンカウンタ)

デュアルタイマは、2 つのプログラム可能な 32/16 ビットダウンカウンタで構成されます。

各タイマチャンネルの動作モードを次の中から選択できます。

- フリーランモード
- 周期モード(=リロードモード)
- ワンショットモード

時計カウンタ

時計カウンタは低消費電力モードからのウェイクアップに使用します。

インターバルタイマ: 最大 64 s@サブクロック使用時 (32.768 kHz)

ウォッチドッグタイマ(2チャンネル)

ウォッチドッグタイマは、タイムアウト値に達すると割込みまたはリセットを発生します。本シリーズには、"ハードウェア"ウォッチドッグと"ソフトウェア"ウォッチドッグの2つの異なるウォッチドッグがあります。

"ハードウェア"ウォッチドッグタイマは内蔵低速 CR 発振で動作するため、ストップモード以外のすべての低消費電力モードで動作します。

汎用 I/O ポート

本シリーズは、端子が外部バスまたは周辺機能に使用されていない場合、I/O ポートとして使用できます。また、どの I/O ポートに周辺機能を割り当てるかを設定できるポートリロケート機能を搭載しています。

- 端子ごとにプルアップ制御可能
- 端子レベルを直接読出し可能
- ポートリロケート機能
- 最大 154 本の高速汎用 I/O ポート @176 pin Package
- 一部のポートは、5V トレラントに対応
該当する端子については「端子機能一覧」を参照してください。

外部割込み制御ユニット

- 外部割込み入力端子: 最大 32 本
- ノンマスカブル割込み(NMI)入力端子: 1 本

CRC(Cyclic Redundancy Check)アクセラレータ

CRC アクセラレータは、ソフト処理負荷の高い CRC 計算を行い、受信データおよびストレージの整合性確認処理負荷の軽減を実現します。

CCITT CRC16 と IEEE-802.3 CRC32 をサポートします。

- CCITT CRC16 Generator Polynomial: 0x1021
- IEEE-802.3 CRC32 Generator Polynomial: 0x04C11DB7

クロック/リセット

[クロック]

5 種類のクロックソース(2 種類の外部発振, 2 種類の内蔵 CR 発振, メイン PLL)から選択できます。

- メインクロック: 4 MHz~48 MHz
- サブクロック: 32.768 kHz
- 内蔵高速 CR クロック: 4 MHz
- 内蔵低速 CR クロック: 100 kHz
- メイン PLL クロック

[リセット]

- INITX 端子からのリセット要求
- 電源投入リセット
- ソフトウェアリセット
- ウォッチドッグタイマリセット
- 低電圧検出リセット
- クロックスーパーバイザリセット

クロック監視機能(CSV : Clock Super Visor)

内蔵 CR 発振による生成クロックを用いて外部クロックの異常を監視します。

- 外部クロック異常(クロック停止)が検出されると、リセットがアサートされます。
- 外部周波数異常が検出されると、割込みまたはリセットがアサートされます。

低電圧検出機能(LVD : Low Voltage Detect)

本シリーズは、2 段階で VCC の電圧を監視します。設定した電圧より VCC 端子の電圧が下がった場合、低電圧検出機能により割込みまたはリセットが発生します。

- LVD1 : 割込みによりエラーを報告
- LVD2 : オートリセット動作

低消費電力モード

3 種類の低消費電力モードに対応します。

- スリープ
- タイマ
- ストップ

デバッグ

- シリアル・ワイヤ JTAG デバッグ・ポート (SWJ-DP)
- エンベデッド・トレース・マクロセル(ETM)

電源

ワイドレンジ電圧対応: VCC = 2.7 V~5.5 V

Table of Contents

特長	1
1. 品種構成	6
1.1 メモリサイズ	6
1.2 ファンクション	6
2. パッケージと品種対応	7
3. 端子配列図	8
4. 端子機能一覧	11
4.1 端子番号別	11
4.2 端子機能別	28
5. 入出力回路形式	50
6. 取扱上のご注意	57
6.1 設計上の注意事項	57
6.2 パッケージ実装上の注意事項	58
6.3 使用環境に関する注意事項	59
7. デバイス使用上の注意	60
8. ブロックダイヤグラム	62
9. メモリサイズ	62
10. メモリマップ	63
10.1 メモリマップ(1)	63
10.2 メモリマップ(2)	64
10.3 ペリフェラル・アドレスマップ	65
11. 各 CPU ステートにおける端子状態	66
11.1 端子状態一覧表	67
12. 電気的特性	70
12.1 絶対最大定格	70
12.2 推奨動作条件	72
12.3 直流規格	73
12.3.1 電流規格	73
12.3.2 端子特性	75
12.4 交流規格	77
12.4.1 メインクロック入力規格	77
12.4.2 サブクロック入力規格	78
12.4.3 内蔵 CR 発振規格	78
12.4.4 メイン PLL の使用条件	79

12.4.5	リセット入力規格	80
12.4.6	パワーオンリセットタイミング	80
12.4.7	外バスタイミング	81
12.4.8	ベースタイマ入力タイミング	90
12.4.9	CSIO/UART タイミング	91
12.4.10	外部入力タイミング	99
12.4.11	クアッドカウンタ タイミング	100
12.4.12	I ² C タイミング	103
12.4.13	ETM タイミング	104
12.4.14	JTAG タイミング	105
12.5	12 ビット A/D コンバータ	106
12.5.1	A/D 変換部電気的特性	106
12.5.2	12 ビット A/D コンバータの用語の定義	108
12.6	低電圧検出特性	109
12.6.1	低電圧検出リセット	109
12.6.2	低電圧検出割込み	109
12.7	フラッシュメモリ書込み/消去特性	110
12.7.1	書込み/消去時間	110
12.7.2	書込みサイクルとデータ保持時間	110
12.8	スタンバイ復帰時間	111
12.8.1	復帰要因：割込み	111
12.8.2	復帰要因：リセット	113
13.	オーダ型格	115
14.	パッケージ・外形寸法図	116
15.	主な変更内容	119
	改訂履歴	121
	セールス、ソリューションおよび法律情報	122

1. 品種構成

メモリサイズ

品種名	MB9BF116S/T	MB9BF117S/T	MB9BF118S/T
オンチップ・フラッシュメモリ	512 Kbyte	768 Kbyte	1 Mbyte
オンチップ・SRAM	64 Kbyte	96 Kbyte	128 Kbyte

ファンクション

品種名	MB9BF116S MB9BF117S MB9BF118S	MB9BF116T MB9BF117T MB9BF118T
端子数	144	176/192
CPU	Cortex-M3	
周波数	144 MHz	
電源電圧範囲	2.7 V ~ 5.5 V	
DMAC	8 ch	
外部バスインタフェース	Addr:19-bit (最大) R/Wdata: 8-/16-bit (最大) CS:8 (最大) SRAM, NOR Flash, NAND Flash	Addr:25-bit (最大) R/Wdata: 8-/16-bit (最大) CS:8 (最大) SRAM, NOR Flash, NAND Flash
マルチファンクションシリアル (UART/CSIO/LIN/I ² C)	8 ch. (最大) FIFO (16 段 × 9 ビット) あり: ch.4 ~ ch.7 FIFO なし: ch.0 ~ ch.3	
ベースタイマ (PWC/リロードタイマ/PWM/PPG)	16 ch. (最大)	
多機能タイマ	A/D 起動コンペア	3 ch.
	インプットキャプチャ	4 ch.
	フリーランタイマ	3 ch.
	アウトプットコンペア	6 ch.
	波形ジェネレータ	3 ch.
PPG	3 ch.	3 units (最大)
クアッドカウンタ	3 ch. (最大)	
デュアルタイマ	1 unit	
時計カウンタ	1 unit	
CRC アクセラレータ	Yes	
ウォッチドッグタイマ	1 ch. (SW) + 1 ch. (HW)	
外部割込み	32 pins (最大)+ NMI × 1	
汎用 I/O ポート	122 pins (最大)	154 pins (最大)
12 ビット A/D コンバータ	24 ch. (3 units)	32 ch. (3 units)
クロック異常検出機能(CSV)	Yes	
低電圧検出機能(LVD)	2 ch.	
内蔵 CR	高速	4 MHz
	低速	100 kHz
デバッグ機能	SWJ-DP/ETM	

<注意事項>

- 各製品に搭載される周辺機能の信号は、パッケージの端子数制限により、すべて割り当てることはできません。ご使用される機能に応じて、I/O ポートのポートリロケート機能を用いて、端子割当てを行う必要があります。内蔵 CR のクロック周波数精度については、『12.電気的特性 12.4.交流規格 12.4.3 内蔵 CR 発振規格』を参照してください。

2. パッケージと品種対応

パッケージ \ 品種名	MB9BF116S MB9BF117S MB9BF118S	MB9BF116T MB9BF117T MB9BF118T
LQFP: LQS144 (0.5 mm pitch)	○	—
LQFP: LQP176 (0.5 mm pitch)	—	○
BGA: LBE192 (0.8 mm pitch)	—	○

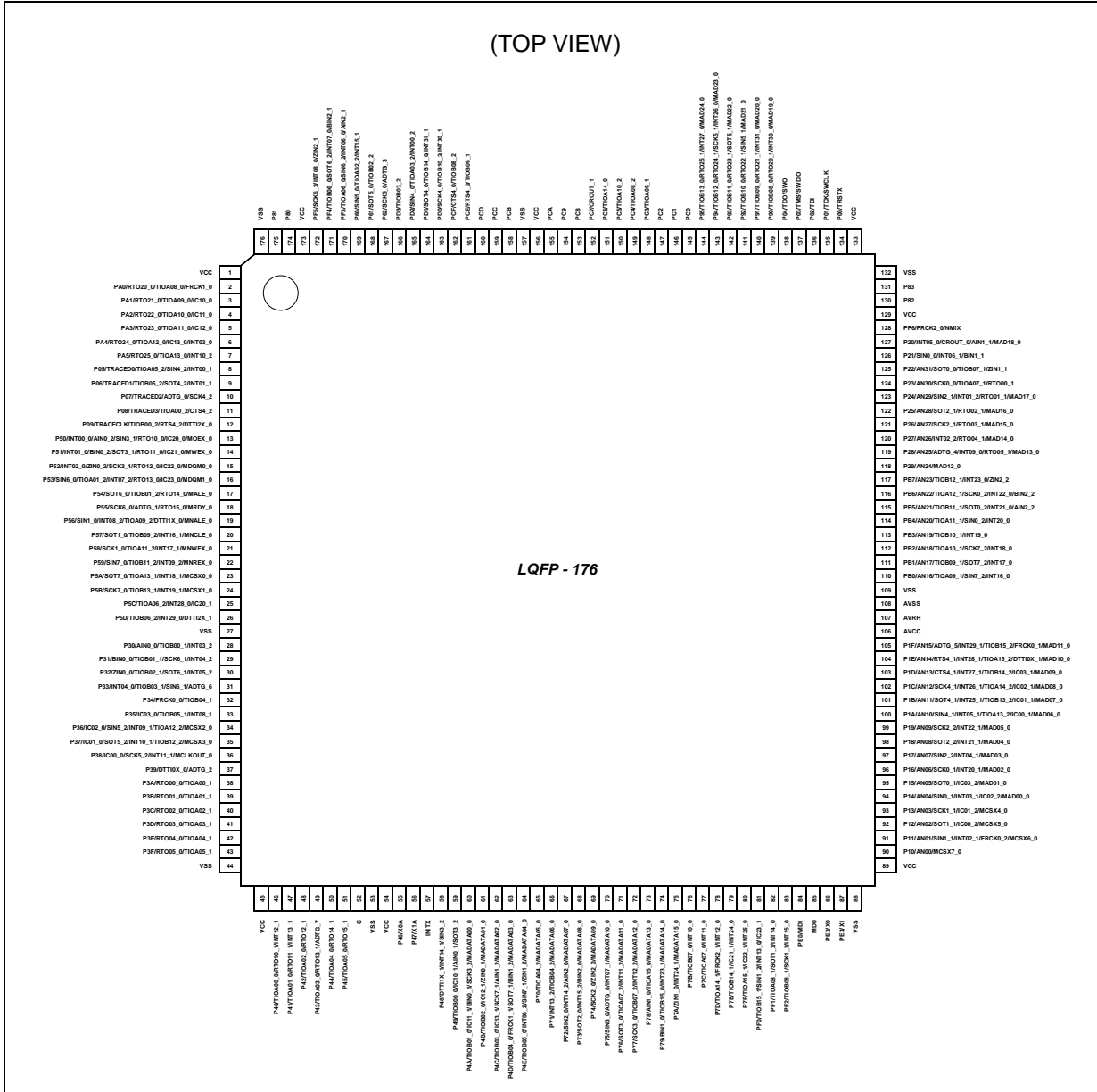
○: 対応

<注意事項>

- 各パッケージの詳細は「14.パッケージ・外形寸法図」を参照してください。

3. 端子配列図

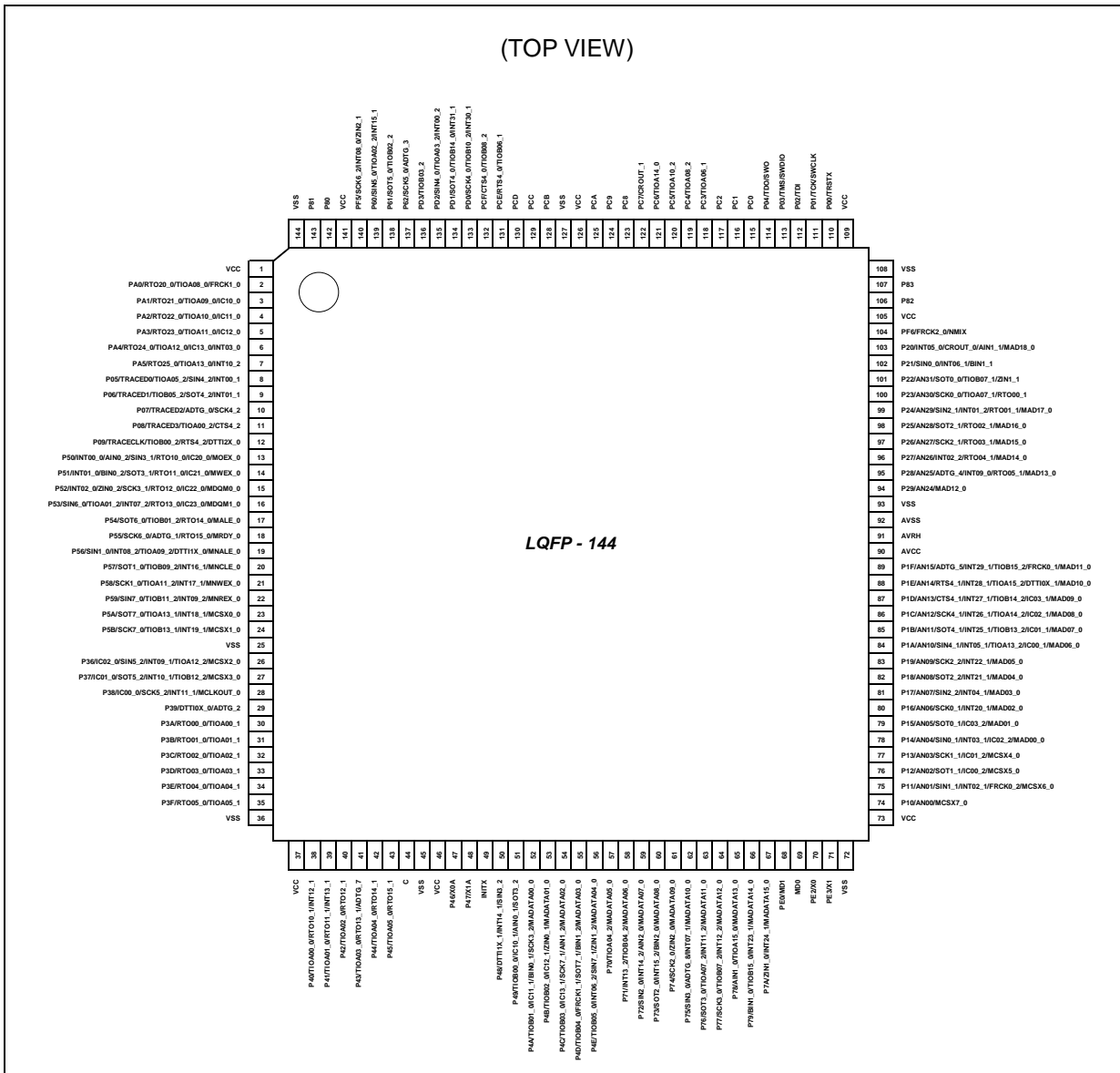
LQP176



＜注意事項＞

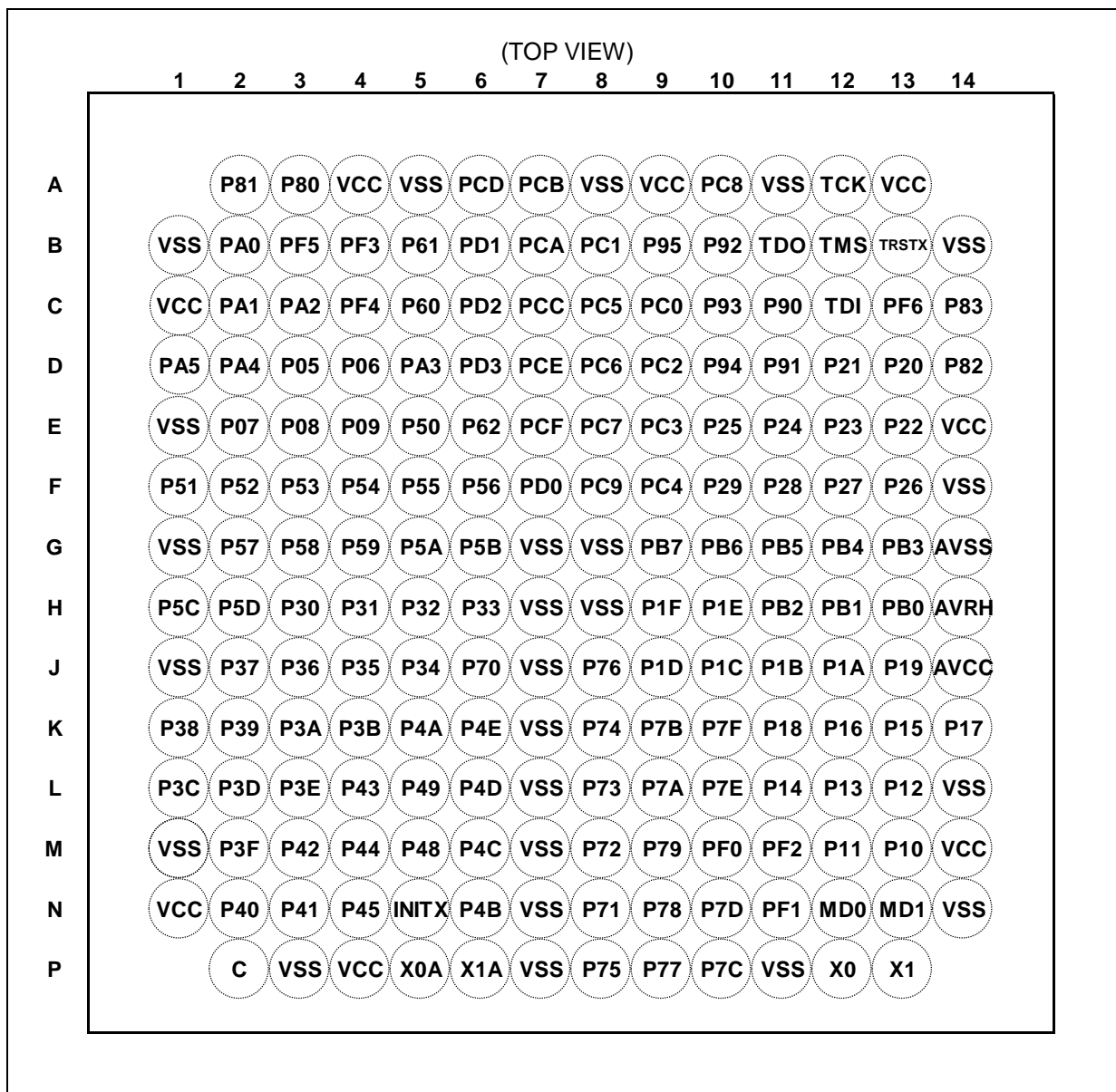
- XXX_1, XXX_2 のように「_ (アンダーバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR)によって利用する端子名を選択してください。TIOA09_0, TIOA09_1, TIOA09_2 は、ベースタイマの入出力モード1(タイムアップモード)時に外部起動トリガ入力(TGIN)として使用できません。詳細は、「7. デバイス使用上の注意」の「ベースタイマについて」を参照してください。

LQS144



<注意事項>

- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR)によって利用する端子名を選択してください。TIOA09_0, TIOA09_1, TIOA09_2 は、ベースタイムの入出力モード1(タイムフルモード)時に外部起動トリガ入力(TGIN)として使用できません。詳細は、「7. デバイス使用上の注意」の「ベースタイムについて」を参照してください。

LBE192

<注意事項>

- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR)によって利用する端子名を選択してください。TIOA09_0, TIOA09_1, TIOA09_2 は、ベースタイマの入出力モード1(タイムフルモード)時に外部起動トリガ入力(TGIN)として使用できません。詳細は、「7. デバイス使用上の注意」の「ベースタイマについて」を参照してください。

4. 端子機能一覧

端子番号別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR) で使用する端子名を選択してください。

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-176	LQFP-144	BGA-192			
1	1	C1	VCC	-	
2	2	B2	PA0	G	I
			RTO20_0		
			TIOA08_0		
			FRCK1_0		
3	3	C2	PA1	G	I
			RTO21_0		
			TIOA09_0		
			IC10_0		
4	4	C3	PA2	G	I
			RTO22_0		
			TIOA10_0		
			IC11_0		
5	5	D5	PA3	G	I
			RTO23_0		
			TIOA11_0		
			IC12_0		
6	6	D2	PA4	G	H
			RTO24_0		
			TIOA12_0		
			IC13_0		
7	7	D1	INT03_0	G	H
			PA5		
			RTO25_0		
			TIOA13_0		
8	8	D3	INT10_2	E	F
			P05		
			TRACED0		
			TIOA05_2		
9	9	D4	SIN4_2	E	F
			INT00_1		
			P06		
			TRACED1		
			TIOB05_2		
SOT4_2					
			INT01_1		

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-176	LQFP-144	BGA-192			
10	10	E2	P07	E	G
			TRACED2		
			ADTG_0		
			SCK4_2		
11	11	E3	P08	E	G
			TRACED3		
			TIOA00_2		
			CTS4_2		
12	12	E4	P09	E	G
			TRACECLK		
			TIOB00_2		
			RTS4_2		
13	13	E5	P50	E	H
			INT00_0		
			AIN0_2		
			SIN3_1		
			RTO10_0		
			IC20_0		
MOEX_0					
14	14	F1	P51	E	H
			INT01_0		
			BIN0_2		
			SOT3_1		
			RTO11_0		
			IC21_0		
MWEX_0					
15	15	F2	P52	E	H
			INT02_0		
			ZIN0_2		
			SCK3_1		
			RTO12_0		
			IC22_0		
MDQM0_0					

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-176	LQFP-144	BGA-192			
16	16	F3	P53	E	H
			SIN6_0		
			TIOA01_2		
			INT07_2		
			RTO13_0		
			IC23_0		
17	17	F4	MDQM1_0	E	I
			P54		
			SOT6_0		
			TIOB01_2		
			RTO14_0		
18	18	F5	MALE_0	E	I
			P55		
			SCK6_0		
			ADTG_1		
19	19	F6	RTO15_0	E	H
			MRDY_0		
			P56		
			SIN1_0		
			INT08_2		
20	20	G2	TIOA09_2	E	H
			DTT11X_0		
			MNALE_0		
			P57		
21	21	G3	SOT1_0	E	H
			TIOB09_2		
			INT16_1		
			MNCLE_0		
22	22	G4	P58	E	H
			SCK1_0		
			TIOA11_2		
			INT17_1		
22	22	G4	MNWEX_0	E	H
			P59		
			SIN7_0		
			TIOB11_2		
22	22	G4	INT09_2	E	H
			MNREX_0		

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-176	LQFP-144	BGA-192			
23	23	G5	P5A	E	H
			SOT7_0		
			TIOA13_1		
			INT18_1		
			MCSX0_0		
24	24	G6	P5B	E	H
			SCK7_0		
			TIOB13_1		
			INT19_1		
			MCSX1_0		
25	-	H1	P5C	E	H
			TIOA06_2		
			INT28_0		
			IC20_1		
26	-	H2	P5D	E	H
			TIOB06_2		
			INT29_0		
			DTTI2X_1		
27	25	J1	VSS	-	-
28	-	H3	P30	E	H
			AIN0_0		
			TIOB00_1		
			INT03_2		
29	-	H4	P31	E	H
			BIN0_0		
			TIOB01_1		
			SCK6_1		
			INT04_2		
30	-	H5	P32	E	H
			ZIN0_0		
			TIOB02_1		
			SOT6_1		
			INT05_2		
31	-	H6	P33	E	H
			INT04_0		
			TIOB03_1		
			SIN6_1		
			ADTG_6		

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-176	LQFP-144	BGA-192			
32	-	J5	P34	E	I
			FRCK0_0		
			TIOB04_1		
33	-	J4	P35	E	H
			IC03_0		
			TIOB05_1		
			INT08_1		
34	26	J3	P36	E	H
			IC02_0		
			SIN5_2		
			INT09_1		
			TIOA12_2		
			MCSX2_0		
35	27	J2	P37	E	H
			IC01_0		
			SOT5_2		
			INT10_1		
			TIOB12_2		
			MCSX3_0		
36	28	K1	P38	E	H
			IC00_0		
			SCK5_2		
			INT11_1		
			MCLKOUT_0		
37	29	K2	P39	E	I
			DTTIOX_0		
			ADTG_2		
38	30	K3	P3A	G	I
			RTO00_0		
			TIOA00_1		
39	31	K4	P3B	G	I
			RTO01_0		
			TIOA01_1		
40	32	L1	P3C	G	I
			RTO02_0		
			TIOA02_1		

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-176	LQFP-144	BGA-192			
41	33	L2	P3D	G	I
			RTO03_0		
			TIOA03_1		
42	34	L3	P3E	G	I
			RTO04_0		
			TIOA04_1		
43	35	M2	P3F	G	I
			RTO05_0		
			TIOA05_1		
44	36	M1	VSS	-	
45	37	N1	VCC	-	
46	38	N2	P40	G	H
			TIOA00_0		
			RTO10_1		
			INT12_1		
47	39	N3	P41	G	H
			TIOA01_0		
			RTO11_1		
			INT13_1		
48	40	M3	P42	G	I
			TIOA02_0		
			RTO12_1		
49	41	L4	P43	G	I
			TIOA03_0		
			RTO13_1		
			ADTG_7		
50	42	M4	P44	G	I
			TIOA04_0		
			RTO14_1		
51	43	N4	P45	G	I
			TIOA05_0		
			RTO15_1		
52	44	P2	C	-	
53	45	P3	VSS	-	
54	46	P4	VCC	-	
55	47	P5	P46	D	M
			X0A		
56	48	P6	P47	D	N
			X1A		
57	49	N5	INITX	B	C
58	50	M5	P48	E	H
			DTTIX_1		
			INT14_1		
			SIN3_2		

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-176	LQFP-144	BGA-192			
59	51	L5	P49	E	I
			TIOB00_0		
			IC10_1		
			AIN0_1		
60	52	K5	SOT3_2	E	I
			P4A		
			TIOB01_0		
			IC11_1		
			BIN0_1		
SCK3_2					
61	53	N6	MADATA00_0	E	I
			P4B		
			TIOB02_0		
			IC12_1		
			ZIN0_1		
MADATA01_0					
62	54	M6	P4C	E	I
			TIOB03_0		
			IC13_1		
			SCK7_1		
			AIN1_2		
			MADATA02_0		
63	55	L6	P4D	E	I
			TIOB04_0		
			FRCK1_1		
			SOT7_1		
			BIN1_2		
			MADATA03_0		
64	56	K6	P4E	E	H
			TIOB05_0		
			INT06_2		
			SIN7_1		
			ZIN1_2		
			MADATA04_0		
65	57	J6	P70	E	I
			TIOA04_2		
			MADATA05_0		
66	58	N8	P71	E	H
			INT13_2		
			TIOB04_2		
			MADATA06_0		

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-176	LQFP-144	BGA-192			
67	59	M8	P72	E	H
			SIN2_0		
			INT14_2		
			AIN2_0		
			MADATA07_0		
68	60	L8	P73	E	H
			SOT2_0		
			INT15_2		
			BIN2_0		
			MADATA08_0		
69	61	K8	P74	E	I
			SCK2_0		
			ZIN2_0		
			MADATA09_0		
70	62	P8	P75	E	H
			SIN3_0		
			ADTG_8		
			INT07_1		
			MADATA10_0		
71	63	J8	P76	E	H
			SOT3_0		
			TIOA07_2		
			INT11_2		
			MADATA11_0		
72	64	P9	P77	E	H
			SCK3_0		
			TIOB07_2		
			INT12_2		
			MADATA12_0		
73	65	N9	P78	E	I
			AIN1_0		
			TIOA15_0		
			MADATA13_0		
74	66	M9	P79	E	H
			BIN1_0		
			TIOB15_0		
			INT23_1		
			MADATA14_0		
-	-	E1	VSS	-	-
-	-	G1	VSS	-	-

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-176	LQFP-144	BGA-192			
75	67	L9	P7A	E	H
			ZIN1_0		
			INT24_1		
			MADATA15_0		
76	-	K9	P7B	E	H
			TIOB07_0		
			INT10_0		
77	-	P10	P7C	E	H
			TIOA07_0		
			INT11_0		
78	-	N10	P7D	E	H
			TIOA14_1		
			FRCK2_1		
			INT12_0		
79	-	L10	P7E	E	H
			TIOB14_1		
			IC21_1		
			INT24_0		
80	-	K10	P7F	E	H
			TIOA15_1		
			IC22_1		
			INT25_0		
81	-	M10	PF0	I*	H
			TIOB15_1		
			SIN1_2		
			INT13_0		
82	-	N11	PF1	I*	H
			TIOA08_1		
			SOT1_2		
			INT14_0		
83	-	M11	PF2	I*	H
			TIOB08_1		
			SCK1_2		
			INT15_0		
84	68	N13	PE0	C	P
85	69	N12	MD1	J	D
86	70	P12	PE2	A	A
			X0		
87	71	P13	PE3	A	B
			X1		
88	72	N14	VSS	-	-
89	73	M14	VCC	-	-
-	-	L7	VSS	-	-
-	-	K7	VSS	-	-

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-176	LQFP-144	BGA-192			
90	74	M13	P10	F	K
			AN00		
			MCSX7_0		
91	75	M12	P11	F	L
			AN01		
			SIN1_1		
			INT02_1		
			FRCK0_2		
			MCSX6_0		
92	76	L13	P12	F	K
			AN02		
			SOT1_1		
			IC00_2		
93	77	L12	MCSX5_0	F	K
			P13		
			AN03		
			SCK1_1		
94	78	L11	IC01_2	F	L
			MCSX4_0		
			P14		
			AN04		
			SIN0_1		
			INT03_1		
95	79	K13	IC02_2	F	K
			MAD00_0		
			P15		
			AN05		
			SOT0_1		
96	80	K12	IC03_2	F	L
			MAD01_0		
			P16		
			AN06		
			SCK0_1		
97	81	K14	INT20_1	F	L
			MAD02_0		
			P17		
			AN07		
			SIN2_2		
-	-	P7	INT04_1	-	-
			MAD03_0		
			VSS		
-	-	P11	VSS	-	-
-	-	L14	VSS	-	-

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-176	LQFP-144	BGA-192			
98	82	K11	P18	F	L
			AN08		
			SOT2_2		
			INT21_1		
			MAD04_0		
99	83	J13	P19	F	L
			AN09		
			SCK2_2		
			INT22_1		
			MAD05_0		
100	84	J12	P1A	F	L
			AN10		
			SIN4_1		
			INT05_1		
			TIOA13_2		
			IC00_1		
			MAD06_0		
101	85	J11	P1B	F	L
			AN11		
			SOT4_1		
			INT25_1		
			TIOB13_2		
			IC01_1		
			MAD07_0		
102	86	J10	P1C	F	L
			AN12		
			SCK4_1		
			INT26_1		
			TIOA14_2		
			IC02_1		
			MAD08_0		
103	87	J9	P1D	F	L
			AN13		
			CTS4_1		
			INT27_1		
			TIOB14_2		
			IC03_1		
			MAD09_0		
104	88	H10	P1E	F	L
			AN14		
			RTS4_1		
			INT28_1		
			TIOA15_2		
			DTTI0X_1		
			MAD10_0		

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-176	LQFP-144	BGA-192			
105	89	H9	PIF	F	L
			AN15		
			ADTG_5		
			INT29_1		
			TIOB15_2		
			FRCK0_1		
			MAD11_0		
106	90	J14	AVCC	-	
107	91	H14	AVRH	-	
108	92	G14	AVSS	-	
109	93	F14	VSS	-	
110	-	H13	PB0	F	L
			AN16		
			TIOA09_1		
			SIN7_2		
			INT16_0		
111	-	H12	PB1	F	L
			AN17		
			TIOB09_1		
			SOT7_2		
			INT17_0		
112	-	H11	PB2	F	L
			AN18		
			TIOA10_1		
			SCK7_2		
			INT18_0		
113	-	G13	PB3	F	L
			AN19		
			TIOB10_1		
			INT19_0		
114	-	G12	PB4	F	L
			AN20		
			TIOA11_1		
			SIN0_2		
			INT20_0		
115	-	G11	PB5	F	L
			AN21		
			TIOB11_1		
			SOT0_2		
			INT21_0		
			AIN2_2		
-	-	G7	VSS	-	
-	-	J7	VSS	-	

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-176	LQFP-144	BGA-192			
116	-	G10	PB6	F	L
			AN22		
			TIOA12_1		
			SCK0_2		
			INT22_0		
			BIN2_2		
117	-	G9	PB7	F	L
			AN23		
			TIOB12_1		
			INT23_0		
			ZIN2_2		
118	94	F10	P29	F	K
			AN24		
			MAD12_0		
119	95	F11	P28	F	L
			AN25		
			ADTG_4		
			INT09_0		
			RTO05_1		
			MAD13_0		
120	96	F12	P27	F	L
			AN26		
			INT02_2		
			RTO04_1		
			MAD14_0		
121	97	F13	P26	F	K
			AN27		
			SCK2_1		
			RTO03_1		
			MAD15_0		
122	98	E10	P25	F	K
			AN28		
			SOT2_1		
			RTO02_1		
			MAD16_0		
123	99	E11	P24	F	L
			AN29		
			SIN2_1		
			INT01_2		
			RTO01_1		
			MAD17_0		

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-176	LQFP-144	BGA-192			
124	100	E12	P23	F	K
			AN30		
			SCK0_0		
			TIOA07_1		
			RTO00_1		
125	101	E13	P22	F	K
			AN31		
			SOT0_0		
			TIOB07_1		
			ZIN1_1		
126	102	D12	P21	E	H
			SIN0_0		
			INT06_1		
			BIN1_1		
127	103	D13	P20	E	H
			INT05_0		
			CROUT_0		
			AIN1_1		
			MAD18_0		
128	104	C13	PF6	I*	J
			FRCK2_0		
			NMIX		
129	105	E14	VCC	-	-
130	106	D14	P82	H	O
131	107	C14	P83	H	O
132	108	B14	VSS	-	-
133	109	A13	VCC	-	-
134	110	B13	P00	E	E
			TRSTX		
135	111	A12	P01	E	E
			TCK		
			SWCLK		
136	112	C12	P02	E	E
			TDI		
137	113	B12	P03	E	E
			TMS		
			SWDIO		
138	114	B11	P04	E	E
			TDO		
			SWO		
139	-	C11	P90	E	H
			TIOB08_0		
			RTO20_1		
			INT30_0		
			MAD19_0		
-	-	A8	VSS	-	-

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-176	LQFP-144	BGA-192			
140	-	D11	P91	E	H
			TIOB09_0		
			RTO21_1		
			INT31_0		
			MAD20_0		
141	-	B10	P92	E	I
			TIOB10_0		
			RTO22_1		
			SIN5_1		
			MAD21_0		
142	-	C10	P93	E	I
			TIOB11_0		
			RTO23_1		
			SOT5_1		
			MAD22_0		
143	-	D10	P94	E	H
			TIOB12_0		
			RTO24_1		
			SCK5_1		
			INT26_0		
			MAD23_0		
144	-	B9	P95	E	H
			TIOB13_0		
			RTO25_1		
			INT27_0		
			MAD24_0		
145	115	C9	PC0	K	Q
146	116	B8	PC1	K	Q
147	117	D9	PC2	K	Q
148	118	E9	PC3	K	Q
			TIOA06_1		
149	119	F9	PC4	K	Q
			TIOA08_2		
150	120	C8	PC5	K	Q
			TIOA10_2		
-	-	A5	VSS	-	-

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-176	LQFP-144	BGA-192			
151	121	D8	PC6	K	Q
			TIOA14_0		
152	122	E8	PC7	L	Q
			CROUT_1		
153	123	A10	PC8	K	Q
154	124	F8	PC9	K	Q
155	125	B7	PCA	K	Q
156	126	A9	VCC	-	-
157	127	A11	VSS	-	-
158	128	A7	PCB	L	Q
159	129	C7	PCC	K	Q
160	130	A6	PCD	K	Q
161	131	D7	PCE	L	Q
			RTS4_0		
			TIOB06_1		
162	132	E7	PCF	L	Q
			CTS4_0		
			TIOB08_2		
163	133	F7	PD0	L	R
			SCK4_0		
			TIOB10_2		
			INT30_1		
164	134	B6	PD1	L	R
			SOT4_0		
			TIOB14_0		
			INT31_1		
-	-	N7	VSS	-	-
-	-	G8	VSS	-	-
-	-	H7	VSS	-	-
-	-	H8	VSS	-	-

端子番号			端子名	入出力回路形式	端子状態形式
LQFP-176	LQFP-144	BGA-192			
165	135	C6	PD2	L	R
			SIN4_0		
			TIOA03_2		
			INT00_2		
166	136	D6	PD3	L	Q
			TIOB03_2		
167	137	E6	P62	E	Q
			SCK5_0		
			ADTG_3		
168	138	B5	P61	E	I
			SOT5_0		
			TIOB02_2		
169	139	C5	P60	E	H
			SIN5_0		
			TIOA02_2		
			INT15_1		
170	-	B4	PF3	I*	H
			TIOA06_0		
			SIN6_2		
			INT06_0		
171	-	C4	AIN2_1	I*	H
			PF4		
			TIOB06_0		
			SOT6_2		
172	140	B3	INT07_0	I*	H
			BIN2_1		
			PF5		
			SCK6_2		
173	141	A4	INT08_0	I*	H
174	142	A3	ZIN2_1		
			VCC		
175	143	A2	P80		
176	144	B1	P81	H	O
-	-	M7	VSS	-	-
-	-	-	VSS	-	-

*: 5V トレラント I/O

端子機能別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR) で使用する端子名を選択してください。

モジュール	端子名	機能	端子番号		
			LQFP-176	LQFP-144	BGA-192
ADC	ADTG_0	A/D コンバータ 外部トリガ入力端子	10	10	E2
	ADTG_1		18	18	F5
	ADTG_2		37	29	K2
	ADTG_3		167	137	E6
	ADTG_4		119	95	F11
	ADTG_5		105	89	H9
	ADTG_6		31	-	H6
	ADTG_7		49	41	L4
	ADTG_8		70	62	P8
	AN00	A/D コンバータ アナログ入力端子 ANxx は ADC ch.xx を示します。	90	74	M13
	AN01		91	75	M12
	AN02		92	76	L13
	AN03		93	77	L12
	AN04		94	78	L11
	AN05		95	79	K13
	AN06		96	80	K12
	AN07		97	81	K14
	AN08		98	82	K11
	AN09		99	83	J13
	AN10		100	84	J12
	AN11		101	85	J11
	AN12		102	86	J10
	AN13		103	87	J9
	AN14		104	88	H10
	AN15		105	89	H9
	AN16		110	-	H13
	AN17		111	-	H12
	AN18		112	-	H11
	AN19		113	-	G13
	AN20		114	-	G12
	AN21		115	-	G11
AN22	116		-	G10	
AN23	117		-	G9	
AN24	118		94	F10	
AN25	119		95	F11	
AN26	120		96	F12	
AN27	121		97	F13	
AN28	122		98	E10	
AN29	123		99	E11	
AN30	124		100	E12	
AN31	125	101	E13		

モジュール	端子名	機能	端子番号		
			LQFP-176	LQFP-144	BGA-192
ベース タイマ 0	TIOA0_0	ベースタイマ ch.0 の TIOA 端子	46	38	N2
	TIOA0_1		38	30	K3
	TIOA0_2		11	11	E3
	TIOB0_0	ベースタイマ ch.0 の TIOB 端子	59	51	L5
	TIOB0_1		28	-	H3
	TIOB0_2		12	12	E4
ベース タイマ 1	TIOA1_0	ベースタイマ ch.1 の TIOA 端子	47	39	N3
	TIOA1_1		39	31	K4
	TIOA1_2		16	16	F3
	TIOB1_0	ベースタイマ ch.1 の TIOB 端子	60	52	K5
	TIOB1_1		29	-	H4
	TIOB1_2		17	17	F4
ベース タイマ 2	TIOA2_0	ベースタイマ ch.2 の TIOA 端子	48	40	M3
	TIOA2_1		40	32	L1
	TIOA2_2		169	139	C5
	TIOB2_0	ベースタイマ ch.2 の TIOB 端子	61	53	N6
	TIOB2_1		30	-	H5
	TIOB2_2		168	138	B5
ベース タイマ 3	TIOA3_0	ベースタイマ ch.3 の TIOA 端子	49	41	L4
	TIOA3_1		41	33	L2
	TIOA3_2		165	135	C6
	TIOB3_0	ベースタイマ ch.3 の TIOB 端子	62	54	M6
	TIOB3_1		31	-	H6
	TIOB3_2		166	136	D6
ベース タイマ 4	TIOA4_0	ベースタイマ ch.4 の TIOA 端子	50	42	M4
	TIOA4_1		42	34	L3
	TIOA4_2		65	57	J6
	TIOB4_0	ベースタイマ ch.4 の TIOB 端子	63	55	L6
	TIOB4_1		32	-	J5
	TIOB4_2		66	58	N8
ベース タイマ 5	TIOA5_0	ベースタイマ ch.5 の TIOA 端子	51	43	N4
	TIOA5_1		43	35	M2
	TIOA5_2		8	8	D3
	TIOB5_0	ベースタイマ ch.5 の TIOB 端子	64	56	K6
	TIOB5_1		33	-	J4
	TIOB5_2		9	9	D4
ベース タイマ 6	TIOA6_0	ベースタイマ ch.6 の TIOA 端子	170	-	B4
	TIOA6_1		148	118	E9
	TIOA6_2		25	-	H1
	TIOB6_0	ベースタイマ ch.6 の TIOB 端子	171	-	C4
	TIOB6_1		161	131	D7
	TIOB6_2		26	-	H2

モジュール	端子名	機能	端子番号		
			LQFP-176	LQFP-144	BGA-192
ベース タイマ 7	TIOA07_0	ベースタイマ ch.7 の TIOA 端子	77	-	P10
	TIOA07_1		124	100	E12
	TIOA07_2		71	63	J8
	TIOB07_0	ベースタイマ ch.7 の TIOB 端子	76	-	K9
	TIOB07_1		125	101	E13
	TIOB07_2		72	64	P9
ベース タイマ 8	TIOA08_0	ベースタイマ ch.8 の TIOA 端子	2	2	B2
	TIOA08_1		82	-	N11
	TIOA08_2		149	119	F9
	TIOB08_0	ベースタイマ ch.8 の TIOB 端子	139	-	C11
	TIOB08_1		83	-	M11
	TIOB08_2		162	132	E7
ベース タイマ 9	TIOA09_0	ベースタイマ ch.9 の TIOA 端子	3	3	C2
	TIOA09_1		110	-	H13
	TIOA09_2		19	19	F6
	TIOB09_0	ベースタイマ ch.9 の TIOB 端子	140	-	D11
	TIOB09_1		111	-	H12
	TIOB09_2		20	20	G2
ベース タイマ 10	TIOA10_0	ベースタイマ ch.10 の TIOA 端子	4	4	C3
	TIOA10_1		112	-	H11
	TIOA10_2		150	120	C8
	TIOB10_0	ベースタイマ ch.10 の TIOB 端子	141	-	B10
	TIOB10_1		113	-	G13
	TIOB10_2		163	133	F7
ベース タイマ 11	TIOA11_0	ベースタイマ ch.11 の TIOA 端子	5	5	D5
	TIOA11_1		114	-	G12
	TIOA11_2		21	21	G3
	TIOB11_0	ベースタイマ ch.11 の TIOB 端子	142	-	C10
	TIOB11_1		115	-	G11
	TIOB11_2		22	22	G4
ベース タイマ 12	TIOA12_0	ベースタイマ ch.12 の TIOA 端子	6	6	D2
	TIOA12_1		116	-	G10
	TIOA12_2		34	26	J3
	TIOB12_0	ベースタイマ ch.12 の TIOB 端子	143	-	D10
	TIOB12_1		117	-	G9
	TIOB12_2		35	27	J2
ベース タイマ 13	TIOA13_0	ベースタイマ ch.13 の TIOA 端子	7	7	D1
	TIOA13_1		23	23	G5
	TIOA13_2		100	84	J12
	TIOB13_0	ベースタイマ ch.13 の TIOB 端子	144	-	B9
	TIOB13_1		24	24	G6
	TIOB13_2		101	85	J11

モジュール	端子名	機能	端子番号		
			LQFP-176	LQFP-144	BGA-192
ベース タイマ 14	TIOA14_0	ベースタイマ ch.14 の TIOA 端子	151	121	D8
	TIOA14_1		78	-	N10
	TIOA14_2		102	86	J10
	TIOB14_0	ベースタイマ ch.14 の TIOB 端子	164	134	B6
	TIOB14_1		79	-	L10
	TIOB14_2		103	87	J9
ベース タイマ 15	TIOA15_0	ベースタイマ ch.15 の TIOA 端子	73	65	N9
	TIOA15_1		80	-	K10
	TIOA15_2		104	88	H10
	TIOB15_0	ベースタイマ ch.15 の TIOB 端子	74	66	M9
	TIOB15_1		81	-	M10
	TIOB15_2		105	89	H9
デバッグ	SWCLK	シリアルワイヤ デバッグインタフェース クロック入力	135	111	A12
	SWDIO	シリアルワイヤ デバッグインタフェース データ入出力	137	113	B12
	SWO	シリアルワイヤビューワ出力	138	114	B11
	TCK	JTAG テストクロック入力	135	111	A12
	TDI	JTAG テストデータ入力	136	112	C12
	TDO	JTAG デバッグデータ出力	138	114	B11
	TMS	JTAG テストモード状態入出力	137	113	B12
	TRACECLK	ETM のトレース CLK 出力	12	12	E4
	TRACED0	ETM のトレースデータ出力	8	8	D3
	TRACED1		9	9	D4
	TRACED2		10	10	E2
	TRACED3		11	11	E3
	TRSTX		JTAG テストリセット入力	134	110

モジュール	端子名	機能	端子番号		
			LQFP-176	LQFP-144	BGA-192
外部バス	MAD00_0	外部バスインタフェース アドレスバス	94	78	L11
	MAD01_0		95	79	K13
	MAD02_0		96	80	K12
	MAD03_0		97	81	K14
	MAD04_0		98	82	K11
	MAD05_0		99	83	J13
	MAD06_0		100	84	J12
	MAD07_0		101	85	J11
	MAD08_0		102	86	J10
	MAD09_0		103	87	J9
	MAD10_0		104	88	H10
	MAD11_0		105	89	H9
	MAD12_0		118	94	F10
	MAD13_0		119	95	F11
	MAD14_0		120	96	F12
	MAD15_0		121	97	F13
	MAD16_0		122	98	E10
	MAD17_0		123	99	E11
	MAD18_0		127	103	D13
	MAD19_0		139	-	C11
	MAD20_0		140	-	D11
	MAD21_0		141	-	B10
	MAD22_0		142	-	C10
	MAD23_0		143	-	D10
MAD24_0	144	-	B9		
MCSX0_0	外部バスインタフェース チップセレクト出力端子	23	23	G5	
MCSX1_0		24	24	G6	
MCSX2_0		34	26	J3	
MCSX3_0		35	27	J2	
MCSX4_0		93	77	L12	
MCSX5_0		92	76	L13	
MCSX6_0		91	75	M12	
MCSX7_0		90	74	M13	
MDQM0_0	外部バスインタフェース	15	15	F2	
MDQM1_0	バイトマスク信号出力	16	16	F3	
MOEX_0	SRAM の外部バスインタフェース リード許可信号	13	13	E5	
MWEX_0	SRAM の外部バスインタフェース ライト許可信号	14	14	F1	

モジュール	端子名	機能	端子番号		
			LQFP-176	LQFP-144	BGA-192
外部バス	MNALE_0	NAND フラッシュの出力端子を コントロールする外部バスインタ フェース ALE 信号	19	19	F6
	MNCLE_0	NAND フラッシュの出力端子を コントロールする外部バスインタ フェース CLE 信号	20	20	G2
	MNREX_0	NAND フラッシュをコントロール する外部バスインタフェースリー ド許可信号	22	22	G4
	MNWEX_0	NAND フラッシュをコントロール する外部バスインタフェースライ ト許可信号	21	21	G3
	MADATA00_0	外部バスインタフェース データバス (マルチプレクス時アドレス出力兼 用)	60	52	K5
	MADATA01_0		61	53	N6
	MADATA02_0		62	54	M6
	MADATA03_0		63	55	L6
	MADATA04_0		64	56	K6
	MADATA05_0		65	57	J6
	MADATA06_0		66	58	N8
	MADATA07_0		67	59	M8
	MADATA08_0		68	60	L8
	MADATA09_0		69	61	K8
	MADATA10_0		70	62	P8
	MADATA11_0		71	63	J8
	MADATA12_0		72	64	P9
	MADATA13_0		73	65	N9
	MADATA14_0		74	66	M9
	MADATA15_0		75	67	L9
	MALE_0	マルチプレクス時 アドレスラッチイネーブル信号	17	17	F4
	MRDY_0	外部 RDY 入力信号	18	18	F5
	MCLKOUT_0	外部バスクロック出力	36	28	K1

モジュール	端子名	機能	端子番号		
			LQFP-176	LQFP-144	BGA-192
外部割込み	INT00_0	外部割込み要求 00 の入力端子	13	13	E5
	INT00_1		8	8	D3
	INT00_2		165	135	C6
	INT01_0	外部割込み要求 01 の入力端子	14	14	F1
	INT01_1		9	9	D4
	INT01_2		123	99	E11
	INT02_0	外部割込み要求 02 の入力端子	15	15	F2
	INT02_1		91	75	M12
	INT02_2		120	96	F12
	INT03_0	外部割込み要求 03 の入力端子	6	6	D2
	INT03_1		94	78	L11
	INT03_2		28	-	H3
	INT04_0	外部割込み要求 04 の入力端子	31	-	H6
	INT04_1		97	81	K14
	INT04_2		29	-	H4
	INT05_0	外部割込み要求 05 の入力端子	127	103	D13
	INT05_1		100	84	J12
	INT05_2		30	-	H5
	INT06_0	外部割込み要求 06 の入力端子	170	-	B4
	INT06_1		126	102	D12
	INT06_2		64	56	K6
	INT07_0	外部割込み要求 07 の入力端子	171	-	C4
	INT07_1		70	62	P8
	INT07_2		16	16	F3
	INT08_0	外部割込み要求 08 の入力端子	172	140	B3
	INT08_1		33	-	J4
	INT08_2		19	19	F6
	INT09_0	外部割込み要求 09 の入力端子	119	95	F11
	INT09_1		34	26	J3
	INT09_2		22	22	G4
INT10_0	外部割込み要求 10 の入力端子	76	-	K9	
INT10_1		35	27	J2	
INT10_2		7	7	D1	
INT11_0	外部割込み要求 11 の入力端子	77	-	P10	
INT11_1		36	28	K1	
INT11_2		71	63	J8	
INT12_0	外部割込み要求 12 の入力端子	78	-	N10	
INT12_1		46	38	N2	
INT12_2		72	64	P9	
INT13_0	外部割込み要求 13 の入力端子	81	-	M10	
INT13_1		47	39	N3	
INT13_2		66	58	N8	
INT14_0	外部割込み要求 14 の入力端子	82	-	N11	
INT14_1		58	50	M5	
INT14_2		67	59	M8	

モジュール	端子名	機能	端子番号		
			LQFP-176	LQFP-144	BGA-192
外部割込み	INT15_0	外部割込み要求 15 の入力端子	83	-	M11
	INT15_1		169	139	C5
	INT15_2		68	60	L8
	INT16_0	外部割込み要求 16 の入力端子	110	-	H13
	INT16_1		20	20	G2
	INT17_0	外部割込み要求 17 の入力端子	111	-	H12
	INT17_1		21	21	G3
	INT18_0	外部割込み要求 18 の入力端子	112	-	H11
	INT18_1		23	23	G5
	INT19_0	外部割込み要求 19 の入力端子	113	-	G13
	INT19_1		24	24	G6
	INT20_0	外部割込み要求 20 の入力端子	114	-	G12
	INT20_1		96	80	K12
	INT21_0	外部割込み要求 21 の入力端子	115	-	G11
	INT21_1		98	82	K11
	INT22_0	外部割込み要求 22 の入力端子	116	-	G10
	INT22_1		99	83	J13
	INT23_0	外部割込み要求 23 の入力端子	117	-	G9
	INT23_1		74	66	M9
	INT24_0	外部割込み要求 24 の入力端子	79	-	L10
	INT24_1		75	67	L9
	INT25_0	外部割込み要求 25 の入力端子	80	-	K10
	INT25_1		101	85	J11
	INT26_0	外部割込み要求 26 の入力端子	143	-	D10
	INT26_1		102	86	J10
	INT27_0	外部割込み要求 27 の入力端子	144	-	B9
	INT27_1		103	87	J9
	INT28_0	外部割込み要求 28 の入力端子	25	-	H1
	INT28_1		104	88	H10
	INT29_0	外部割込み要求 29 の入力端子	26	-	H2
	INT29_1		105	89	H9
INT30_0	外部割込み要求 30 の入力端子	139	-	C11	
INT30_1		163	133	F7	
INT31_0	外部割込み要求 31 の入力端子	140	-	D11	
INT31_1		164	134	B6	
	NMIX	ノンマスカブル割込み入力	128	104	C13

モジュール	端子名	機能	端子番号		
			LQFP-176	LQFP-144	BGA-192
GPIO	P00	汎用入出力ポート 0	134	110	B13
	P01		135	111	A12
	P02		136	112	C12
	P03		137	113	B12
	P04		138	114	B11
	P05		8	8	D3
	P06		9	9	D4
	P07		10	10	E2
	P08		11	11	E3
	P09		12	12	E4
	P10	汎用入出力ポート 1	90	74	M13
	P11		91	75	M12
	P12		92	76	L13
	P13		93	77	L12
	P14		94	78	L11
	P15		95	79	K13
	P16		96	80	K12
	P17		97	81	K14
	P18		98	82	K11
	P19		99	83	J13
	P1A	100	84	J12	
	P1B	101	85	J11	
	P1C	102	86	J10	
	P1D	103	87	J9	
	P1E	104	88	H10	
	P1F	105	89	H9	
	P20	汎用入出力ポート 2	127	103	D13
	P21		126	102	D12
	P22		125	101	E13
P23	124		100	E12	
P24	123		99	E11	
P25	122		98	E10	
P26	121		97	F13	
P27	120		96	F12	
P28	119		95	F11	
P29	118		94	F10	

モジュール	端子名	機能	端子番号			
			LQFP-176	LQFP-144	BGA-192	
GPIO	P30	汎用入出力ポート 3	28	-	H3	
	P31		29	-	H4	
	P32		30	-	H5	
	P33		31	-	H6	
	P34		32	-	J5	
	P35		33	-	J4	
	P36		34	26	J3	
	P37		35	27	J2	
	P38		36	28	K1	
	P39		37	29	K2	
	P3A		38	30	K3	
	P3B		39	31	K4	
	P3C		40	32	L1	
	P3D		41	33	L2	
	P3E		42	34	L3	
	P3F		43	35	M2	
	P40		汎用入出力ポート 4	46	38	N2
	P41			47	39	N3
	P42			48	40	M3
	P43	49		41	L4	
	P44	50		42	M4	
	P45	51		43	N4	
	P46	55		47	P5	
	P47	56		48	P6	
	P48	58		50	M5	
	P49	59		51	L5	
	P4A	60		52	K5	
	P4B	61	53	N6		
	P4C	62	54	M6		
	P4D	63	55	L6		
	P4E	64	56	K6		
	P50	汎用入出力ポート 5	13	13	E5	
	P51		14	14	F1	
P52	15		15	F2		
P53	16		16	F3		
P54	17		17	F4		
P55	18		18	F5		
P56	19		19	F6		
P57	20		20	G2		
P58	21		21	G3		
P59	22		22	G4		
P5A	23		23	G5		
P5B	24	24	G6			
P5C	25	-	H1			
P5D	26	-	H2			

モジュール	端子名	機能	端子番号		
			LQFP-176	LQFP-144	BGA-192
GPIO	P60	汎用入出力ポート 6	169	139	C5
	P61		168	138	B5
	P62		167	137	E6
	P70	汎用入出力ポート 7	65	57	J6
	P71		66	58	N8
	P72		67	59	M8
	P73		68	60	L8
	P74		69	61	K8
	P75		70	62	P8
	P76		71	63	J8
	P77		72	64	P9
	P78		73	65	N9
	P79		74	66	M9
	P7A		75	67	L9
	P7B		76	-	K9
	P7C		77	-	P10
	P7D		78	-	N10
	P7E		79	-	L10
	P7F		80	-	K10
	P80	汎用入出力ポート 8	174	142	A3
	P81		175	143	A2
	P82		130	106	D14
	P83		131	107	C14
	P90	汎用入出力ポート 9	139	-	C11
	P91		140	-	D11
	P92		141	-	B10
	P93		142	-	C10
	P94		143	-	D10
	P95		144	-	B9
	PA0	汎用入出力ポート A	2	2	B2
	PA1		3	3	C2
	PA2		4	4	C3
	PA3		5	5	D5
PA4	6		6	D2	
PA5		7	7	D1	
PB0	汎用入出力ポート B	110	-	H13	
PB1		111	-	H12	
PB2		112	-	H11	
PB3		113	-	G13	
PB4		114	-	G12	
PB5		115	-	G11	
PB6		116	-	G10	
PB7	117	-	G9		

モジュール	端子名	機能	端子番号		
			LQFP-176	LQFP-144	BGA-192
GPIO	PC0	汎用入出力ポート C	145	115	C9
	PC1		146	116	B8
	PC2		147	117	D9
	PC3		148	118	E9
	PC4		149	119	F9
	PC5		150	120	C8
	PC6		151	121	D8
	PC7		152	122	E8
	PC8		153	123	A10
	PC9		154	124	F8
	PCA		155	125	B7
	PCB		158	128	A7
	PCC		159	129	C7
	PCD		160	130	A6
	PCE		161	131	D7
	PCF		162	132	E7
	PD0		163	133	F7
	PD1	汎用入出力ポート D	164	134	B6
	PD2		165	135	C6
	PD3		166	136	D6
	PE0	汎用入出力ポート E	84	68	N13
	PE2		86	70	P12
	PE3		87	71	P13
	PF0	汎用入出力ポート F*	81	-	M10
	PF1		82	-	N11
	PF2		83	-	M11
	PF3		170	-	B4
	PF4		171	-	C4
	PF5		172	140	B3
	PF6		128	104	C13

モジュール	端子名	機能	端子番号		
			LQFP-176	LQFP-144	BGA-192
マルチファンクションシリアル0	SIN0_0	マルチファンクションシリアルインタフェース ch.0 の入力端子	126	102	D12
	SIN0_1		94	78	L11
	SIN0_2		114	-	G12
	SOT0_0 (SDA0_0)	マルチファンクションシリアルインタフェース ch.0 の出力端子。 UART/CSIO 端子(動作モード 0~2)として使用するときは SOT0 として、I ² C 端子(動作モード 4)として使用するときは SDA0 として機能します。	125	101	E13
	SOT0_1 (SDA0_1)		95	79	K13
	SOT0_2 (SDA0_2)		115	-	G11
	SCK0_0 (SCL0_0)	マルチファンクションシリアルインタフェース ch.0 のクロック I/O 端子。 UART/CSIO 端子(動作モード 0~2)として使用するときは SCK0 として、I ² C 端子(動作モード 4)として使用するときは SCL0 として機能します。	124	100	E12
SCK0_1 (SCL0_1)	96		80	K12	
SCK0_2 (SCL0_2)	116		-	G10	
マルチファンクションシリアル1	SIN1_0	マルチファンクションシリアルインタフェース ch.1 の入力端子	19	19	F6
	SIN1_1		91	75	M12
	SIN1_2		81	-	M10
	SOT1_0 (SDA1_0)	マルチファンクションシリアルインタフェース ch.1 の出力端子。 UART/CSIO 端子(動作モード 0~2)として使用するときは SOT1 として、I ² C 端子(動作モード 4)として使用するときは SDA1 として機能します。	20	20	G2
	SOT1_1 (SDA1_1)		92	76	L13
	SOT1_2 (SDA1_2)		82	-	N11
	SCK1_0 (SCL1_0)	マルチファンクションシリアルインタフェース ch.1 のクロック I/O 端子。 UART/CSIO 端子(動作モード 0~2)として使用するときは SCK1 として、I ² C 端子(動作モード 4)として使用するときは SCL1 として機能します。	21	21	G3
SCK1_1 (SCL1_1)	93		77	L12	
SCK1_2 (SCL1_2)	83		-	M11	

モジュール	端子名	機能	端子番号		
			LQFP-176	LQFP-144	BGA-192
マルチファンクションシリアル 2	SIN2_0	マルチファンクションシリアルインタフェース ch.2 の入力端子	67	59	M8
	SIN2_1		123	99	E11
	SIN2_2		97	81	K14
	SOT2_0 (SDA2_0)	マルチファンクションシリアルインタフェース ch.2 の出力端子。	68	60	L8
	SOT2_1 (SDA2_1)	UART/CSIO 端子(動作モード 0~2)として使用するときには SOT2 として、I ² C 端子(動作モード 4)として使用するときには SDA2 として機能します。	122	98	E10
	SOT2_2 (SDA2_2)		98	82	K11
	SCK2_0 (SCL2_0)	マルチファンクションシリアルインタフェース ch.2 のクロック I/O 端子。	69	61	K8
	SCK2_1 (SCL2_1)	UART/CSIO 端子(動作モード 0~2)として使用するときには SCK2 として、I ² C 端子(動作モード 4)として使用するときには SCL2 として機能します。	121	97	F13
SCK2_2 (SCL2_2)		99	83	J13	
マルチファンクションシリアル 3	SIN3_0	マルチファンクションシリアルインタフェース ch.3 の入力端子	70	62	P8
	SIN3_1		13	13	E5
	SIN3_2		58	50	M5
	SOT3_0 (SDA3_0)	マルチファンクションシリアルインタフェース ch.3 の出力端子。	71	63	J8
	SOT3_1 (SDA3_1)	UART/CSIO 端子(動作モード 0~2)として使用するときには SOT3 として、I ² C 端子(動作モード 4)として使用するときには SDA3 として機能します。	14	14	F1
	SOT3_2 (SDA3_2)		59	51	L5
	SCK3_0 (SCL3_0)	マルチファンクションシリアルインタフェース ch.3 のクロック I/O 端子。	72	64	P9
	SCK3_1 (SCL3_1)	UART/CSIO 端子(動作モード 0~2)として使用するときには SCK3 として、I ² C 端子(動作モード 4)として使用するときには SCL3 として機能します。	15	15	F2
SCK3_2 (SCL3_2)		60	52	K5	

モジュール	端子名	機能	端子番号		
			LQFP-176	LQFP-144	BGA-192
マルチファンクションシリアル 4	SIN4_0	マルチファンクションシリアルインタフェース ch.4 の入力端子	165	135	C6
	SIN4_1		100	84	J12
	SIN4_2		8	8	D3
	SOT4_0 (SDA4_0)	マルチファンクションシリアルインタフェース ch.4 の出力端子。UART/CSIO 端子(動作モード 0~2)として使用するときは SOT4 として、I ² C 端子(動作モード 4)として使用するときは SDA4 として機能します。	164	134	B6
	SOT4_1 (SDA4_1)		101	85	J11
	SOT4_2 (SDA4_2)		9	9	D4
	SCK4_0 (SCL4_0)	マルチファンクションシリアルインタフェース ch.4 のクロック I/O 端子。UART/CSIO 端子(動作モード 0~2)として使用するときは SCK4 として、I ² C 端子(動作モード 4)として使用するときは SCL4 として機能します。	163	133	F7
	SCK4_1 (SCL4_1)		102	86	J10
	SCK4_2 (SCL4_2)		10	10	E2
	RTS4_0	マルチファンクションシリアルインタフェース ch.4 の RTS 出力端子	161	131	D7
	RTS4_1		104	88	H10
	RTS4_2		12	12	E4
	CTS4_0	マルチファンクションシリアルインタフェース ch.4 の CTS 入力端子	162	132	E7
	CTS4_1		103	87	J9
	CTS4_2		11	11	E3
マルチファンクションシリアル 5	SIN5_0	マルチファンクションシリアルインタフェース ch.5 の入力端子	169	139	C5
	SIN5_1		141	-	B10
	SIN5_2		34	26	J3
	SOT5_0 (SDA5_0)	マルチファンクションシリアルインタフェース ch.5 の出力端子。UART/CSIO 端子(動作モード 0~2)として使用するときは SOT5 として、I ² C 端子(動作モード 4)として使用するときは SDA5 として機能します。	168	138	B5
	SOT5_1 (SDA5_1)		142	-	C10
	SOT5_2 (SDA5_2)		35	27	J2
	SCK5_0 (SCL5_0)	マルチファンクションシリアルインタフェース ch.5 のクロック I/O 端子。UART/CSIO 端子(動作モード 0~2)として使用するときは SCK5 として、I ² C 端子(動作モード 4)として使用するときは SCL5 として機能します。	167	137	E6
	SCK5_1 (SCL5_1)		143	-	D10
	SCK5_2 (SCL5_2)		36	28	K1

モジュール	端子名	機能	端子番号		
			LQFP-176	LQFP-144	BGA-192
マルチファンクションシリアル 6	SIN6_0	マルチファンクションシリアルインタフェース ch.6 の入力端子	16	16	F3
	SIN6_1		31	-	H6
	SIN6_2		170	-	B4
	SOT6_0 (SDA6_0)	マルチファンクションシリアルインタフェース ch.6 の出力端子。 UART/CSIO 端子(動作モード 0~2)として使用するときは SOT6 として、I ² C 端子(動作モード 4)として使用するときは SDA6 として機能します。	17	17	F4
	SOT6_1 (SDA6_1)		30	-	H5
	SOT6_2 (SDA6_2)		171	-	C4
	SCK6_0 (SCL6_0)	マルチファンクションシリアルインタフェース ch.6 のクロック I/O 端子。 UART/CSIO 端子(動作モード 0~2)として使用するときは SCK6 として、I ² C 端子(動作モード 4)として使用するときは SCL6 として機能します。	18	18	F5
	SCK6_1 (SCL6_1)		29	-	H4
	SCK6_2 (SCL6_2)		172	140	B3
マルチファンクションシリアル 7	SIN7_0	マルチファンクションシリアルインタフェース ch.7 の入力端子	22	22	G4
	SIN7_1		64	56	K6
	SIN7_2		110	-	H13
	SOT7_0 (SDA7_0)	マルチファンクションシリアルインタフェース ch.7 の出力端子。 UART/CSIO 端子(動作モード 0~2)として使用するときは SOT7 として、I ² C 端子(動作モード 4)として使用するときは SDA7 として機能します。	23	23	G5
	SOT7_1 (SDA7_1)		63	55	L6
	SOT7_2 (SDA7_2)		111	-	H12
	SCK7_0 (SCL7_0)	マルチファンクションシリアルインタフェース ch.7 のクロック I/O 端子。 UART/CSIO 端子(動作モード 0~2)として使用するときは SCK7 として、I ² C 端子(動作モード 4)として使用するときは SCL7 として機能します。	24	24	G6
	SCK7_1 (SCL7_1)		62	54	M6
	SCK7_2 (SCL7_2)		112	-	H11

モジュール	端子名	機能	端子番号			
			LQFP-176	LQFP-144	BGA-192	
多機能 タイマ 0	DTTI0X_0	多機能タイマ 0 の RTO00~RTO05 出力を制御する波形ジェネレータ の入力信号	37	29	K2	
	DTTI0X_1		104	88	H10	
	FRCK0_0	16 ビットフリーランタイム ch.0 の 外部クロック入力端子	32	-	J5	
	FRCK0_1		105	89	H9	
	FRCK0_2		91	75	M12	
	IC00_0	多機能タイマ 0 の 16 ビットイン プットキャプチャの入力端子 (ICxx は、チャンネル数を示しま す。)	36	28	K1	
	IC00_1		100	84	J12	
	IC00_2		92	76	L13	
	IC01_0		35	27	J2	
	IC01_1		101	85	J11	
	IC01_2		93	77	L12	
	IC02_0		34	26	J3	
	IC02_1		102	86	J10	
	IC02_2		94	78	L11	
	IC03_0		33	-	J4	
	IC03_1		103	87	J9	
	IC03_2		95	79	K13	
	RTO00_0 (PPG00_0)		多機能タイマ 0 の波形ジェネレー タ出力。	38	30	K3
	RTO00_1 (PPG00_1)		PPG0 出力モードで使用するとき は、PPG00 として機能します。	124	100	E12
	RTO01_0 (PPG00_0)		多機能タイマ 0 の波形ジェネレー タ出力。	39	31	K4
	RTO01_1 (PPG00_1)	PPG0 出力モードで使用するとき は、PPG00 として機能します。	123	99	E11	
	RTO02_0 (PPG02_0)	多機能タイマ 0 の波形ジェネレー タ出力。	40	32	L1	
	RTO02_1 (PPG02_1)	PPG0 出力モードで使用するとき は、PPG02 として機能します。	122	98	E10	
	RTO03_0 (PPG02_0)	多機能タイマ 0 の波形ジェネレー タ出力。	41	33	L2	
	RTO03_1 (PPG02_1)	PPG0 出力モードで使用するとき は、PPG02 として機能します。	121	97	F13	
	RTO04_0 (PPG04_0)	多機能タイマ 0 の波形ジェネレー タ出力。	42	34	L3	
RTO04_1 (PPG04_1)	PPG0 出力モードで使用するとき は、PPG04 として機能します。	120	96	F12		
RTO05_0 (PPG04_0)	多機能タイマ 0 の波形ジェネレー タ出力。	43	35	M2		
RTO05_1 (PPG04_1)	PPG0 出力モードで使用するとき は、PPG04 として機能します。	119	95	F11		

モジュール	端子名	機能	端子番号			
			LQFP-176	LQFP-144	BGA-192	
多機能 タイマ 1	DTTI1X_0	多機能タイマ 1 の RTO10~RTO15 出力を制御する波形ジェネレータ の入力信号	19	19	F6	
	DTTI1X_1		58	50	M5	
	FRCK1_0	16 ビットフリーランタイム ch.1 の 外部クロック入力端子	2	2	B2	
	FRCK1_1		63	55	L6	
	IC10_0	多機能タイマ 1 の 16 ビットイン プットキャプチャの入力端子 (ICxx は、チャンネル数を示しま す。)	3	3	C2	
	IC10_1		59	51	L5	
	IC11_0		4	4	C3	
	IC11_1		60	52	K5	
	IC12_0		5	5	D5	
	IC12_1		61	53	N6	
	IC13_0		6	6	D2	
	IC13_1		62	54	M6	
	RTO10_0 (PPG10_0)		多機能タイマ 1 の波形ジェネレー タ出力。	13	13	E5
	RTO10_1 (PPG10_1)		PPG1 出力モードで使用するとき は、PPG10 として機能します。	46	38	N2
	RTO11_0 (PPG10_0)	多機能タイマ 1 の波形ジェネレー タ出力。	14	14	F1	
	RTO11_1 (PPG10_1)	PPG1 出力モードで使用するとき は、PPG10 として機能します。	47	39	N3	
	RTO12_0 (PPG12_0)	多機能タイマ 1 の波形ジェネレー タ出力。	15	15	F2	
	RTO12_1 (PPG12_1)	PPG1 出力モードで使用するとき は、PPG12 として機能します。	48	40	M3	
	RTO13_0 (PPG12_0)	多機能タイマ 1 の波形ジェネレー タ出力。	16	16	F3	
	RTO13_1 (PPG12_1)	PPG1 出力モードで使用するとき は、PPG12 として機能します。	49	41	L4	
RTO14_0 (PPG14_0)	多機能タイマ 1 の波形ジェネレー タ出力。	17	17	F4		
RTO14_1 (PPG14_1)	PPG1 出力モードで使用するとき は、PPG14 として機能します。	50	42	M4		
RTO15_0 (PPG14_0)	多機能タイマ 1 の波形ジェネレー タ出力。	18	18	F5		
RTO15_1 (PPG14_1)	PPG1 出力モードで使用するとき は、PPG14 として機能します。	51	43	N4		

モジュール	端子名	機能	端子番号			
			LQFP-176	LQFP-144	BGA-192	
多機能 タイマ 2	DTTI2X_0	多機能タイマ 2 の RTO20~RTO25	12	12	E4	
	DTTI2X_1	出力を制御する波形ジェネレータ の入力信号	26	-	H2	
	FRCK2_0	16 ビットフリーランタイム ch.2 の 外部クロック入力端子	128	104	C13	
	FRCK2_1		78	-	N10	
	IC20_0	多機能タイマ 2 の 16 ビットイン プットキャプチャの入力端子 (ICxx は、チャンネル数を示しま す。)	13	13	E5	
	IC20_1		25	-	H1	
	IC21_0		14	14	F1	
	IC21_1		79	-	L10	
	IC22_0		15	15	F2	
	IC22_1		80	-	K10	
	IC23_0		16	16	F3	
	IC23_1		81	-	M10	
	RTO20_0 (PPG20_0)		多機能タイマ 2 の波形ジェネレー タ出力。	2	2	B2
	RTO20_1 (PPG20_1)		PPG2 出力モードで使用するとき は、PPG20 として機能します。	139	-	C11
	RTO21_0 (PPG20_0)	多機能タイマ 2 の波形ジェネレー タ出力。	3	3	C2	
	RTO21_1 (PPG20_1)	PPG2 出力モードで使用するとき は、PPG20 として機能します。	140	-	D11	
	RTO22_0 (PPG22_0)	多機能タイマ 2 の波形ジェネレー タ出力。	4	4	C3	
	RTO22_1 (PPG22_1)	PPG2 出力モードで使用するとき は、PPG22 として機能します。	141	-	B10	
	RTO23_0 (PPG22_0)	多機能タイマ 2 の波形ジェネレー タ出力。	5	5	D5	
	RTO23_1 (PPG22_1)	PPG2 出力モードで使用するとき は、PPG22 として機能します。	142	-	C10	
RTO24_0 (PPG24_0)	多機能タイマ 2 の波形ジェネレー タ出力。	6	6	D2		
RTO24_1 (PPG24_1)	PPG2 出力モードで使用するとき は、PPG24 として機能します。	143	-	D10		
RTO25_0 (PPG24_0)	多機能タイマ 2 の波形ジェネレー タ出力。	7	7	D1		
RTO25_1 (PPG24_1)	PPG2 出力モードで使用するとき は、PPG24 として機能します。	144	-	B9		

モジュール	端子名	機能	端子番号		
			LQFP-176	LQFP-144	BGA-192
クアッド カウンタ 0	AIN0_0	QPRC ch.0 の AIN 入力端子	28	-	H3
	AIN0_1		59	51	L5
	AIN0_2		13	13	E5
	BIN0_0	QPRC ch.0 の BIN 入力端子	29	-	H4
	BIN0_1		60	52	K5
	BIN0_2		14	14	F1
	ZIN0_0	QPRC ch.0 の ZIN 入力端子	30	-	H5
	ZIN0_1		61	53	N6
ZIN0_2	15		15	F2	
クアッド カウンタ 1	AIN1_0	QPRC ch.1 の AIN 入力端子	73	65	N9
	AIN1_1		127	103	D13
	AIN1_2		62	54	M6
	BIN1_0	QPRC ch.1 の BIN 入力端子	74	66	M9
	BIN1_1		126	102	D12
	BIN1_2		63	55	L6
	ZIN1_0	QPRC ch.1 の ZIN 入力端子	75	67	L9
	ZIN1_1		125	101	E13
ZIN1_2	64		56	K6	
クアッド カウンタ 2	AIN2_0	QPRC ch.2 の AIN 入力端子	67	59	M8
	AIN2_1		170	-	B4
	AIN2_2		115	-	G11
	BIN2_0	QPRC ch.2 の BIN 入力端子	68	60	L8
	BIN2_1		171	-	C4
	BIN2_2		116	-	G10
	ZIN2_0	QPRC ch.2 の ZIN 入力端子	69	61	K8
	ZIN2_1		172	140	B3
ZIN2_2	117		-	G9	

モジュール	端子名	機能	端子番号		
			LQFP-176	LQFP-144	BGA-192
Reset	INITX	外部リセット入力。 INITX="L"のとき、リセットが有効です。	57	49	N5
Mode	MD0	モード0 端子。 通常動作時は、MD0="L"を入力してください。フラッシュメモリのシリアル書込み時は、MD0="H"を入力してください。	85	69	N12
	MD1	モード1 端子。 フラッシュメモリのシリアル書込み時は、MD1="L"を入力してください。	84	68	N13
Power	VCC	電源端子	1	1	C1
	VCC	電源端子	45	37	N1
	VCC	電源端子	54	46	P4
	VCC	電源端子	89	73	M14
	VCC	電源端子	133	109	A13
	VCC	電源端子	173	141	A4
	VCC	電源端子	129	105	E14
	VCC	電源端子	156	126	A9
GND	VSS	GND 端子	27	25	J1
	VSS	GND 端子	44	36	M1
	VSS	GND 端子	53	45	P3
	VSS	GND 端子	88	72	N14
	VSS	GND 端子	109	93	F14
	VSS	GND 端子	132	108	B14
	VSS	GND 端子	157	127	A11
	VSS	GND 端子	176	144	B1
	VSS	GND 端子	-	-	E1
	VSS	GND 端子	-	-	G1
	VSS	GND 端子	-	-	P7
	VSS	GND 端子	-	-	P11
	VSS	GND 端子	-	-	L14
	VSS	GND 端子	-	-	A8
	VSS	GND 端子	-	-	A5
	VSS	GND 端子	-	-	N7
	VSS	GND 端子	-	-	M7
	VSS	GND 端子	-	-	L7
	VSS	GND 端子	-	-	K7
	VSS	GND 端子	-	-	J7
	VSS	GND 端子	-	-	G7
	VSS	GND 端子	-	-	H7
	VSS	GND 端子	-	-	H8
	VSS	GND 端子	-	-	G8

モジュール	端子名	機能	端子番号		
			LQFP-176	LQFP-144	BGA-192
Clock	X0	メインクロック(発振)入力端子	86	70	P12
	X0A	サブクロック(発振)入力端子	55	47	P5
	X1	メインクロック(発振)I/O 端子	87	71	P13
	X1A	サブクロック(発振)I/O 端子	56	48	P6
	CROUT_0	内蔵高速 CR 発振クロック出力 ポート	127	103	D13
	CROUT_1		152	122	E8
Analog Power	AVCC	A/D コンバータのアナログ電源端子	106	90	J14
	AVRH	A/D コンバータのアナログ基準電圧入力端子	107	91	H14
Analog GND	AVSS	A/D コンバータの GND 端子	108	92	G14
C 端子	C	電源安定化容量端子	52	44	P2

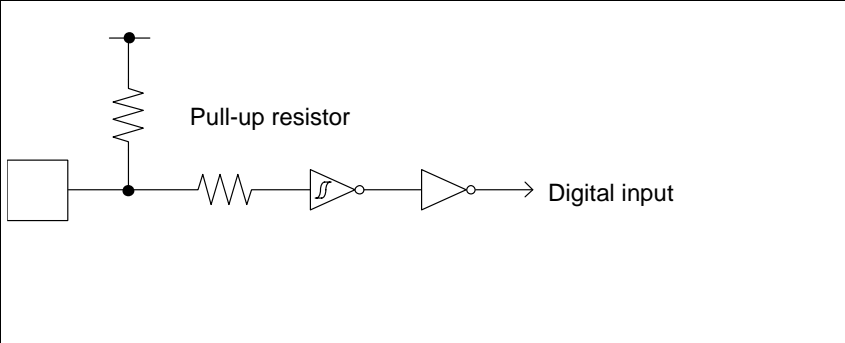
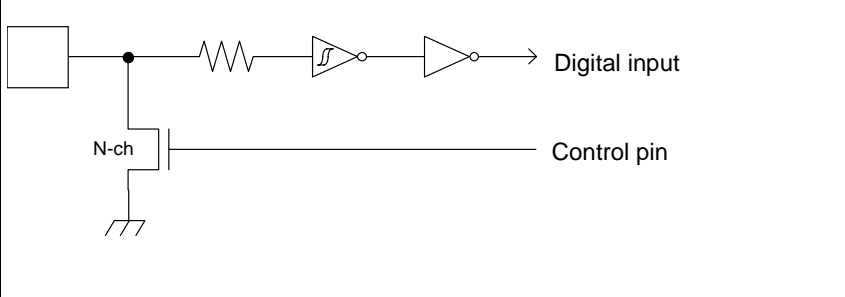
*: 5V トレラント I/O

<注意事項>

- 本デバイスには、JTAG 標準のテストアクセスポート(TAP)が搭載されていますが、IEEE 1149.1-2001 に完全に準拠していません。32bit の ID 番号は、他シリーズの ID 番号と重なる場合があります。また、JTAG 端子は TAP コントローラへのアクセス以外の目的に対しても使用されます。

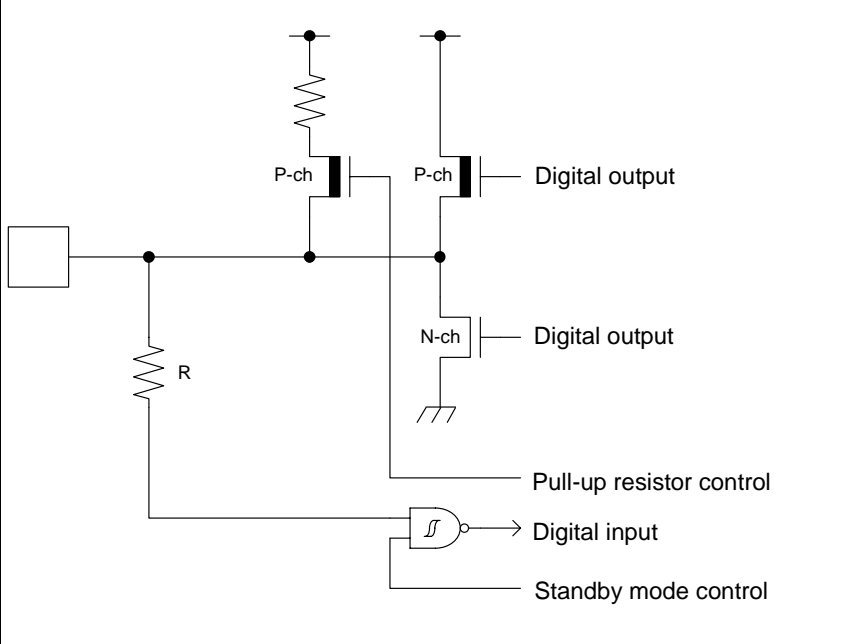
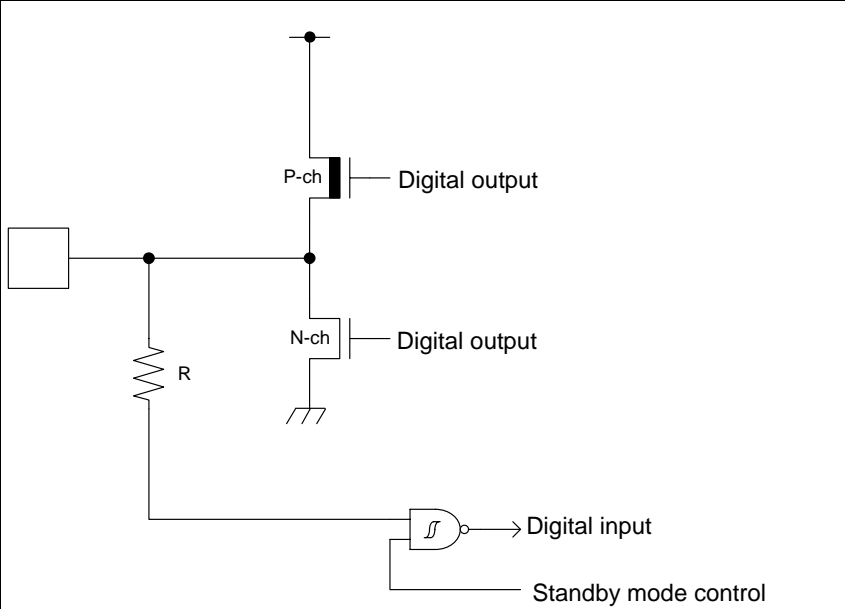
5. 入出力回路形式

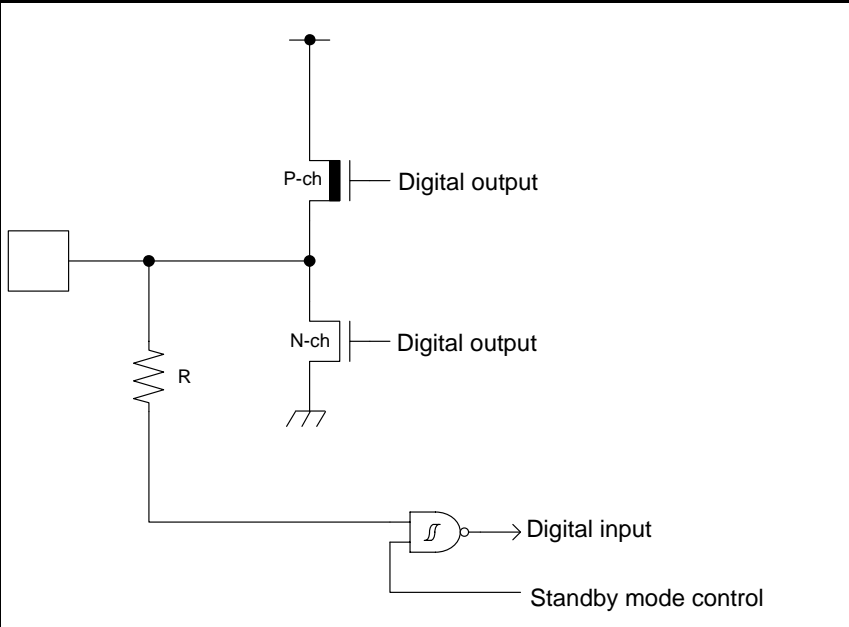
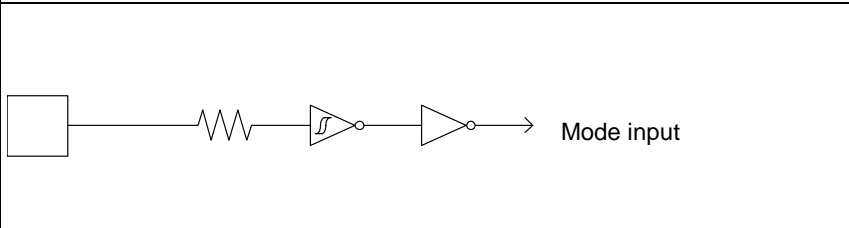
分類	回路	備考
A	<p>The diagram illustrates the internal circuitry for two I/O pins, X1 and X0. Each pin is connected to a pull-up resistor (R) and a P-channel MOSFET (P-ch). The P-ch MOSFET is controlled by a 'Pull-up resistor control' signal. The N-channel MOSFET (N-ch) is controlled by a 'Digital output' signal. The circuit also includes a 'Digital input' driver, a 'Standby mode Control' signal, and a 'Clock input' driver with a 'Feedback resistor'. The output drivers are labeled 'Digital output'.</p>	<p>メイン発振/GPIO 切替え可能</p> <p>メイン発振機能選択時</p> <ul style="list-style-type: none"> - 発振帰還抵抗: 約 1 MΩ - スタンバイ制御あり <p>GPIO 機能選択時</p> <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$

分類	回路	備考
B	 <p style="text-align: center;">Pull-up resistor</p>	<ul style="list-style-type: none"> - CMOS レベルヒステリシス入力 - プルアップ抵抗: 約 50 kΩ
C	 <p style="text-align: center;">N-ch</p> <p style="text-align: center;">Control pin</p>	<ul style="list-style-type: none"> - オープンドレイン出力 - CMOS レベルヒステリシス入力

分類	回路	備考
D	<p>The diagram illustrates two circuit configurations for pin D. The top configuration is for a sub-oscillator/GPIO pin, featuring oscillator X1A, a pull-up resistor, P-ch and N-ch transistors for digital output, a resistor R, and logic for digital input, standby mode control, and clock input. The bottom configuration is for a GPIO pin, featuring oscillator X0A, a pull-up resistor, P-ch and N-ch transistors for digital output, a resistor R, and logic for digital input and standby mode control.</p>	<p>サブ発振/GPIO 切替え可能</p> <p>サブ発振機能選択時</p> <ul style="list-style-type: none"> - 発振帰還抵抗: 約 5 MΩ - スタンバイ制御あり <p>GPIO 機能選択時</p> <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - I_{OH} = -4 mA, I_{OL} = 4 mA

分類	回路	備考
E	<p>Diagram E shows a digital output pin configuration. A pull-up resistor R is connected to the pin. The pin is also connected to the gate of a P-ch transistor. A pull-up resistor control signal is connected to the gate of the P-ch transistor. A digital input signal is connected to the pin through an AND gate controlled by a standby mode control signal. An N-ch transistor is connected to the pin and ground.</p>	<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。 - +B 入力可
F	<p>Diagram F shows a digital output pin configuration with an analog input. A pull-up resistor R is connected to the pin. The pin is also connected to the gate of a P-ch transistor. A pull-up resistor control signal is connected to the gate of the P-ch transistor. A digital input signal is connected to the pin through an AND gate controlled by a standby mode control signal. An analog input signal is connected to the pin through an AND gate controlled by an input control signal. An N-ch transistor is connected to the pin and ground.</p>	<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - 入力制御あり - アナログ入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。 - +B 入力可

分類	回路	備考
G		<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -12 \text{ mA}$, $I_{OL} = 12 \text{ mA}$ - +B 入力可
H		<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - スタンバイ制御あり - $I_{OH} = -20.5 \text{ mA}$, $I_{OL} = 18.5 \text{ mA}$

分類	回路	備考
I	 <p>The diagram shows a CMOS output stage. A P-channel MOSFET (P-ch) and an N-channel MOSFET (N-ch) are connected in a push-pull configuration. The gates of both MOSFETs are connected to a common input node. This node is connected to a resistor labeled 'R' which is tied to ground. The other end of the resistor is connected to a digital input pin. The output of this digital input pin is connected to an AND gate. The other input of the AND gate is connected to a 'Standby mode control' signal. The output of the AND gate is connected to the gates of both MOSFETs. The P-ch MOSFET's source is connected to a supply rail, and its drain is labeled 'Digital output'. The N-ch MOSFET's source is connected to ground, and its drain is also labeled 'Digital output'.</p>	<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - 5V トレラント - スタンバイ制御あり - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - PZR レジスタ制御可能 - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
J	 <p>The diagram shows a mode input pin connected to a resistor. The other end of the resistor is connected to an AND gate. The output of the AND gate is connected to an inverter, which then outputs to the 'Mode input' pin.</p>	CMOS レベルヒステリシス入力

分類	回路	備考
K		<ul style="list-style-type: none"> - CMOS レベル出力 - TTL レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$
L		<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -8 \text{ mA}$, $I_{OL} = 8 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。 - +B 入力可

6. 取扱上のご注意

半導体デバイスは、ある確率で故障します。また、半導体デバイスの故障は、使用される条件(回路条件、環境条件など)によっても大きく左右されます。

以下に、半導体デバイスをより信頼性の高い状態で使用していただくために、注意・配慮しなければならない事項について説明します。

6.1 設計上の注意事項

ここでは、半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

絶対最大定格の遵守

半導体デバイスは、過剰なストレス (電圧, 電流, 温度など) が加わると破壊する可能性があります。この限界値を定めたものが絶対最大定格です。従って、定格を一項目でも超えることのないようご注意ください。

推奨動作条件の遵守

推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、全てこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を越えて使用すると、信頼性に悪影響を及ぼすことがあります。

本資料に記載されていない項目、使用条件、論理組み合わせでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

端子の処理と保護

半導体デバイスには、電源および各種入出力端子があります。これらに対して以下の注意が必要です。

1. 過電圧・過電流の防止

各端子に最大定格を超える電圧・電流が印加されると、デバイスの内部に劣化が生じ、著しい場合には破壊に至ります。機器の設計の際には、このような過電圧・過電流の発生を防止してください。

2. 出力端子の保護

出力端子を電源端子または他の出力端子とショートしたり、大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので、このような接続はしないようにしてください。

3. 未使用入力端子の処理

インピーダンスの非常に高い入力端子は、オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

ラッチアップ

半導体デバイスは、基板上に P 型と N 型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合、内部の寄生 PNP 接合 (サイリスタ構造) が導通して、数百 mA を越える大電流が電源端子に流れ続けることがあります。これをラッチアップと呼びます。この現象が起きるとデバイスの信頼性を損ねるだけでなく、破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために、以下の点にご注意ください。

1. 最大定格以上の電圧が端子に加わることが無いようにしてください。異常なノイズ、サージ等にも注意してください。

2. 電源投入シーケンスを考慮し、異常な電流が流れないようにしてください。

安全等の規制と規格の遵守

世界各国では、安全や、電磁妨害等の各種規制と規格が設けられています。お客様が機器を設計するに際しては、これらの規制と規格に適合するようお願いいたします。

フェイル・セーフ設計

半導体デバイスは、ある確率で故障が発生します。半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止設計、誤動作防止設計などの安全設計をお願いします。

用途に関する注意

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。当社は、これらの用途に当該製品が使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

6.2 パッケージ実装上の注意事項

パッケージには、リード挿入形と表面実装形があります。いずれの場合も、はんだ付け時の耐熱性に関する品質保証は、当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

リード挿入形

リード挿入形パッケージのプリント板への実装方法は、プリント板へ直接はんだ付けする方法とソケットを使用してプリント板に実装する方法とがあります。

プリント板へ直接はんだ付けする場合は、プリント板のスルーホールにリード挿入後、噴流はんだによるフローはんだ方法（ウェーブソルダーリング法）が一般的に使用されます。この場合、はんだ付け実装時には、通常最大定格の保存温度を上回る熱ストレスがリード部分に加わります。当社の実装推奨条件で実装してください。

ソケット実装方法でご使用になる場合、ソケットの接点の表面処理と IC のリードの表面処理が異なるとき、長時間経過後、接触不良を起こすことがあります。このため、ソケットの接点の表面処理と IC のリードの表面処理の状態を確認してから実装することをお勧めします。

表面実装形

表面実装形パッケージは、リード挿入形と比較して、リードが細く薄いため、リードが変形し易い性質をもっています。また、パッケージの多ピン化に伴い、リードピッチも狭く、リード変形によるオープン不良や、はんだブリッジによるショート不良が発生しやすいため、適切な実装技術が必要となります。

当社ははんだリフロー方法を推奨し、製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

鉛フリーパッケージ

BGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合、使用状況により接合強度が低下することがありますのでご注意ください。

半導体デバイスの保管について

プラスチックパッケージは樹脂でできているため、自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合、界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください。

1. 急激な温度変化のある所では製品に水分の結露が起こります。このような環境を避けて、温度変化の少ない場所に保管してください。
2. 製品の保管場所はドライボックスの使用を推奨します。相対湿度 70%RH 以下、温度 5°C～30°C で保管をお願いします。ドライパッケージを開封した場合には湿度 40%～70%RH を推奨いたします。
3. 当社では必要に応じて半導体デバイスの梱包材として防湿性の高いアルミラミネート袋を用い、乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。
4. 腐食性ガスの発生する場所や塵埃の多い所は避けてください。

ベーキングについて

吸湿したパッケージはベーキング (加熱乾燥) を実施することにより除湿することが可能です。ベーキングは、当社の推奨する条件で実施してください。

条件: 125°C/24 時間

静電気

半導体デバイスは静電気による破壊を起こしやすいため、以下の点についてご注意ください。

1. 作業環境の相対湿度は 40 % ~ 70%RH にしてください。除電装置 (イオン発生装置) の使用なども必要に応じて検討してください。
2. 使用するコンベア、半田槽、半田ゴテ、および周辺付帯設備は大地に接地してください。
3. 人体の帯電防止のため、指輪または腕輪などから高抵抗 (1 MΩ 程度) で大地に接地したり、導電性の衣服・靴を着用し、床に導電マットを敷くなど帯電電荷を最小限に保つようしてください。
4. 治具、計器類は、接地または帯電防止化を実施してください。
5. 組立完了基板の収納時、発泡スチロールなどの帯電し易い材料の使用は避けてください。

6.3 使用環境に関する注意事項

半導体デバイスの信頼性は、先に述べました周囲温度とそれ以外の環境条件にも依存します。ご使用にあたっては、以下の点にご注意ください。

1. 湿度環境
高湿度環境下での長期の使用は、デバイス自身だけでなくプリント基板等にもリーク性の不具合が発生する場合があります。高湿度が想定される場合は、防湿処理を施す等の配慮をお願いします。
2. 静電気放電
半導体デバイスの直近に高電圧に帯電したものが存在すると、放電が発生し誤動作の原因となることがあります。このような場合、帯電の防止または放電の防止の処置をお願いします。
3. 腐食性ガス、塵埃、油
腐食性ガス雰囲気中や、塵埃、油等がデバイスに付着した状態で使用すると、化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でご使用の場合は、防止策についてご検討ください。
4. 放射線・宇宙線
一般のデバイスは、設計上、放射線、宇宙線にさらされる環境を想定しておりません。したがって、これらを遮蔽してご使用ください。
5. 発煙・発火
樹脂モールド型のデバイスは、不燃性ではありません。発火物の近くでは、ご使用にならないでください。発煙・発火しますと、その際に毒性を持ったガスが発生する恐れがあります。

その他、特殊な環境下でのご使用をお考えの場合は、営業部門にご相談ください。

7. デバイス使用上の注意

電源端子について

VCC, VSS 端子が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にすべきものどうしを接続してありますが、不要輻射の低減・グランドレベルの上昇によるストロブ信号の誤動作の防止・総出力電流規格を遵守などのために、必ずそれらすべてを外部で電源およびグランドに接続してください。また、電流供給源からできる限り低インピーダンスで本デバイスの各電源端子と GND 端子に接続してください。さらに、本デバイスの近くで各電源端子と GND 端子の間、AVCC 端子と AVSS 端子の間に 0.1 μF 程度のセラミックコンデンサをバイパスコンデンサとして接続することをお勧めします。

電源電圧の安定化について

電源電圧の変動が VCC の推奨動作条件内においても、急峻な変化があると誤動作することがあります。安定化の基準として VCC は、商用周波数 (50 Hz ~ 60 Hz) におけるリップル変動(ピークピーク値) を推奨動作条件内の 10% 以内にしてください。かつ電源切り換えによる瞬間変動の過渡変動率は 0.1 V/ μs 以下にしてください。

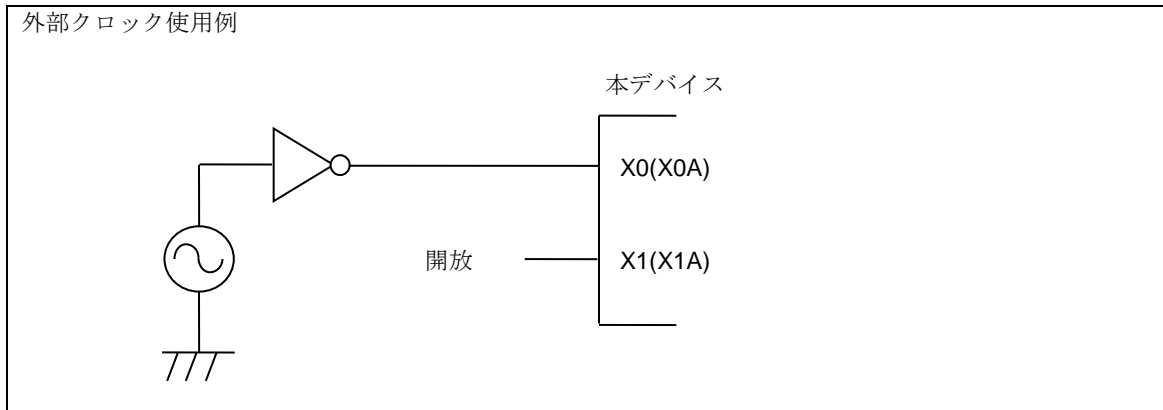
水晶発振回路について

X0/X1, X0A/X1A 端子の近辺のノイズは本デバイスの誤動作の原因となります。X0/X1, X0A/X1A 端子および水晶振動子さらにグランドへのバイパスコンデンサはできる限り近くに配置するようにプリント板を設計してください。

また、X0/X1, X0A/X1A 端子の回りをグランドで囲むようなプリント板アートワークは安定した動作を期待できますので、強くお勧めします。実装基板にて、使用する水晶振動子の発振評価を実施してください。

外部クロック使用時の注意

外部クロックを使用する場合は、X0, X0A 端子のみを駆動し、X1, X1A 端子は開放としてください。



マルチファンクションシリアル端子を I²C 端子として使用する場合の扱いについて

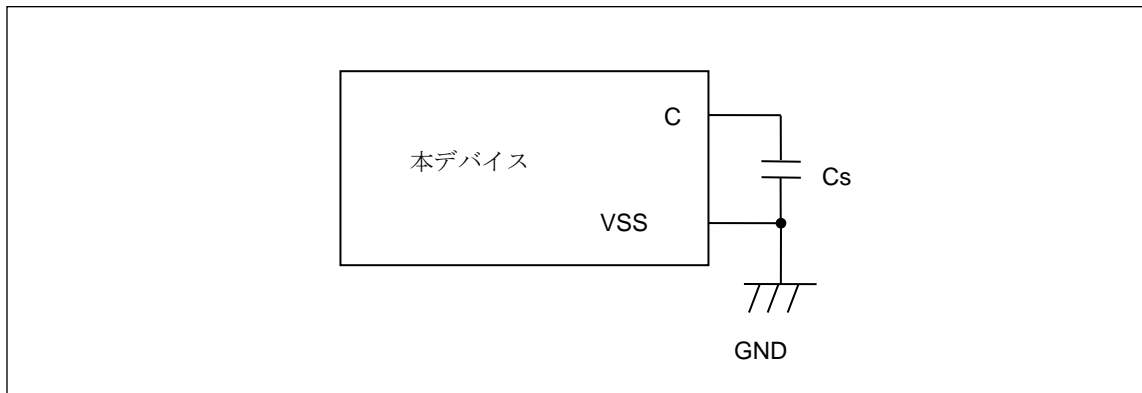
マルチファンクションシリアル端子を I²C 端子として使用する場合、デジタル出力 P-ch トランジスタは常にディセーブルです。しかし、I²C 端子も他の端子と同様に、デバイスの電気的特性を守り、電源をオフにしたまま外部 I²C バスシステムへ接続しないでください。

C 端子について

本シリーズはレギュレータを内蔵しています。必ず C 端子と GND 端子の間にレギュレータ用の平滑コンデンサ(C_S)を接続してください。平滑コンデンサにはセラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。

なお、積層セラミックコンデンサは、温度による容量値の変化幅に特性(F 特性, Y5V 特性)を持つものがあります。コンデンサの温度特性を確認し、使用条件において規格値を満たすコンデンサを使用してください。

本シリーズでは 4.7 μ F 程度の平滑コンデンサを推奨します。



モード端子(MD0)について

モード端子(MD0)は VCC 端子または VSS 端子に直接接続してください。内蔵フラッシュメモリ書換えなどの目的で、モード端子レベルを変更できるようにプルアップまたはプルダウンをする場合には、ノイズによりデバイスが意図せずテストモードに入るのを防止するため、プルアップまたはプルダウンに使用する抵抗値はできるだけ低く抑えると共に、モード端子から VCC 端子または VSS 端子への距離を最小にし、できるだけ低インピーダンスで接続するようにプリント基板を設計してください。

電源投入時について

電源を投入/切断する際は同時か、あるいは次の順番で投入/切断を行ってください。

なお、A/D コンバータを使用しない場合でも、AVCC = VCC レベル, AVSS = VSS レベルに接続してください。

投入時: VCC → AVCC → AVRH

切断時: AVRH → AVCC → VCC

シリアル通信について

シリアル通信においては、ノイズなどにより間違ったデータを受信する可能性があります。そのため、ノイズを抑えるボードの設計をしてください。また、万が一ノイズなどの影響により誤ったデータを受信した場合を考慮し、最後にデータのチェックサムなどを付加してエラー検出を行ってください。エラーが検出された場合には、再送を行うなどの処理をしてください。

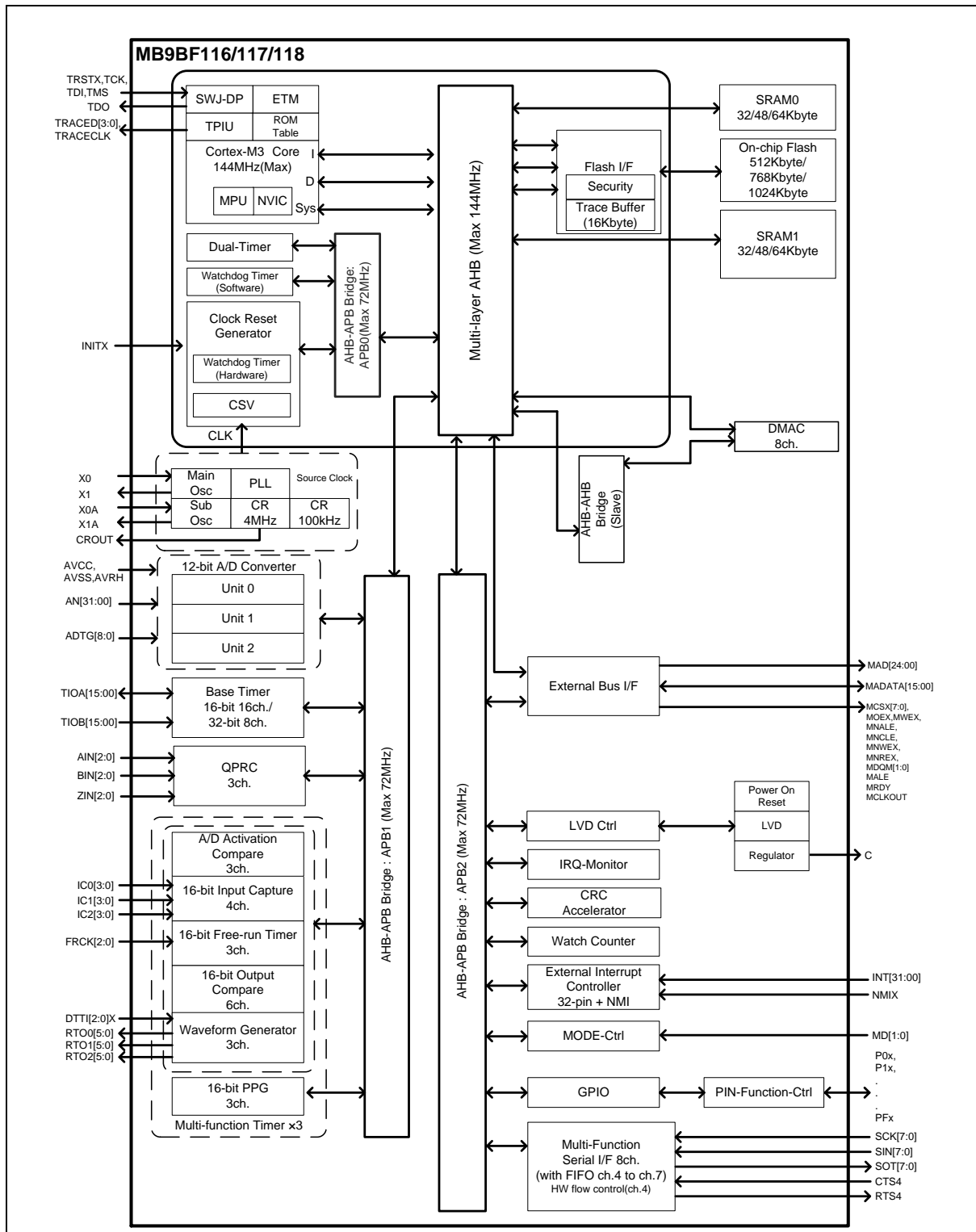
メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品の特性差について

メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品ではチップレイアウトやメモリ構造の違いにより消費電流や ESD, ラッチアップ, ノイズ特性, 発振特性等を含めた電気的特性が異なります。

お客様にて同一シリーズの別製品に切り替えて使用する際は、電気的特性の評価を行ってください。

ベースタイマについて

ベースタイマの ch.8 と ch.9 を入出力モード 1(タイマフルモード)で使用する場合、TIOA09 は外部起動トリガ入力(TGIN)として使用できません。必ずベースタイマのタイマ制御レジスタ(ch.9-TMCR)の EGS1, EGS0 ビットをトリガ入力無効(EGS1, EGS0=0b00)に設定してください。

8. ブロックダイアグラム

<注意事項>

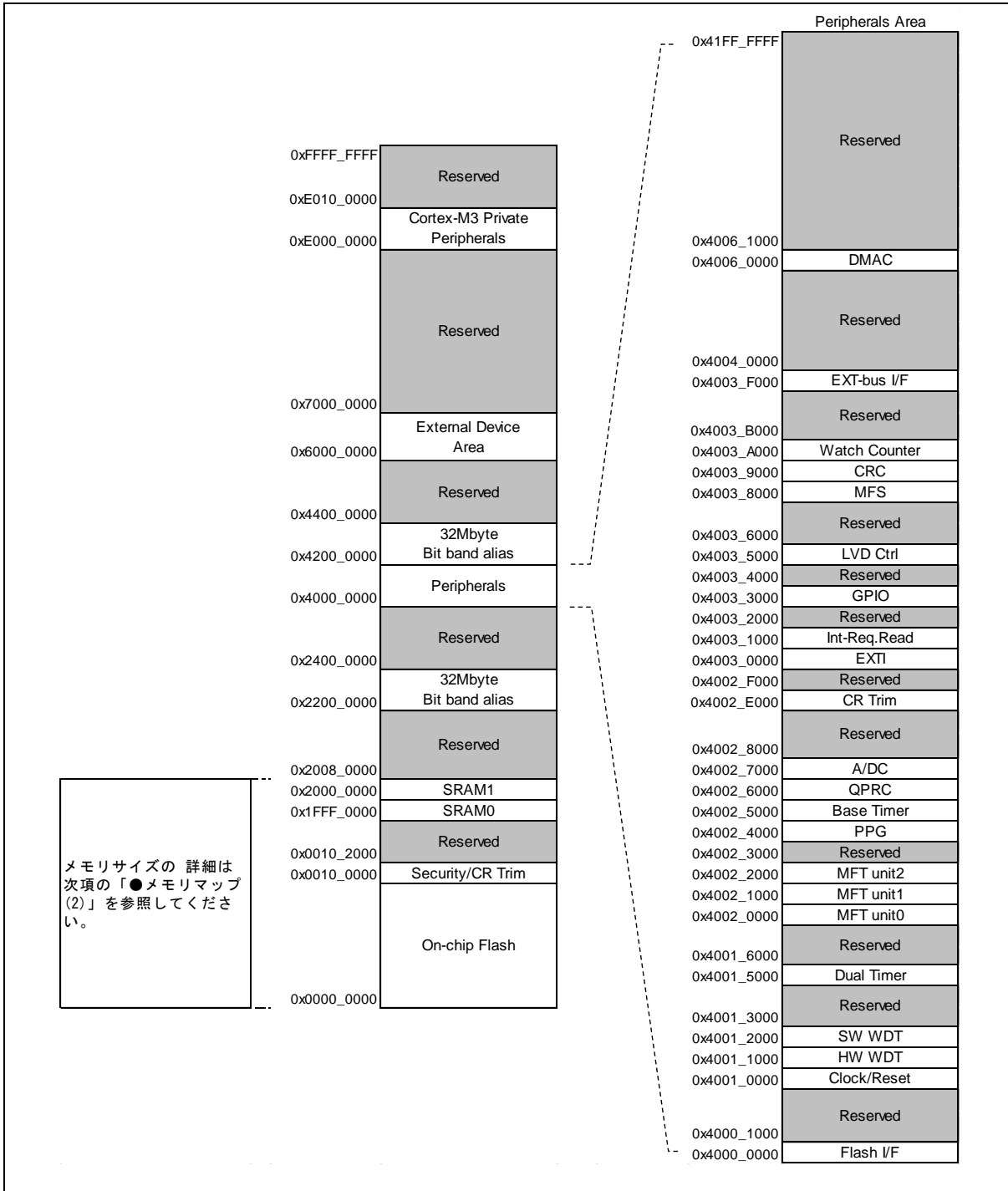
- 外部バスインタフェースの端子数と12ビットA/Dコンバータのチャンネル数は、使用するパッケージにより異なるためご注意ください。

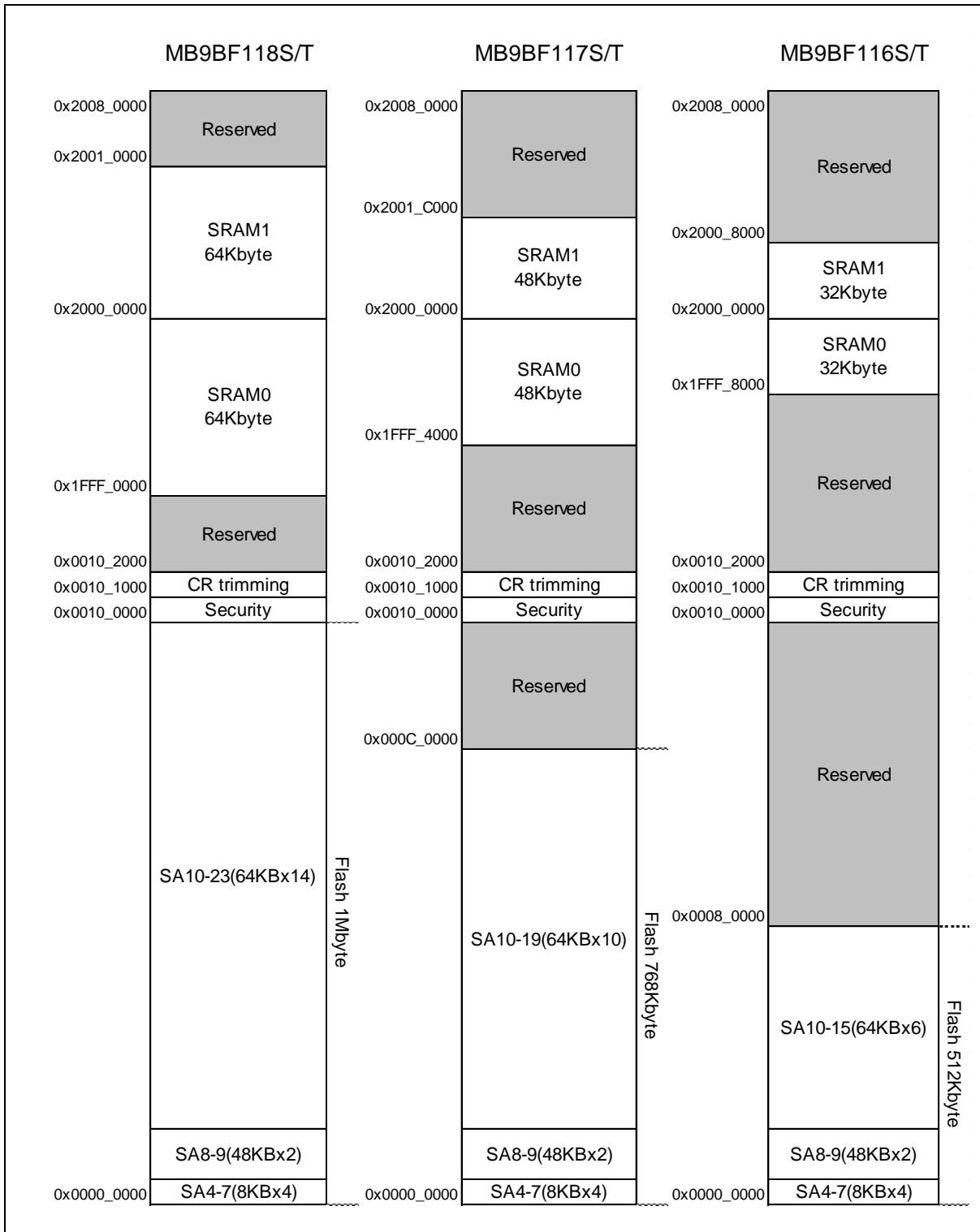
9. メモリサイズ

メモリサイズについては、「1. 品種構成」の「メモリサイズ」を参照してください。

10. メモリマップ

メモリマップ(1)



メモリマップ(2)


フラッシュメモリマップの詳細は、「MB9BD10T/610T/510T/410T/310T/210T/110T シリーズ フラッシュプログラミングマニュアル」を参照してください。

ペリフェラル・アドレスマップ

スタート アドレス	エンド アドレス	バス	周辺機能
0x4000_0000	0x4000_0FFF	AHB	フラッシュメモリ I/F レジスタ
0x4000_1000	0x4000_FFFF		予約
0x4001_0000	0x4001_0FFF	APB0	クロック・リセット制御
0x4001_1000	0x4001_1FFF		ハードウェアウォッチドッグタイマ
0x4001_2000	0x4001_2FFF		ソフトウェアウォッチドッグタイマ
0x4001_3000	0x4001_4FFF		予約
0x4001_5000	0x4001_5FFF		デュアルタイマ
0x4001_6000	0x4001_FFFF		予約
0x4002_0000	0x4002_0FFF		APB1
0x4002_1000	0x4002_1FFF	多機能タイマ unit1	
0x4002_2000	0x4002_3FFF	多機能タイマ unit2	
0x4002_4000	0x4002_4FFF	PPG	
0x4002_5000	0x4002_5FFF	ベースタイマ	
0x4002_6000	0x4002_6FFF	クアドカウンタ(QPRC)	
0x4002_7000	0x4002_7FFF	A/D コンバータ	
0x4002_8000	0x4002_DFFF	予約	
0x4002_E000	0x4002_EFFF	内蔵 CR トリミング	
0x4002_F000	0x4002_FFFF	予約	
0x4003_0000	0x4003_0FFF	APB2	
0x4003_1000	0x4003_1FFF		割込み要因確認レジスタ
0x4003_2000	0x4003_2FFF		予約
0x4003_3000	0x4003_3FFF		GPIO
0x4003_4000	0x4003_4FFF		予約
0x4003_5000	0x4003_5FFF		低電圧検出
0x4003_6000	0x4003_7FFF		予約
0x4003_8000	0x4003_8FFF		マルチファンクションシリアル
0x4003_9000	0x4003_9FFF		CRC
0x4003_A000	0x4003_AFFF		時計カウンタ
0x4003_B000	0x4003_EFFF		予約
0x4003_F000	0x4003_FFFF		外部バス I/F
0x4004_0000	0x4005_FFFF	AHB	予約
0x4006_0000	0x4006_0FFF		DMAC レジスタ
0x4006_1000	0x41FF_FFFF		予約

11. 各 CPU ステートにおける端子状態

端子の状態として使用している語句は、以下の意味を持ちます。

■INITX=0

INITX 端子が"L"レベルの期間です。

■INITX=1

INITX 端子が"H"レベルの期間です。

■SPL=0

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が"0"に設定された状態です。

■SPL=1

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が"1"に設定された状態です。

■入力可

入力機能が使用可能な状態です。

■内部入力"0"固定

入力機能が使用できない状態です。内部入力は"L"に固定されます。

■Hi-Z

端子駆動用トランジスタを駆動禁止状態にし、端子を Hi-Z にします。

■設定不可

設定できません。

■直前状態保持

本モードに遷移する直前の状態を保持します。内蔵されている周辺機能が動作中であれば、その周辺機能に従います。ポートとして使用している場合は、その状態を保持します。

■アナログ入力可能

アナログ入力が許可されています。

■トレース出力

トレース機能が使用可能な状態です。

端子状態一覧表

端子状態形式	グループ機能名	パワーオンリセットもしくは低電圧検出状態	INITX 入力状態	デバイス内部リセット状態	ランモードもしくはスリープモード状態	タイマモードもしくはストップモード状態	
		電源不安定	電源安定		電源安定	電源安定	
		-	INITX=0	INITX=1	INITX=1	INITX=1	
		-	-	-	-	SPL=0	SPL=1
A	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0"固定
	メイン水晶発振入力端子	入力可	入力可	入力可	入力可	入力可	入力可
B	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0"固定
	メイン水晶発振出力端子	Hi-Z/ 内部入力"0"固定 もしくは 入力可	Hi-Z/ 内部入力"0"固定	Hi-Z/ 内部入力"0"固定	直前状態保持	直前状態保持/ 発振停止時*1 は Hi-Z/内部 入力 "0"固定	直前状態保持/ 発振停止時*1 は Hi-Z/内部 入力 "0"固定
C	INITX 入力端子	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可
D	モード 入力端子	入力可	入力可	入力可	入力可	入力可	入力可
E	JTAG 選択時	Hi-Z	プルアップ/ 入力可	プルアップ/ 入力可	直前状態保持	直前状態保持	直前状態保持
	GPIO 選択時	設定不可	設定不可	設定不可			Hi-Z/ 内部入力"0"固定
F	トレース選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	トレース出力
	外部割込み許可選択時						直前状態保持
	GPIO 選択時 上記以外のリソース 選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入力"0"固定
G	トレース選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	トレース出力
	GPIO 選択時 上記以外のリソース 選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入力"0"固定
H	外部割込み許可選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持
	GPIO 選択時 上記以外のリソース 選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入力"0"固定

端子状態形式	グループ機能名	パワーオンリセットもしくは低電圧検出状態	INITX 入力状態	デバイス内部リセット状態	ランモードもしくはスリープモード状態	タイマモードもしくはストップモード状態	
		電源不安定	電源安定		電源安定	電源安定	
		-	INITX=0	INITX=1	INITX=1	INITX=1	
		-	-	-	-	SPL=0	SPL=1
I	GPIO 選択時 リソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可	直前状態 保持	直前状態 保持	Hi-Z/ 内部入力"0"固定
J	NMIX 選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持
	GPIO 選択時 上記以外の リソース選択 時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入力"0"固定
K	アナログ入力 選択時	Hi-Z	Hi-Z/ 内部入力"0" 固定/ アナログ 入力可	Hi-Z/ 内部入力"0" 固定/ アナログ 入力可	Hi-Z/ 内部入力"0" 固定/ アナログ 入力可	Hi-Z/ 内部入力"0" 固定/ アナログ 入力可	Hi-Z/ 内部入力"0"固定/ アナログ 入力可
	GPIO 選択時 上記以外の リソース選択 時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	Hi-Z/ 内部入力"0"固定
L	外部割込み 許可選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持
	アナログ入力 選択時	Hi-Z	Hi-Z/ 内部入力"0" 固定/ アナログ 入力可	Hi-Z/ 内部入力"0" 固定/ アナログ 入力可	Hi-Z/ 内部入力"0" 固定/ アナログ 入力可	Hi-Z/ 内部入力"0" 固定/ アナログ 入力可	Hi-Z/ 内部入力"0"固定/ アナログ 入力可
	GPIO 選択時 上記以外の リソース選択 時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	Hi-Z/ 内部入力"0"固定
M	GPIO 選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	Hi-Z/ 内部入力"0"固定
	サブ水晶 発振入力端子	入力可	入力可	入力可	入力可	入力可	入力可
N	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保 持	直前状態 保持	Hi-Z/ 内部入力"0"固定
	サブ水晶 発振出力端子	Hi-Z/ 内部入力 "0"固定 もしくは 入力可	Hi-Z/ 内部入力"0" 固定	Hi-Z/ 内部入力"0" 固定	直前状態保 持	直前状態 保持/ 発振停止時*2 は Hi-Z/内部 入力"0" 固定	直前状態 保持/ 発振停止時*2 は Hi-Z/内部 入力"0" 固定

端子状態形式	グループ機能名	パワーオンリセットもしくは低電圧検出状態	INITX 入力状態	デバイス内部リセット状態	ランモードもしくはスリープモード状態	タイマモードもしくはストップモード状態	
		電源不安定	電源安定		電源安定	電源安定	
		-	INITX=0	INITX=1	INITX=1	INITX=1	
		-	-	-	-	SPL=0	SPL=1
O	GPIO 選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0"固定
P	モード入力端子	入力可	入力可	入力可	入力可	入力可	入力可
	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 入力可
Q	GPIO 選択時 リソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0"固定
R	外部割込み許可選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持
	GPIO 選択時 上記以外のリソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入力"0"固定

*1: サブタイマモード, 低速 CR タイマモード, ストップモードは発振が停止します。

*2: ストップモードは発振が停止します。

12. 電気的特性

12.1 絶対最大定格

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧*1, *2	V _{CC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
アナログ電源電圧*1, *3	AV _{CC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
アナログ基準電圧*1, *3	AV _{RH}	V _{SS} - 0.5	V _{SS} + 6.5	V	
入力電圧*1	V _I	V _{SS} - 0.5	V _{CC} + 0.5 (≦6.5 V)	V	
		V _{SS} - 0.5	V _{SS} + 6.5	V	5V トレラント
アナログ端子入力電圧*1	V _{IA}	V _{SS} - 0.5	AV _{CC} + 0.5 (≦6.5 V)	V	
出力電圧*1	V _O	V _{SS} - 0.5	V _{CC} + 0.5 (≦6.5 V)	V	
最大クランプ電流	I _{CLAMP}	-2	+2	mA	*7
最大総クランプ電流	Σ [I _{CLAMP}]		+20	mA	*7
"L"レベル最大出力電流*4	I _{OL}	-	10	mA	4mA タイプ
			20	mA	8mA タイプ
			20	mA	12mA タイプ
			39	mA	P80, P81, P82, P83
"L"レベル平均出力電流*5	I _{OLAV}	-	4	mA	4mA タイプ
			8	mA	8mA タイプ
			12	mA	12mA タイプ
			18.5	mA	P80, P81, P82, P83
"L"レベル最大総出力電流	ΣI _{OL}	-	100	mA	
"L"レベル平均総出力電流*6	ΣI _{OLAV}	-	50	mA	
"H"レベル最大出力電流*4	I _{OH}	-	- 10	mA	4mA タイプ
			- 20	mA	8mA タイプ
			- 20	mA	12mA タイプ
			- 39	mA	P80, P81, P82, P83
"H"レベル平均出力電流*5	I _{OHAV}	-	- 4	mA	4mA タイプ
			- 8	mA	8mA タイプ
			- 12	mA	12mA タイプ
			- 20.5	mA	P80, P81, P82, P83
"H"レベル最大総出力電流	ΣI _{OH}	-	- 100	mA	
"H"レベル平均総出力電流*6	ΣI _{OHAV}	-	- 50	mA	
消費電力	P _D	-	1000	mW	
保存温度	T _{STG}	- 55	+ 150	°C	

*1: V_{SS} = AV_{SS} = 0.0 V を基準にした値です。

*2: V_{CC} は V_{SS} - 0.5 V より低くならないでください。

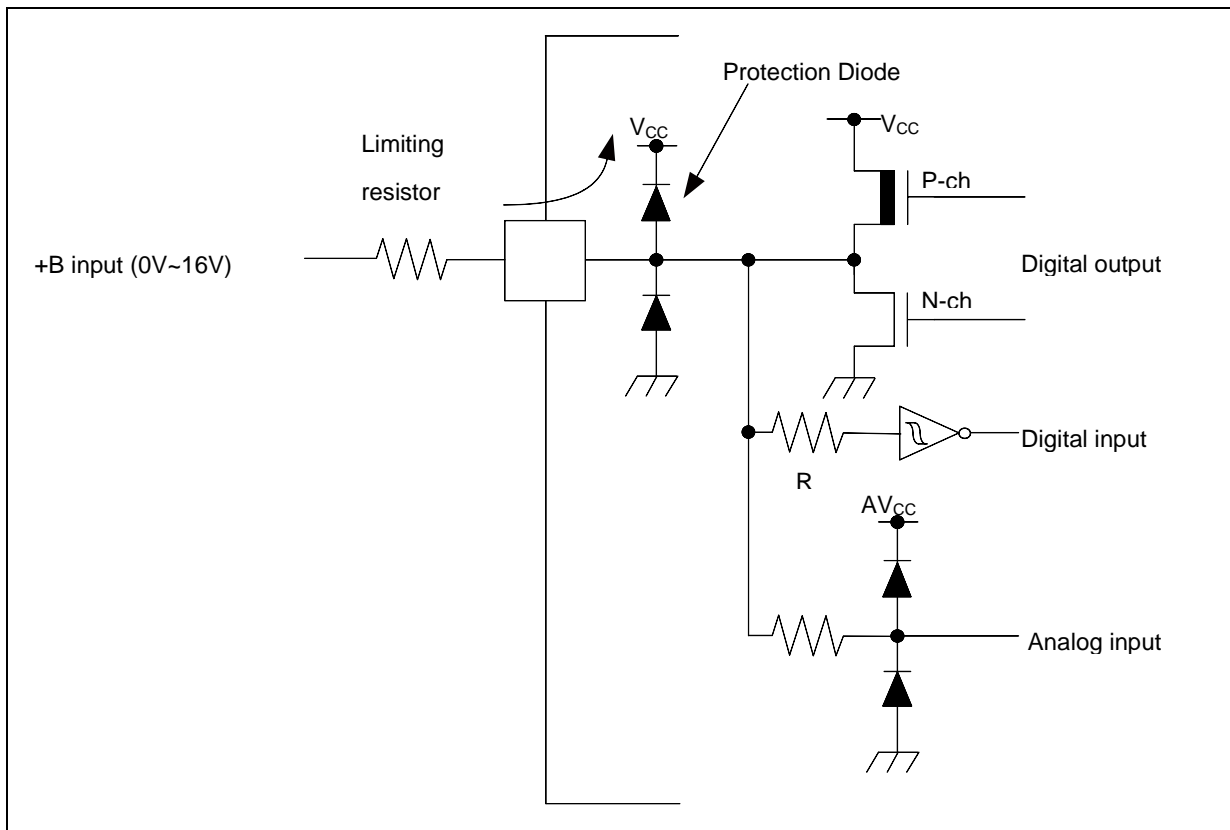
*3: 電源投入時など V_{CC} + 0.5 V を超えてはいけません。

*4: 最大出力電流は、該当する端子 1 本のピーク値を規定します。

*5: 平均出力電流は、該当する端子 1 本に流れる電流の 100 ms の期間内での平均電流を規定します。

*6: 平均総出力電流は、該当する端子すべてに流れる電流の 100 ms の期間内での平均電流を規定します。

- *7:
- ・ 該当端子については、「4.端子機能一覧」、「5.入出力回路形式」を参照してください。
 - ・ 推奨動作条件内でご使用ください。
 - ・ +B 入力 は 直流電圧(電流)で ご使用 ください。
 - ・ +B 信号と本デバイスの間には、必ず電流制限抵抗を接続し+B 信号を印加してください。
 - ・ +B 入力を行うとき、本デバイスの端子に入力される電流が、瞬時/定常を問わず規格値以下になるように電流制限抵抗の値を設定してください。
 - ・ 低消費電力モードなど本デバイスの駆動電流が少ない動作モードでは、+B 入力電位が保護ダイオードを通して VCC 端子、AVCC 端子の電位を上昇させ、本デバイスや他の機器へ影響を及ぼすことがあります。そのため+B 入力時には Vcc、AVcc の電位が推奨動作条件を超えないようにしてください。
 - ・ 本デバイスの電源が OFF 時(0V に固定していない場合)、または電源投入時に+B 入力を行っている場合は、端子から電源が供給されているため、パワーオンリセットが正常に動作せず不完全な動作を行うことがあります。
 - ・ 推奨回路例(入出力等価回路)を下記に示します。



<注意事項>

- 絶対最大定格を超えるストレス(電圧、電流、温度など)の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

12.2 推奨動作条件

 (V_{ss} = AV_{ss} = 0.0V)

項目	記号	条件	規格値		単位	備考	
			最小	最大			
電源電圧	V _{cc}	-	2.7* ²	5.5	V		
アナログ電源電圧	AV _{cc}	-	2.7	5.5	V	AV _{cc} =V _{cc}	
アナログ基準電圧	AVRH	-	2.7	AV _{cc}	V		
平滑コンデンサ容量	C _s	-	1	10	μF	内蔵レギュレータ用 * ¹	
動作温度	LQS144, LQP176, LBE192	T _A	4層基板 実装時	-40	+85	°C	

*1: 平滑コンデンサの接続方法は、「7.デバイス使用上の注意」の「C端子について」を参照してください。

*2: 電源電圧が最小値未満かつ低電圧リセット/割込み検出電圧以上の間は、内蔵高速 CR クロック(メイン PLL 使用含む)または内蔵低速 CR クロックでの命令実行と低電圧検出のみ動作可能です。

<注意事項>

- 推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

12.3 直流規格
12.3.1 電流規格

 (V_{cc} = AV_{cc} = 2.7V ~ 5.5V, V_{ss} = AV_{ss} = 0V, T_A = -40°C ~ +85°C)

項目	記号	端子名	条件		規格値		単位	備考
					標準*3	最大*4		
ラン モード 電流	I _{cc}	VCC	PLL ランモード	CPU: 144 MHz, 周辺: 72 MHz, Flash 2 Wait, TraceBuffer: ON, FRWTR.RWT = 10, FSYNDN.SD = 000, FBFCR.BE = 1	100	180	mA	*1, *5
				CPU: 72 MHz, 周辺: 72 MHz, Flash 0 Wait, TraceBuffer: OFF, FRWTR.RWT = 00, FSYNDN.SD = 000, FBFCR.BE = 0	65	135	mA	*1, *5
			高速 CR ランモード	CPU/周辺: 4 MHz*2, Flash 0 Wait, FRWTR.RWT = 00, FSYNDN.SD = 000	6	57.8	mA	*1
			サブ ランモード	CPU/周辺: 32 kHz, Flash 0 Wait, FRWTR.RWT = 00, FSYNDN.SD = 000	1.3	51.7	mA	*1, *6
			低速 CR ランモード	CPU/周辺: 100 kHz, Flash 0 Wait, FRWTR.RWT = 00, FSYNDN.SD = 000	1.3	51.7	mA	*1
			スリープ モード 電流	I _{ccs}	VCC	PLL スリープモード	周辺: 72 MHz	30
高速 CR スリープモード	周辺: 4 MHz*2	4.5				55.9	mA	*1
サブ スリープモード	周辺: 32 kHz	1.2				51.6	mA	*1, *6
低速 CR スリープモード	周辺: 100 kHz	1.2				51.6	mA	*1

*1: 全ポート固定時。

*2: トリミングにて 4 MHz に設定した場合

 *3: T_A=+25°C, V_{cc}=5.5 V

 *4: T_A=+85°C, V_{cc}=5.5 V

*5: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

*6: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

$(V_{CC} = AV_{CC} = 2.7V \sim 5.5V, V_{SS} = AV_{SS} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

項目	記号	端子名	条件	規格値		単位	備考	
				標準*2	最大*2			
タイマモード電流	I _{CC} T	VCC	メインタイマモード	T _A = +25°C, LVD off 時	4	10	mA	*1, *3
				T _A = +85°C, LVD off 時	-	55	mA	*1, *3
			サブタイマモード	T _A = +25°C, LVD off 時	1.1	5	mA	*1, *4
				T _A = +85°C, LVD off 時	-	50	mA	*1, *4
ストップモード電流	I _{CC} H	ストップモード	T _A = +25°C, LVD off 時	1	5	mA	*1	
			T _A = +85°C, LVD off 時	-	50	mA	*1	

*1: 全ポート固定時

*2: V_{CC}=5.5 V

*3: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

*4: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

低電圧検出回路(LVD)電流

 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
低電圧検出回路(LVD)電源電流	I _{CC} LVD	VCC	割込み発生用動作時	4	7	μA	未検出時

フラッシュメモリ電流

 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
フラッシュメモリ書込み/消去電流	I _{CC} FLASH	VCC	書込み/消去時	12	14	mA	

A/Dコンバータ電流

 $(V_{CC} = AV_{CC} = 2.7V \sim 5.5V, V_{SS} = AV_{SS} = AV_{RL} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
電源電流	I _{CC} AD	AVCC	1unit 動作時	0.57	0.72	mA	
			停止時	0.06	35	μA	
基準電源電流	I _{CC} AVRH	AVRH	A/D 1unit 動作時 AVRH=5.5 V	1.1	1.96	mA	
			停止時	0.06	4	μA	

12.3.2 端子特性

(Vcc = AVcc = 2.7V ~ 5.5V, Vss = AVss = 0V, TA = - 40°C ~ + 85°C)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
"H"レベル 入力電圧 (ヒステリシス入力)	VIHS	CMOS ヒステリシス入 力端子, MD0, MD1	-	Vcc×0.8	-	Vcc + 0.3	V	
		5Vトレラント入 力端子	-	Vcc×0.8	-	Vss + 5.5	V	
		TTLシュミット 入力端子	-	2.0	-	Vcc + 0.3	V	
"L"レベル 入力電圧 (ヒステリシス入力)	VILS	CMOS ヒステリシス入 力端子, MD0, MD1	-	Vss - 0.3	-	Vcc×0.2	V	
		5Vトレラント 入力端子	-	Vss - 0.3	-	Vcc×0.2	V	
		TTLシュミット 入力端子		Vss - 0.3	-	0.8	V	
"H"レベル 出力電圧	VOH	4mA タイプ	Vcc ≥ 4.5 V, IOH = - 4 mA	Vcc - 0.5	-	Vcc	V	
			Vcc < 4.5 V, IOH = - 2 mA					
		8mA タイプ	Vcc ≥ 4.5 V, IOH = - 8 mA	Vcc - 0.5	-	Vcc	V	
			Vcc < 4.5 V, IOH = - 4 mA					
		12mA タイプ	Vcc ≥ 4.5 V, IOH = - 12 mA	Vcc - 0.5	-	Vcc	V	
			Vcc < 4.5 V, IOH = - 8 mA					
		P80, P81, P82, P83	Vcc ≥ 4.5 V, IOH = - 20.5 mA	Vcc - 0.4	-	Vcc	V	
			Vcc < 4.5 V, IOH = - 13.0 mA					

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
"L"レベル 出力電圧	V _{OL}	4mA タイプ	V _{CC} ≥ 4.5 V, I _{OL} = 4 mA	V _{SS}	-	0.4	V	
			V _{CC} < 4.5 V, I _{OL} = 2 mA					
		8mA タイプ	V _{CC} ≥ 4.5 V, I _{OL} = 8 mA	V _{SS}	-	0.4	V	
			V _{CC} < 4.5 V, I _{OL} = 4 mA					
		12mA タイプ	V _{CC} ≥ 4.5 V, I _{OL} = 12 mA	V _{SS}	-	0.4	V	
			V _{CC} < 4.5 V, I _{OL} = 8 mA					
		P80, P81, P82, P83	V _{CC} ≥ 4.5 V, I _{OL} = 18.5 mA	V _{SS}	-	0.4	V	
			V _{CC} < 4.5 V, I _{OL} = 10.5 mA					
入力リーク 電流	I _{IL}	-	-	- 5	-	+ 5	μA	
プルアップ 抵抗値	R _{PU}	プルアップ 端子	V _{CC} ≥ 4.5 V	25	50	100	kΩ	
			V _{CC} < 4.5 V	30	80	200		
入力容量	C _{IN}	VCC, VSS, AVCC, AVSS, AVRH 以外	-	-	5	15	pF	

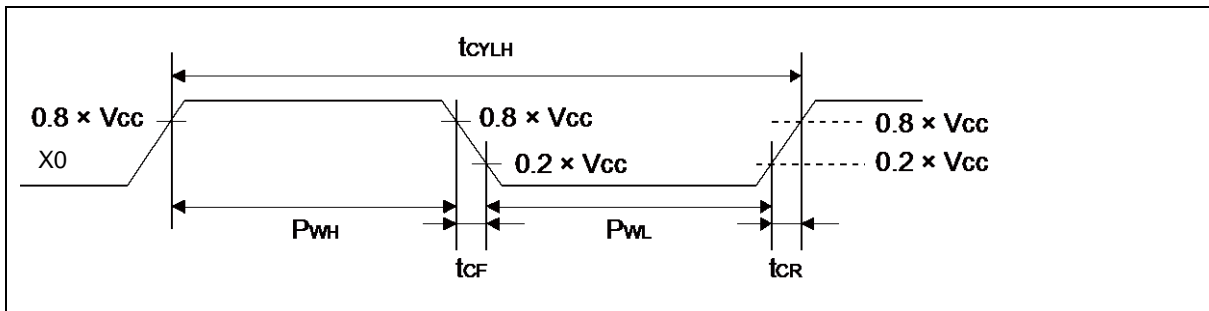
12.4 交流規格
12.4.1 メインクロック入力規格

(Vcc = 2.7V ~ 5.5V, Vss = 0V, TA = -40°C ~ +85°C)

項目	記号	端子名	条件	規格値		単位	備考	
				最小	最大			
入力周波数	F _{CH}	X0, X1	V _{cc} ≥ 4.5 V	4	48	MHz	水晶発振子接続時	
			V _{cc} < 4.5 V	4	20			
			V _{cc} ≥ 4.5 V	4	48	MHz	外部クロック時	
			V _{cc} < 4.5 V	4	20			
入力クロック周期	t _{CY_{LH}}		V _{cc} ≥ 4.5 V	20.83	250	ns	外部クロック時	
			V _{cc} < 4.5 V	50	250			
入力クロックパルス幅	-			P _{WH} /t _{CY_{LH}} , P _{WL} /t _{CY_{LH}}	45	55	%	外部クロック時
入力クロック立上り, 立下り時間	t _{CF} , t _{CR}			-	-	5	ns	外部クロック時
内部動作クロック*1 周波数	F _{CM}	-	-	-	144	MHz	マスタクロック	
	F _{CC}	-	-	-	144	MHz	ベースクロック (HCLK/FCLK)	
	F _{CP0}	-	-	-	72	MHz	APB0 バスクロック*2	
	F _{CP1}	-	-	-	72	MHz	APB1 バスクロック*2	
	F _{CP2}	-	-	-	72	MHz	APB2 バスクロック*2	
内部動作クロック*1 サイクル時間	t _{CYCC}	-	-	6.94	-	ns	ベースクロック (HCLK/FCLK)	
	t _{CYCP0}	-	-	13.8	-	ns	APB0 バスクロック*2	
	t _{CYCP1}	-	-	13.8	-	ns	APB1 バスクロック*2	
	t _{CYCP2}	-	-	13.8	-	ns	APB2 バスクロック*2	

*1: 各内部動作クロックの詳細については、『FM3 ファミリー パリフェラルマニュアル』の『CHAPTER 2-1: クロック』を参照してください。

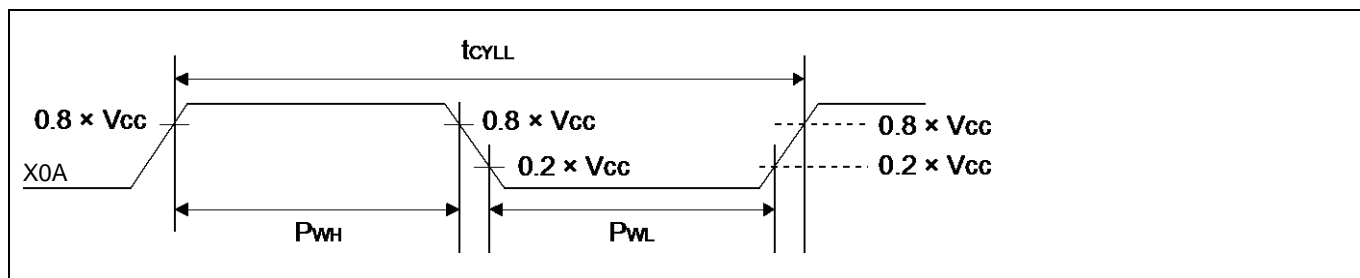
*2: 各パブリフェラルが接続されている APB バスについては「8.ブロックダイアグラム」を参照してください。



12.4.2 サブクロック入力規格

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = -40°C ~ +85°C)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
入力周波数	1/t _{CYLL}	X0A, X1A	-	-	32.768	-	kHz	水晶発振接続時
			-	32	-	100	kHz	外部クロック時
入力クロック周期	t _{CYLL}		-	10	-	31.25	μs	外部クロック時
入力クロックパルス幅	-		P _{WH} /t _{CYLL} , P _{WL} /t _{CYLL}	45	-	55	%	外部クロック時


12.4.3 内蔵 CR 発振規格
内蔵高速 CR

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = -40°C ~ +85°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	F _{CRH}	T _A = +25°C	3.96	4	4.04	MHz	トリミング時*1
		T _A = 0°C ~ +70°C	3.84	4	4.16		
		T _A = -40°C ~ +85°C	3.8	4	4.2		
		T _A = -40°C ~ +85°C	3	4	5		非トリミング時
周波数安定時間	t _{CRWT}	-	-	-	90	μs	*2

*1: 出荷時に設定されるフラッシュメモリ内の CR トリミング領域の値を周波数トリミング値に使用した場合

*2: トリミング値設定後に高速 CR クロックの周波数が安定するまでの時間です。なお、トリミング値設定後、周波数安定時間が経過する期間も高速 CR クロックをソースクロックとして使用できます。

内蔵低速 CR

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = -40°C ~ +85°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	F _{CRL}	-	50	100	150	kHz	

12.4.4 メイン PLL の使用条件
メイン PLL の使用条件(PLL の入力クロックにメインクロックを使用)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間* ¹ (LOCK UP 時間)	t _{LOCK}	100	-	-	μs	
PLL 入力クロック周波数	F _{PLLI}	4	-	16	MHz	
PLL 通倍率	-	13	-	75	通倍	
PLL マクロ発振クロック周波数	F _{PLLO}	200	-	300	MHz	
メイン PLL クロック周波数* ²	F _{CLKPLL}	-	-	144	MHz	

*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック(CLKPLL)の詳細については、『FM3 ファミリー ペリフェラルマニュアル』の『CHAPTER 2-1: クロック』を参照してください。

メイン PLL の使用条件 (メイン PLL の入力クロックに内蔵高速 CR クロックを使用)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

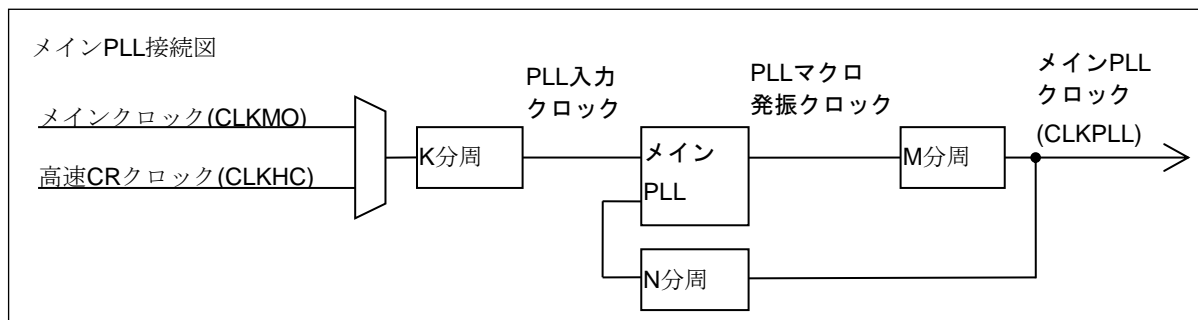
項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間* ¹ (LOCK UP 時間)	t _{LOCK}	100	-	-	μs	
PLL 入力クロック周波数	F _{PLLI}	3.8	4	4.2	MHz	
PLL 通倍率	-	50	-	71	通倍	
PLL マクロ発振クロック周波数	F _{PLLO}	190	-	300	MHz	
メイン PLL クロック周波数* ²	F _{CLKPLL}	-	-	144	MHz	

*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック(CLKPLL)の詳細については、『FM3 ファミリー ペリフェラルマニュアル』の『CHAPTER 2-1: クロック』を参照してください。

<注意事項>

- メイン PLL のソースクロックには、必ず周波数トリミングを行った高速 CR クロック(CLKHC)を入力してください。



12.4.5 リセット入力規格

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
リセット入力時間	t_{INITX}	INITX	-	500	-	ns	

12.4.6 パワーオンリセットタイミング

($V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

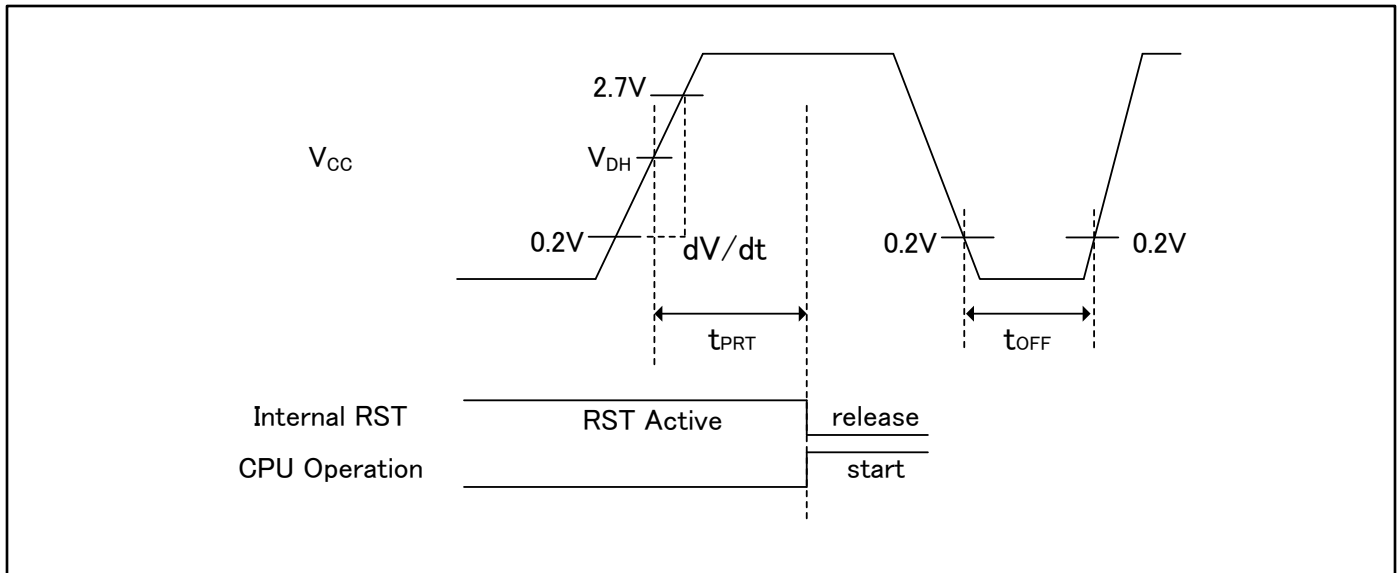
項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源断時間	t_{OFF}	VCC	-	50	-	-	ms	*1
電源立上り速度	dV/dt		$V_{CC}: 0.2V \sim 2.70V$	0.9	-	1000	mV/ μ s	*2
パワーオンリセット解除までの時間	t_{PRT}		-	0.46	-	0.76	ms	

*1: V_{CC} は t_{OFF} 最小期間中 0.2V 以下である必要があります。この状態が満たせない場合、誤った初期化が発生する可能性があります。

*2: この dV/dt 規格は cold start($t_{OFF} > 50ms$)のパワーオン時に適用されます。

<注意事項>

- もし t_{OFF} が満たせない場合は、起動時および電圧降下発生時に 12.4.5. に従い外部リセット(INITX)を入れて下さい。



用語解説

VDH: 低電圧検出リセット解除電圧「12.6.低電圧検出特性」を参照してください。

12.4.7 外バスタイミング
外バスクロック出力規格

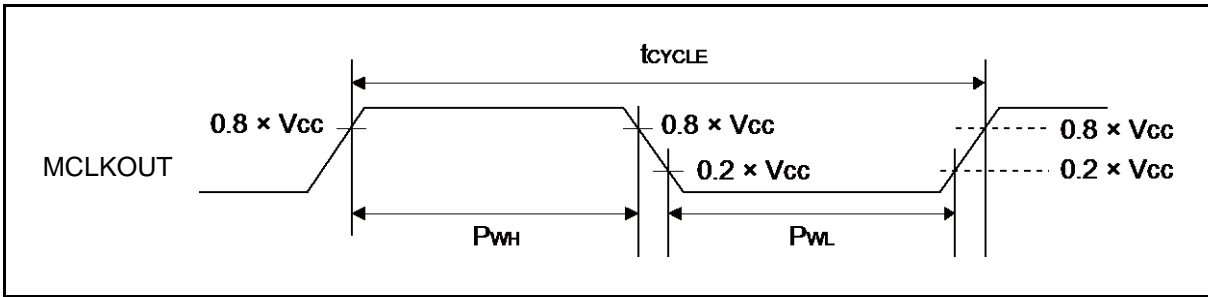
 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = -40°C ~ +85°C)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
出力周波数	t _{CYCLE}	MCLKOUT* ¹	V _{CC} ≥ 4.5 V	-	50* ²	MHz
			V _{CC} < 4.5 V	-	32* ³	MHz

*1: 外バスクロック出力(MCLKOUT)は HCLK の分周クロックです。設定の詳細は『FM3 ファミリ パリフェラルマニュアル』の『CHAPTER 12: 外部バスインタフェース』を参照してください。外バスクロック出力を行わない場合、本規格は外バス動作に影響しません。

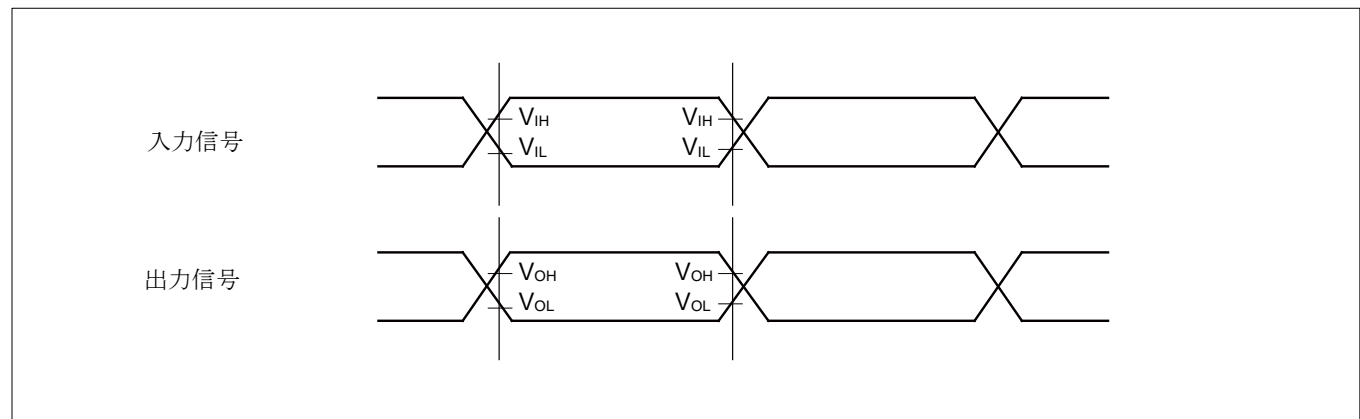
*2: AHB バスクロックが 100MHz を超えるときは 4 分周以上の設定で MCLKOUT を生成してください。

*3: AHB バスクロックが 64MHz を超えるときは 4 分周以上の設定で MCLKOUT を生成してください。


外バス信号入出力規格

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = -40°C ~ +85°C)

項目	記号	条件	規格値	単位	備考
信号入力規格	V _{IH}	-	0.8 × V _{CC}	V	
	V _{IL}		0.2 × V _{CC}	V	
信号出力規格	V _{OH}	-	0.8 × V _{CC}	V	
	V _{OL}		0.2 × V _{CC}	V	



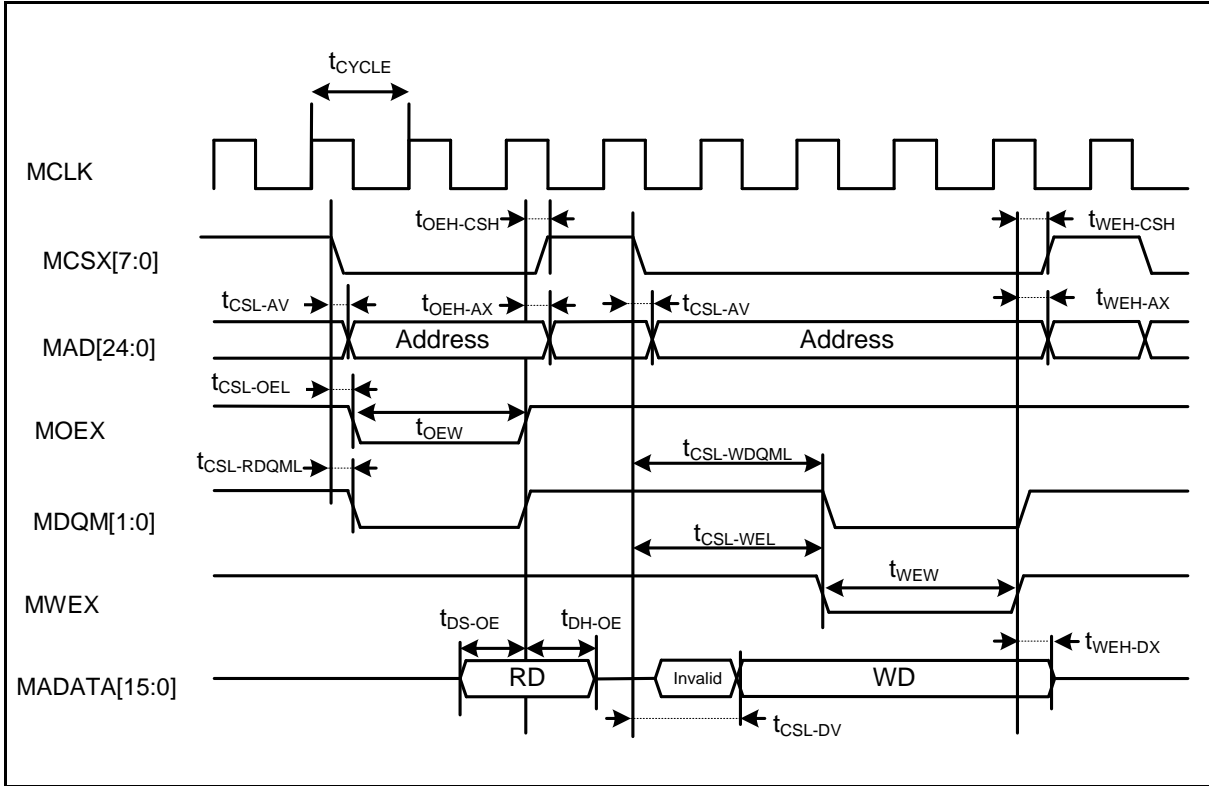
セパレートバスアクセス 非同期 SRAM モード

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = -40°C ~ +85°C)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
MOEX 最小パルス幅	t _{OE}	MOEX	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	MCLK×n-3	-	ns
MCSX ↓ → アドレス 出力遅延時間	t _{CSL-AV}	MCSX[7:0], MAD[24:0]	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	-9 -12	+9 +12	ns
MOEX ↑ → アドレス ホールド時間	t _{OEH-AX}	MOEX, MAD[24:0]	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	0	MCLK×m+9 MCLK×m+12	ns
MCSX ↓ → MOEX ↓ 遅延時間	t _{CSL-OEL}	MOEX, MCSX[7:0]	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	MCLK×m-9 MCLK×m-12	MCLK×m+9 MCLK×m+12	ns
MOEX ↑ → MCSX ↑ 時間	t _{OEH-CSH}		V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	0	MCLK×m+9 MCLK×m+12	ns
MCSX ↓ → MDQM ↓ 遅延時間	t _{CSL-RDQML}	MCSX, MDQM[1:0]	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	MCLK×m-9 MCLK×m-12	MCLK×m+9 MCLK×m+12	ns
データセットアップ → MOEX ↑ 時間	t _{DS-OE}	MOEX, MADATA[15:0]	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	20 38	- -	ns
MOEX ↑ → データホールド時間	t _{DH-OE}	MOEX, MADATA[15:0]	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	0	-	ns
MWEX 最小パルス幅	t _{WE}	MWEX	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	MCLK×n-3	-	ns
MWEX ↑ → アドレス 出力遅延時間	t _{WEH-AX}	MWEX, MAD[24:0]	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	0	MCLK×m+9 MCLK×m+12	ns
MCSX ↓ → MWEX ↓ 遅延時間	t _{CSL-WEL}	MWEX, MCSX[7:0]	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	MCLK×n-9 MCLK×n-12	MCLK×n+9 MCLK×n+12	ns
MWEX ↑ → MCSX ↑ 遅延時間	t _{WEH-CSH}		V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	0	MCLK×m+9 MCLK×m+12	ns
MCSX ↓ → MDQM ↓ 遅延時間	t _{CSL-WDQML}	MCSX, MDQM[1:0]	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	MCLK×n-9 MCLK×n-12	MCLK×n+9 MCLK×n+12	ns
MCSX ↓ → データ出力時間	t _{CSL-DV}	MCSX, MADATA[15:0]	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	MCLK-9 MCLK-12	MCLK+9 MCLK+12	ns
MWEX ↑ → データホールド時間	t _{WEH-DX}	MWEX, MADATA[15:0]	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	0	MCLK×m+9 MCLK×m+12	ns

<注意事項>

- 外部負荷容量 C_L = 30 pF 時 (m=0 ~ 15, n=1 ~ 16)

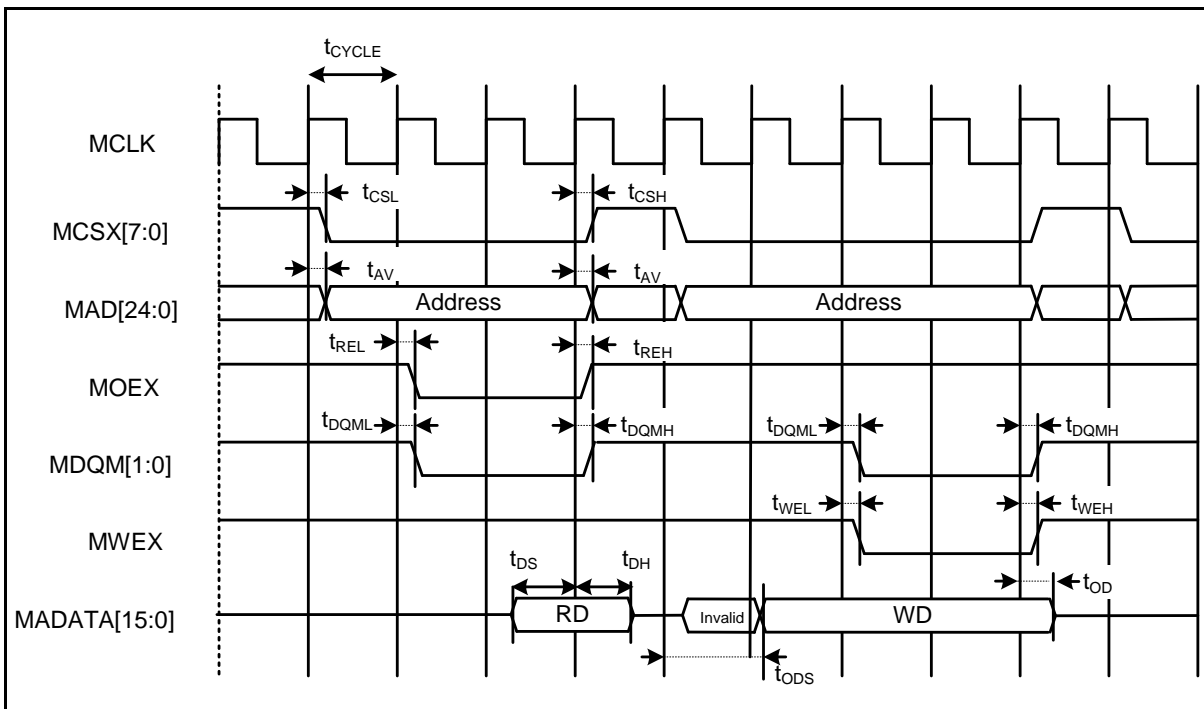


セパレートバスアクセス 同期 SRAM モード

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = -40°C ~ +85°C)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
アドレス遅延時間	t _{AV}	MCLK, MAD[24:0]	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	1	9 12	ns
MCSX 遅延時間	t _{CSL}	MCLK, MCSX[7:0]	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	1	9 12	ns
	t _{CSH}		V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	1	9 12	ns
MOEX 遅延時間	t _{REL}	MCLK, MOEX	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	1	9 12	ns
	t _{REH}		V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	1	9 12	ns
データセットアップ →MCLK ↑時間	t _{DS}	MCLK, MADATA[15:0]	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	19 37	-	ns
MCLK ↑ → データホールド時間	t _{DH}	MCLK, MADATA[15:0]	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	0	-	ns
MWEX 遅延時間	t _{WEL}	MCLK, MWEX	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	1	9 12	ns
	t _{WEH}		V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	1	9 12	ns
MDQM[1:0] 遅延時間	t _{DQML}	MCLK, MDQM[1:0]	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	1	9 12	ns
	t _{DQMH}		V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	1	9 12	ns
MCLK ↑ → データ出力時間	t _{ODS}	MCLK, MADATA[15:0]	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	MCLK+1	MCLK+18 MCLK+24	ns
MCLK ↑ → データホールド時間	t _{OD}	MCLK, MADATA[15:0]	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	1	18 24	ns

<注意事項>

 - 外部負荷容量 C_L = 30 pF 時


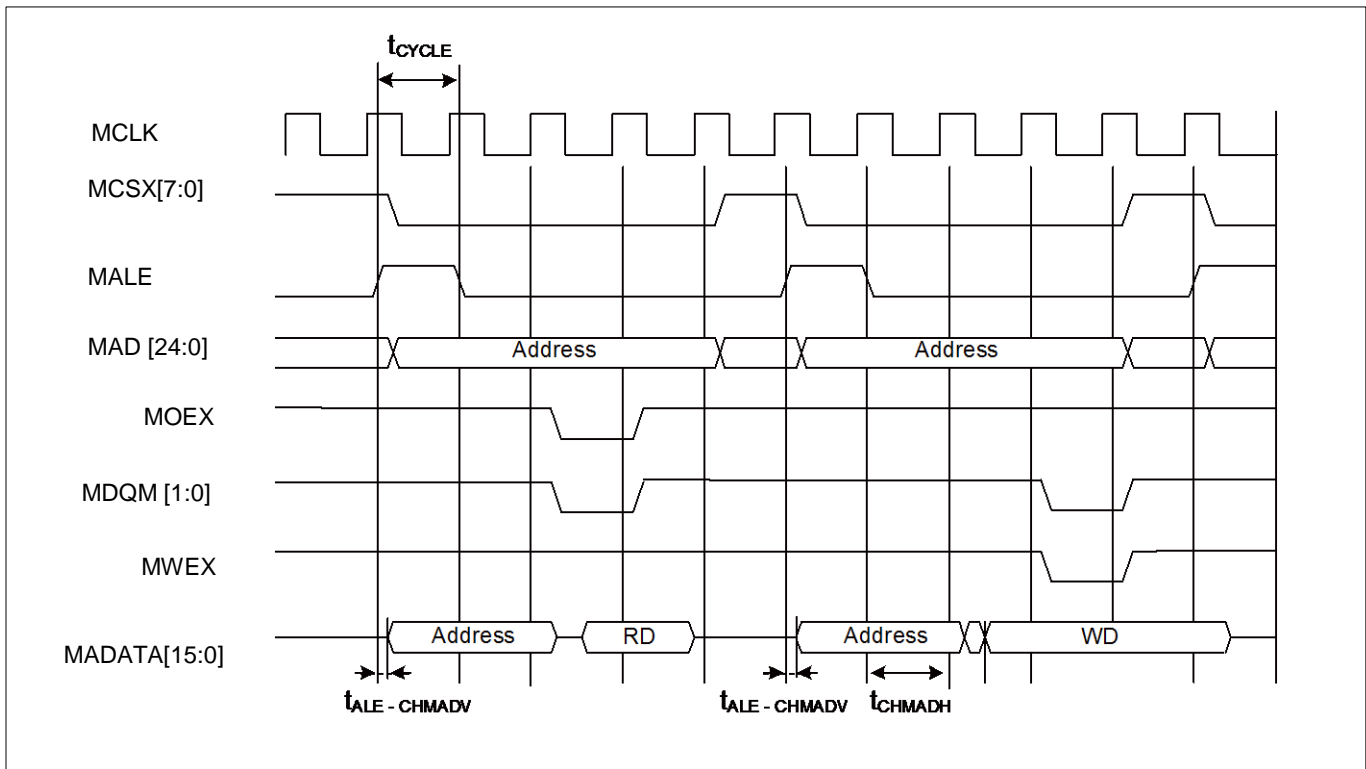
マルチプレクスバスアクセス 非同期 SRAM モード

($V_{cc} = 2.7V \sim 5.5V$, $V_{ss} = 0V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
マルチプレクス アドレス遅延時間	$t_{ALE-CHMADV}$	MALE, MADATA[15:0]	$V_{cc} \geq 4.5V$	0	10	ns
			$V_{cc} < 4.5V$		20	
マルチプレクス アドレスホールド 時間	t_{CHMADH}	MALE, MADATA[15:0]	$V_{cc} \geq 4.5V$	$MCLK \times n + 0$	$MCLK \times n + 10$	ns
			$V_{cc} < 4.5V$	$MCLK \times n + 0$	$MCLK \times n + 20$	

<注意事項>

- 外部負荷容量 $C_L = 30 pF$ 時 ($m=0 \sim 15$, $n=1 \sim 16$)



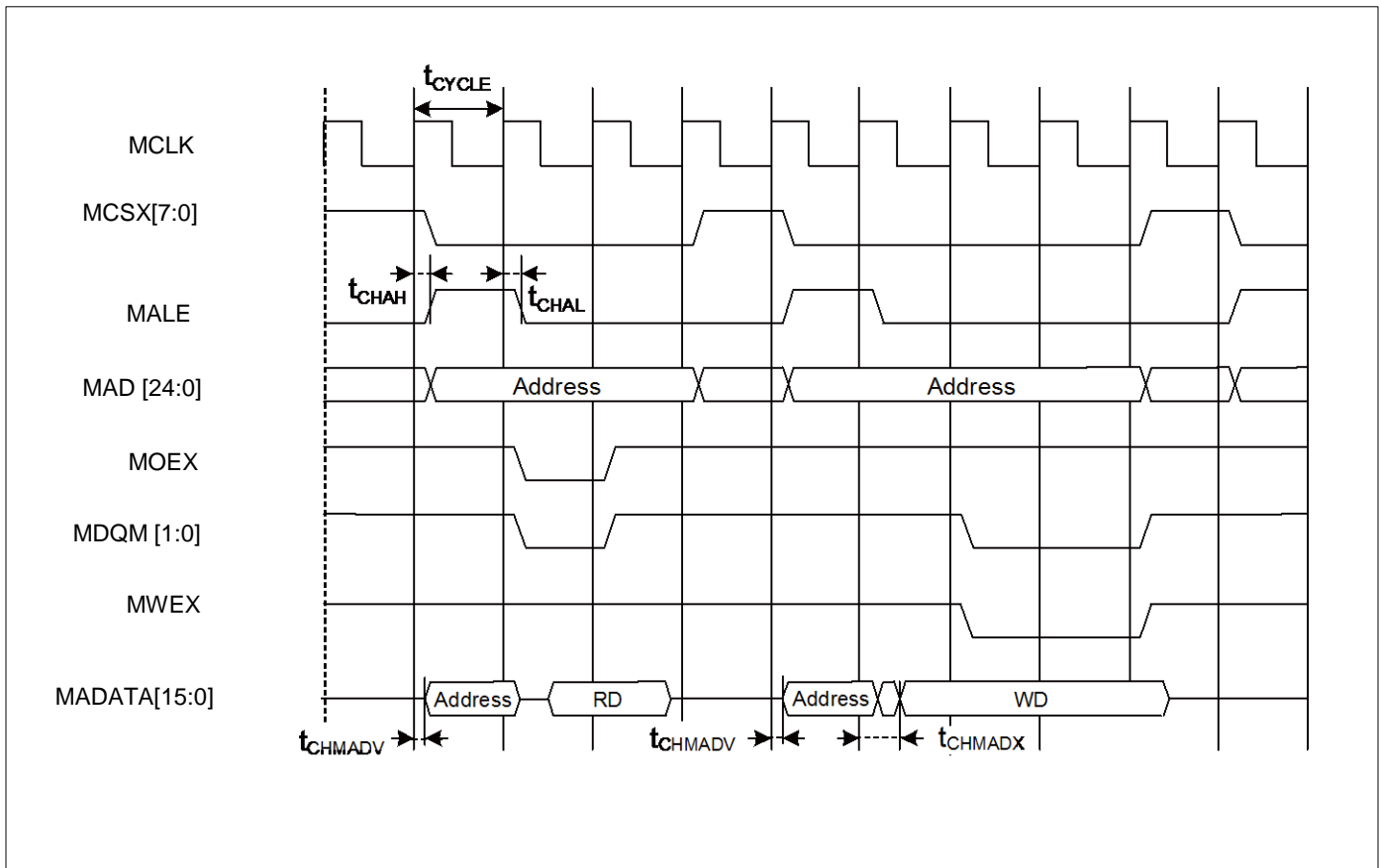
マルチプレクスバスアクセス 同期 SRAM モード

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = -40°C ~ +85°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
MALE 遅延時間	t _{CHAL}	MCLK, ALE	V _{CC} ≥ 4.5 V	1	9	ns	
			V _{CC} < 4.5 V		12		
	t _{CHAH}		V _{CC} ≥ 4.5 V	1	9	ns	
			V _{CC} < 4.5 V		12		
MCLK ↑ → マルチプレクス アドレス遅延時間	t _{CHMADV}	MCLK, MADATA[15:0]	V _{CC} ≥ 4.5 V	1	t _{OD}	ns	
V _{CC} < 4.5 V							
MCLK ↑ → マルチプレクス データ出力時間	t _{CHMADX}		V _{CC} ≥ 4.5 V	1	t _{OD}	ns	
			V _{CC} < 4.5 V				

<注意事項>

- 外部負荷容量 C_L = 30 pF 時



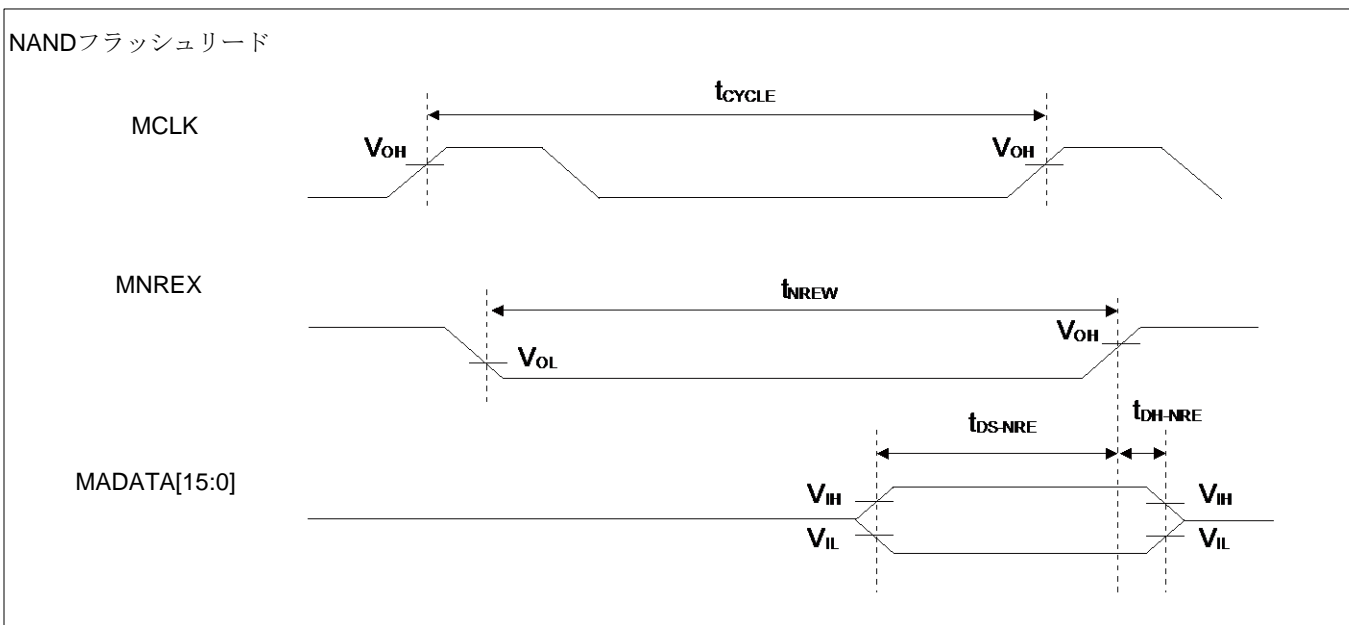
NAND フラッシュモード

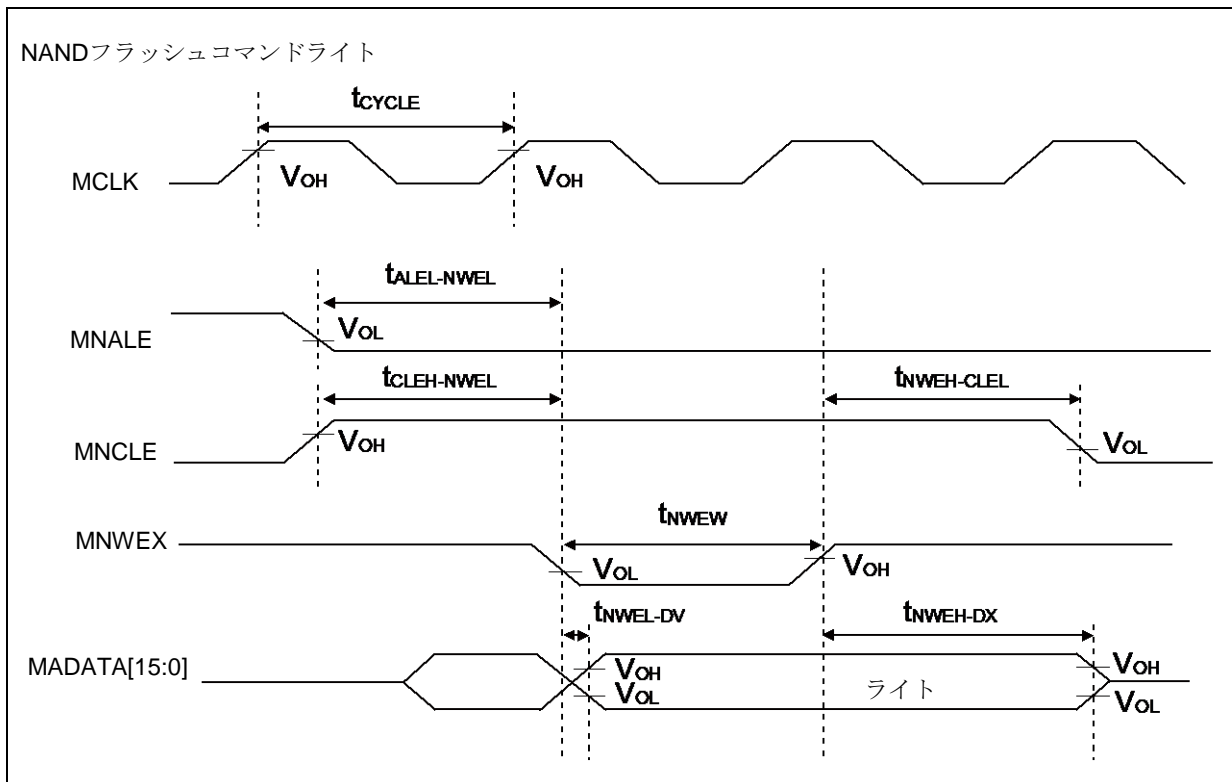
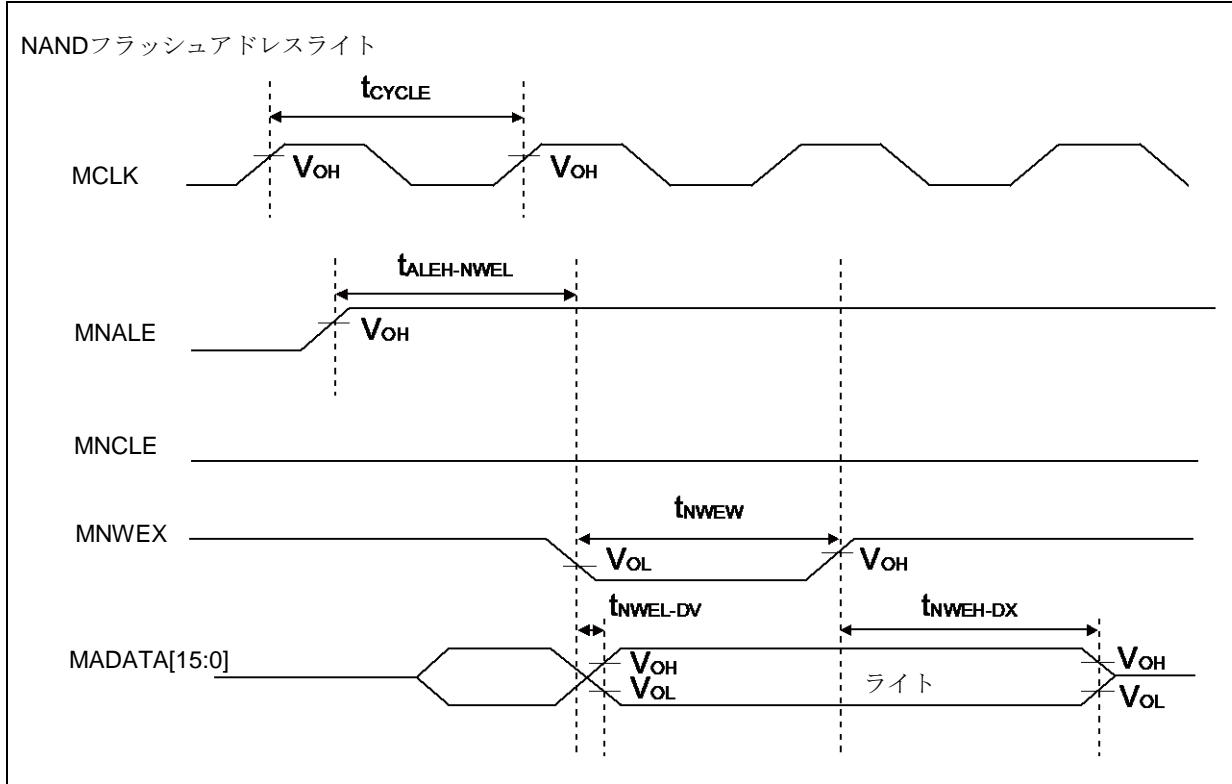
 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = -40°C ~ +85°C)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
MNREX 最小パルス幅	t _{NREW}	MNREX	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	MCLK×n-3	-	ns
データセットアップ ⇒MNREX ↑時間	t _{DS-NRE}	MNREX, MADATA[15:0]	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	20 38	-	ns
MNREX ↑ ⇒ データホールド時間	t _{DH-NRE}	MNREX, MADATA[15:0]	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	0	-	ns
MNALE ↑ ⇒ MNWEX 遅延時間	t _{ALEH-NWEL}	MNALE, MNWEX	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	MCLK×m-9 MCLK×m-12	MCLK×m+9 MCLK×m+12	ns
MNALE ↓ ⇒ MNWEX 遅延時間	t _{ALEL-NWEL}	MNALE, MNWEX	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	MCLK×m-9 MCLK×m-12	MCLK×m+9 MCLK×m+12	ns
MNCLE ↑ ⇒ MNWEX 遅延時間	t _{CLEH-NWEL}	MNCLE, MNWEX	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	MCLK×m-9 MCLK×m-12	MCLK×m+9 MCLK×m+12	ns
MNWEH ↑ ⇒ MNCLE 遅延時間	t _{NWEH-CLEL}	MNCLE, MNWEX	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	0	MCLK×m+9 MCLK×m+12	ns
MNWEH 最小パルス幅	t _{NWEW}	MNWEH	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	MCLK×n-3	-	ns
MNWEH ↓ ⇒ データ出力時間	t _{NWEL-DV}	MNWEH, MADATA[15:0]	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	-9 -12	+9 +12	ns
MNWEH ↑ ⇒ データホールド時間	t _{NWEH-DX}	MNWEH, MADATA[15:0]	V _{CC} ≥ 4.5 V V _{CC} < 4.5 V	0	MCLK×m+9 MCLK×m+12	ns

<注意事項>

- 外部負荷容量 C_L = 30 pF 時 (m=0 ~ 15, n=1 ~ 16)

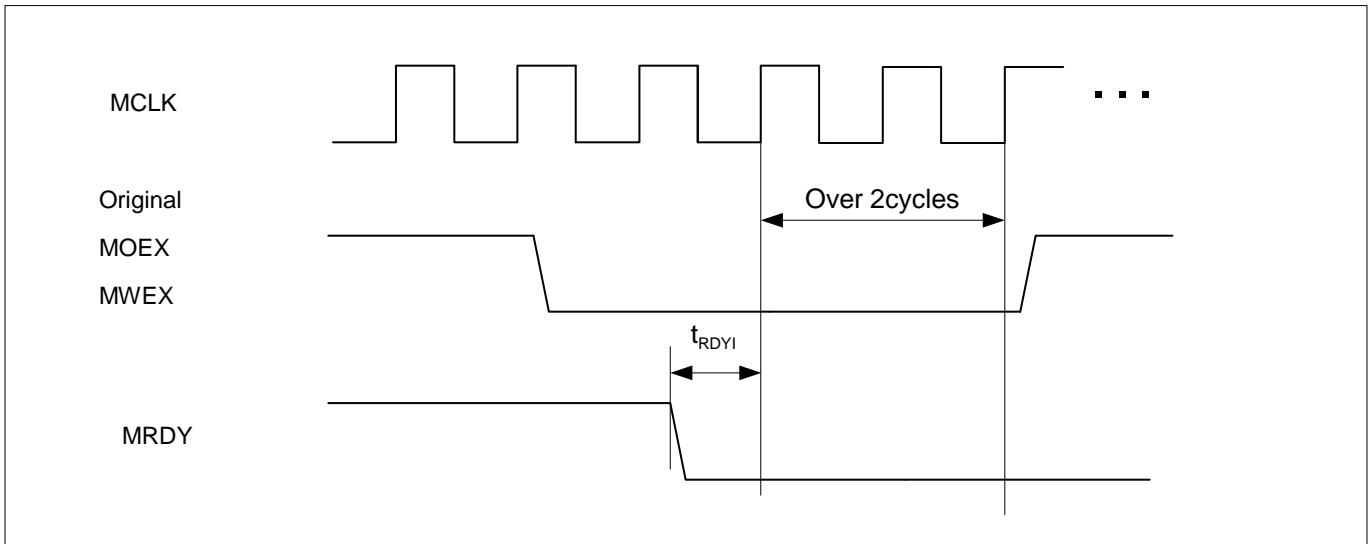
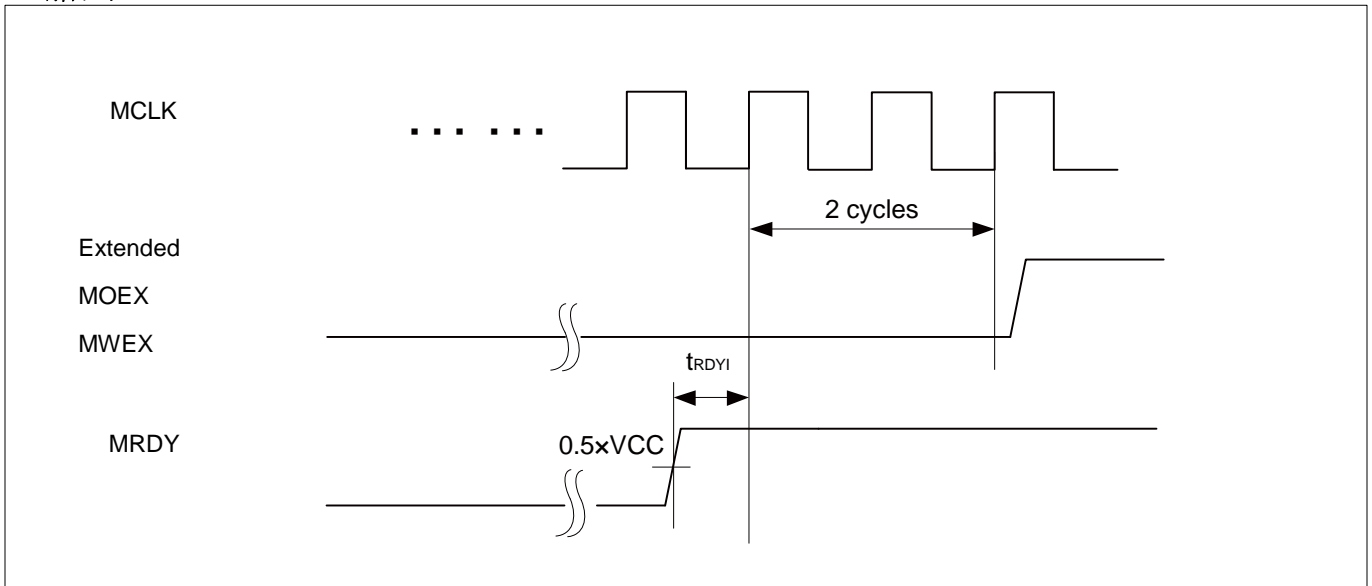




外部 RDY 入力タイミング

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = -40°C ~ +85°C)

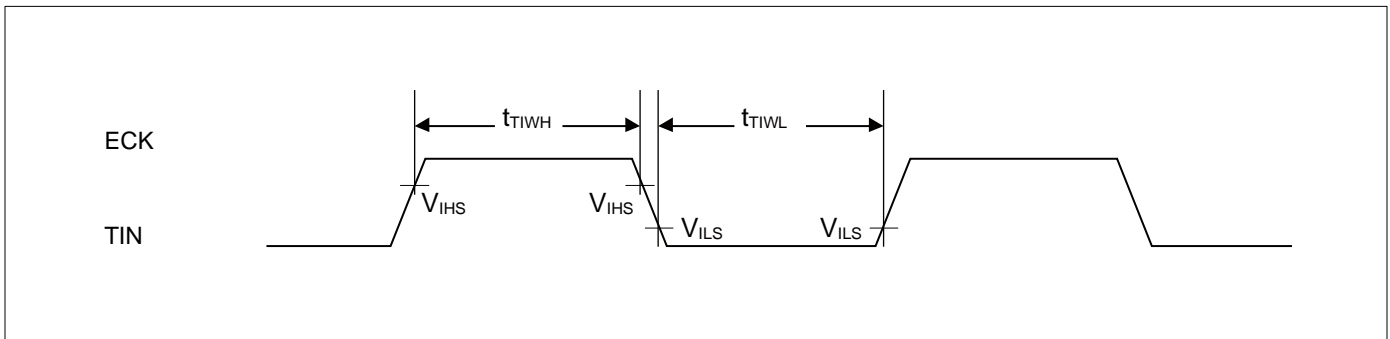
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
MCLK ↑ MRDY 入力 セットアップ時間	t _{RDYI}	MCLK, MRDY	V _{CC} ≥ 4.5 V	19	-	ns	
			V _{CC} < 4.5 V	37			

RDY 入力時

RDY 解除時


12.4.8 ベースタイマ入力タイミング
タイマ入力タイミング

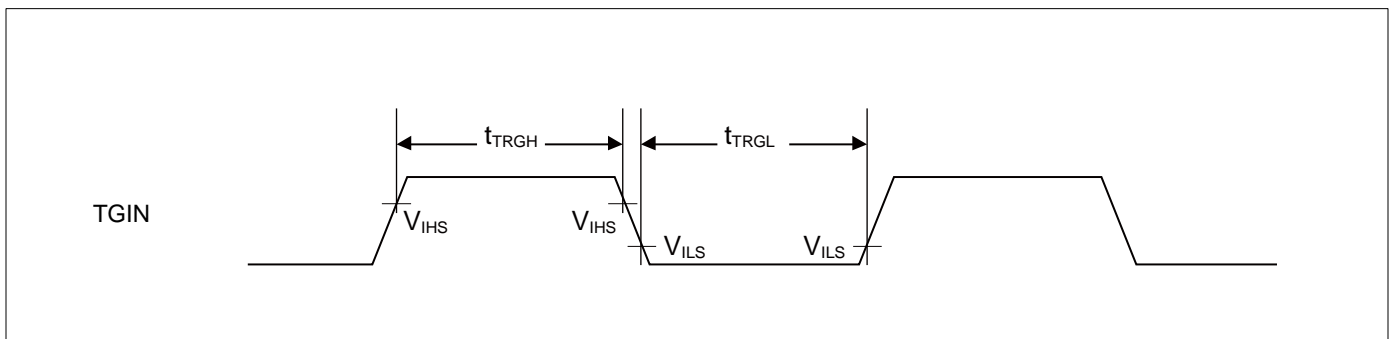
(Vcc = 2.7V ~ 5.5V, Vss = 0V, TA = -40°C ~ +85°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TIWH} , t_{TIWL}	TIOAn/TIOBn (ECK, TIN として 使用するとき)	-	$2t_{CYCP}$	-	ns	


トリガ入力タイミング

(Vcc = 2.7V ~ 5.5V, Vss = 0V, TA = -40°C ~ +85°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TRGH} , t_{TRGL}	TIOAn/TIOBn (TGIN として使用 するとき)	-	$2t_{CYCP}$	-	ns	


<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。ベースタイマが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。

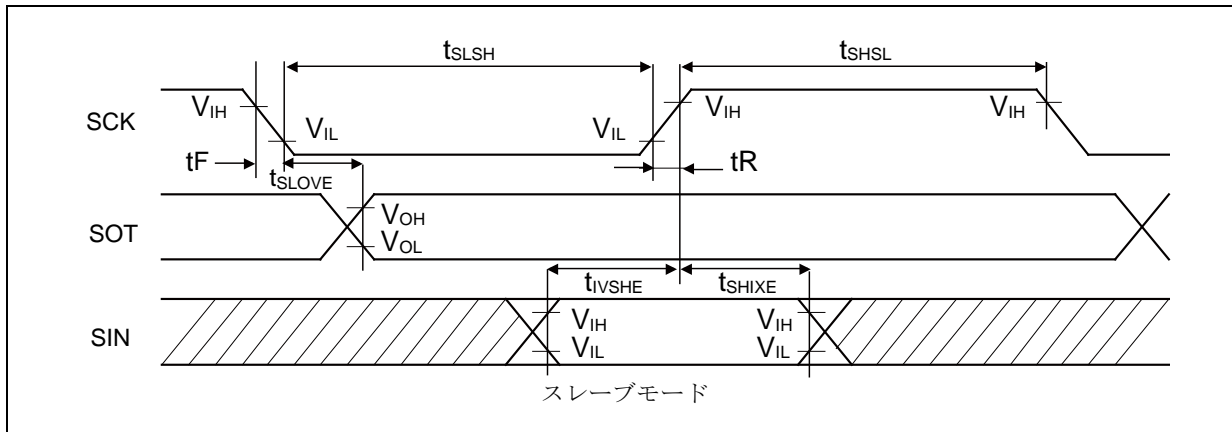
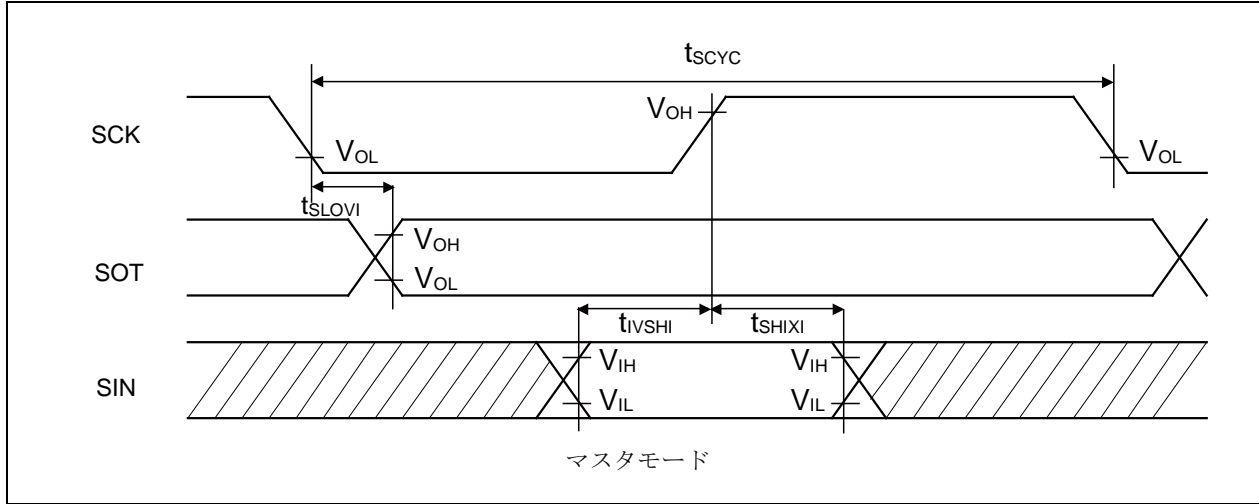
12.4.9 CSIO/UART タイミング
CSIO (SPI = 0, SCINV = 0)

(Vcc = 2.7V ~ 5.5V, Vss = 0V, TA = -40°C ~ +85°C)

項目	記号	端子名	条件	Vcc < 4.5 V		Vcc ≥ 4.5 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t _{SCYC}	SCKx	マスタ モード	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↓ → SOT 遅延時間	t _{SLOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↑ セットアップ時間	t _{IVSHI}	SCKx, SINx		50	-	30	-	ns
SCK ↑ → SIN ホールド時間	t _{SHIXI}	SCKx, SINx		0	-	0	-	ns
シリアルクロック "L"パルス幅	t _{SLSH}	SCKx	スレーブ モード	2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック "H"パルス幅	t _{SHSL}	SCKx		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↓ → SOT 遅延時間	t _{SLOVE}	SCKx, SOTx		-	50	-	30	ns
SIN → SCK ↑ セットアップ時間	t _{IVSHE}	SCKx, SINx		10	-	10	-	ns
SCK ↑ → SIN ホールド時間	t _{SHIXE}	SCKx, SINx		20	-	20	-	ns
SCK 立下り時間	t _F	SCKx		-	5	-	5	ns
SCK 立上り時間	t _R	SCKx		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。マルチファンクションシリアルが接続されている APB バス番号については「8.ブロックダイヤグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。例えば SCKx_0, SOTx_1 の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF 時



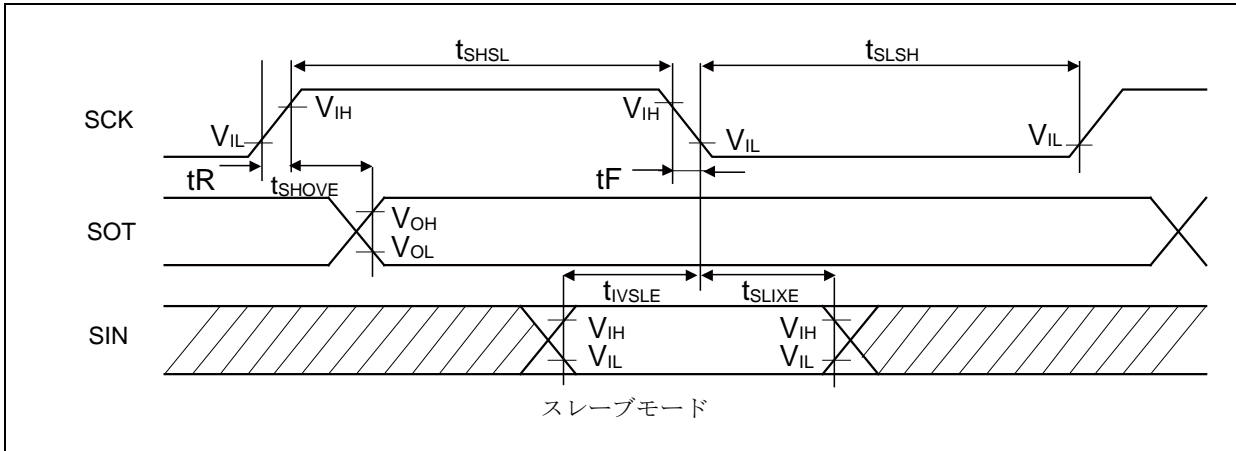
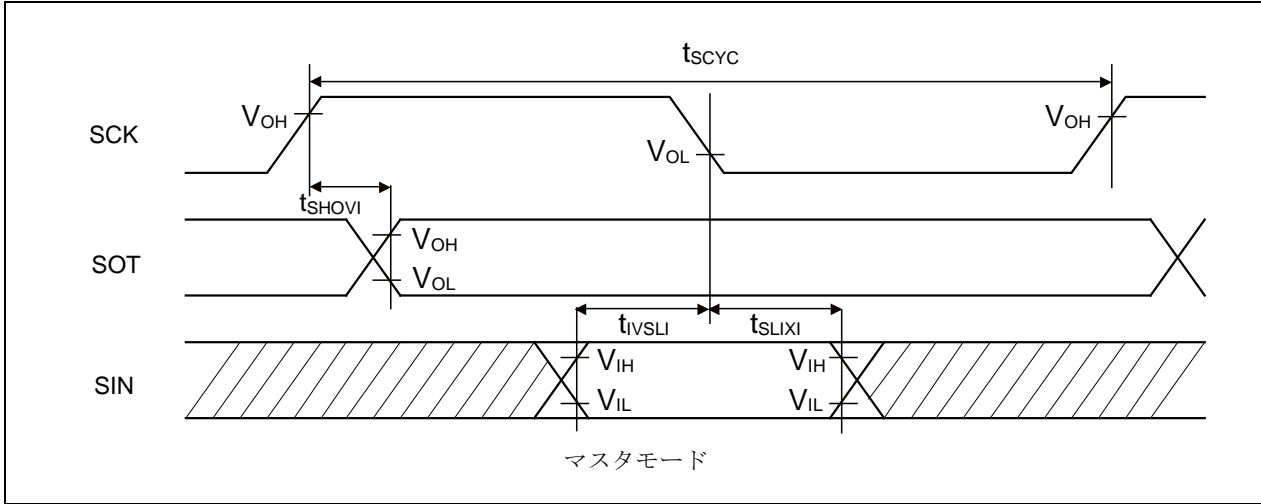
CSIO (SPI = 0, SCINV = 1)

(Vcc = 2.7V ~ 5.5V, Vss = 0V, TA = - 40°C ~ + 85°C)

項目	記号	端子名	条件	Vcc < 4.5 V		Vcc ≥ 4.5 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t _{SCYC}	SCKx	マスタ モード	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLI}	SCKx, SINx		50	-	30	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXI}	SCKx, SINx		0	-	0	-	ns
シリアルクロック "L"パルス幅	t _{SLSH}	SCKx	スレーブ モード	2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック "H"パルス幅	t _{SHSL}	SCKx		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVE}	SCKx, SOTx		-	50	-	30	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLE}	SCKx, SINx		10	-	10	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXE}	SCKx, SINx		20	-	20	-	ns
SCK 立下り時間	t _F	SCKx		-	5	-	5	ns
SCK 立上り時間	t _R	SCKx		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。例えば SCKx_0, SOTx_1 の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF 時



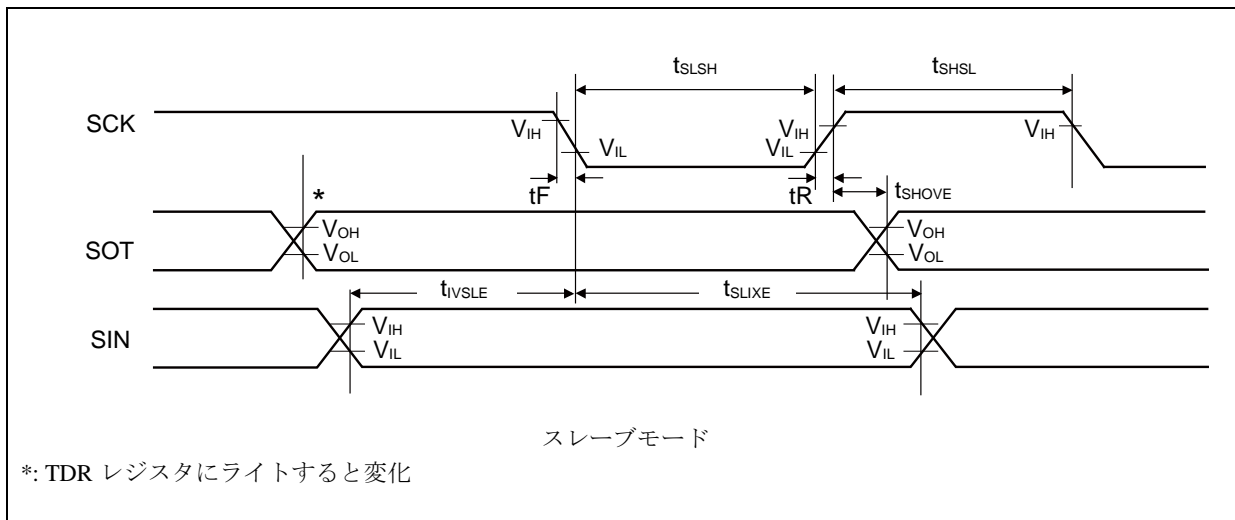
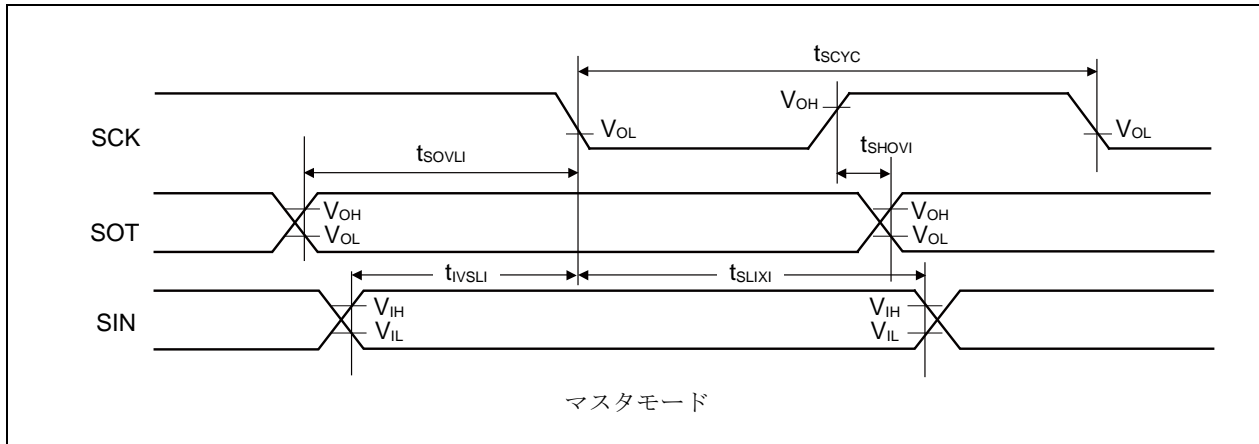
CSIO (SPI = 1, SCINV = 0)

(Vcc = 2.7V ~ 5.5V, Vss = 0V, TA = -40°C ~ +85°C)

項目	記号	端子名	条件	Vcc < 4.5 V		Vcc ≥ 4.5 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t _{SCYC}	SCKx	マスター モード	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLI}	SCKx, SINx		50	-	30	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXI}	SCKx, SINx		0	-	0	-	ns
SOT → SCK ↓ 遅延時間	t _{SOVLI}	SCKx, SOTx		2t _{CYCP} - 30	-	2t _{CYCP} - 30	-	ns
シリアルクロック "L"パルス幅	t _{LSLH}	SCKx		2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック "H"パルス幅	t _{SHSL}	SCKx	t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns	
SCK ↑ → SOT 遅延時間	t _{SHOVE}	SCKx, SOTx	スレーブ モード	-	50	-	30	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLE}	SCKx, SINx		10	-	10	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXE}	SCKx, SINx		20	-	20	-	ns
SCK 立下り時間	t _F	SCKx		-	5	-	5	ns
SCK 立上り時間	t _R	SCKx		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。例えば SCKx_0, SOTx_1 の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF 時



*: TDR レジスタにライトすると変化

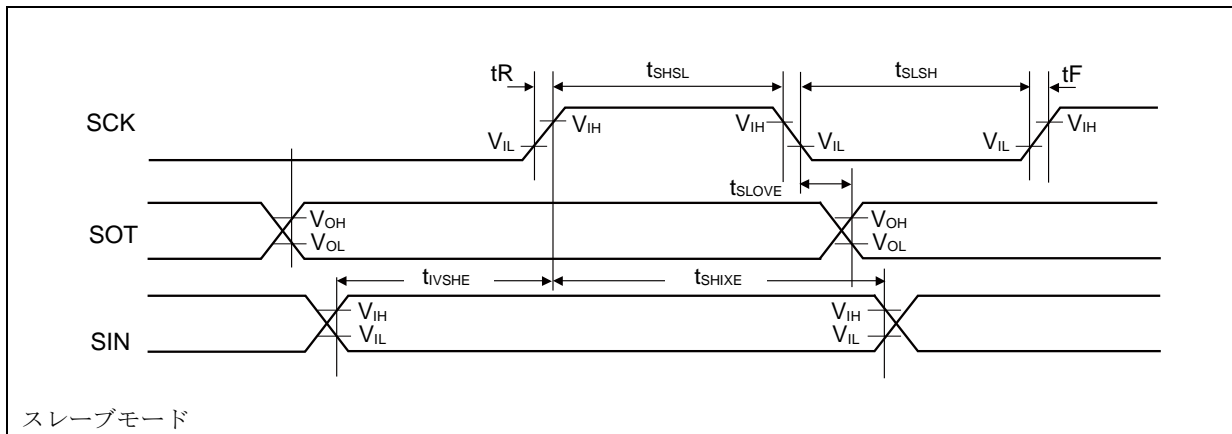
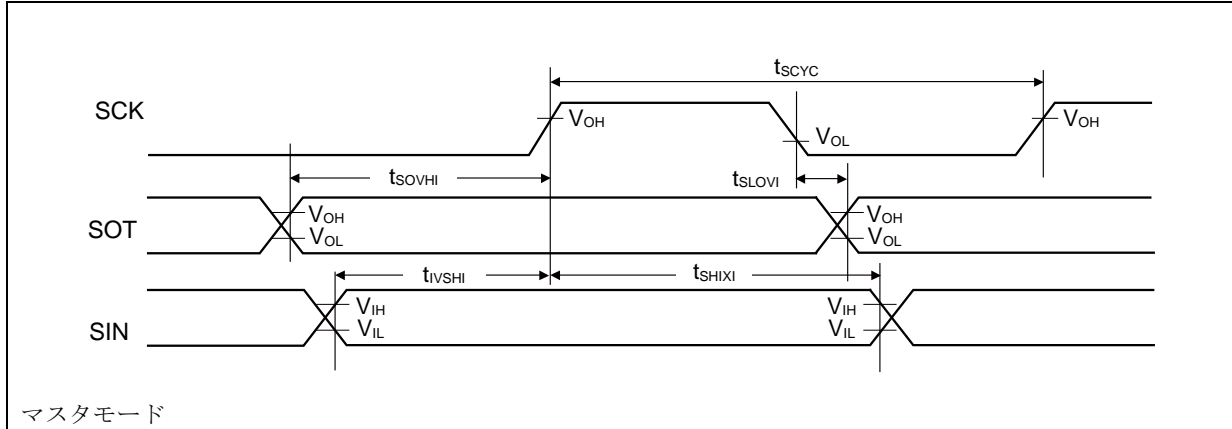
CSIO (SPI = 1, SCINV = 1)

(Vcc = 2.7V ~ 5.5V, Vss = 0V, TA = -40°C ~ +85°C)

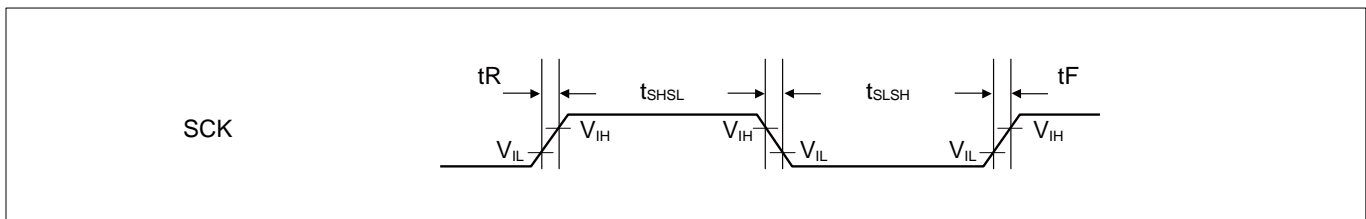
項目	記号	端子名	条件	Vcc < 4.5 V		Vcc ≥ 4.5 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t _{SCYC}	SCKx	マスタ モード	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↓ → SOT 遅延時間	t _{SLOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↑ セットアップ時間	t _{VS_{HI}}	SCKx, SINx		50	-	30	-	ns
SCK ↑ → SIN ホールド時間	t _{SHIXI}	SCKx, SINx		0	-	0	-	ns
SOT → SCK ↑ 遅延時間	t _{SOVHI}	SCKx, SOTx		2t _{CYCP} - 30	-	2t _{CYCP} - 30	-	ns
シリアルクロック "L"パルス幅	t _{LSH}	SCKx		2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック "H"パルス幅	t _{SHSL}	SCKx	t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns	
SCK ↓ → SOT 遅延時間	t _{SLOVE}	SCKx, SOTx	スレーブ モード	-	50	-	30	ns
SIN → SCK ↑ セットアップ時間	t _{VS_{HE}}	SCKx, SINx		10	-	10	-	ns
SCK ↑ → SIN ホールド時間	t _{SHIXE}	SCKx, SINx		20	-	20	-	ns
SCK 立下り時間	t _F	SCKx		-	5	-	5	ns
SCK 立上り時間	t _R	SCKx		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。例えば SCKx_0, SOTx_1 の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF 時


UART 外部クロック入力(EXT = 1)
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

項目	記号	条件	最小	最大	単位	備考
シリアルクロック "L" パルス幅	t_{SLSH}	$C_L = 30 \text{ pF}$	$t_{CYCP} + 10$	-	ns	
シリアルクロック "H" パルス幅	t_{SHSL}		$t_{CYCP} + 10$	-	ns	
SCK 立下り時間	t_F		-	5	ns	
SCK 立上り時間	t_R		-	5	ns	

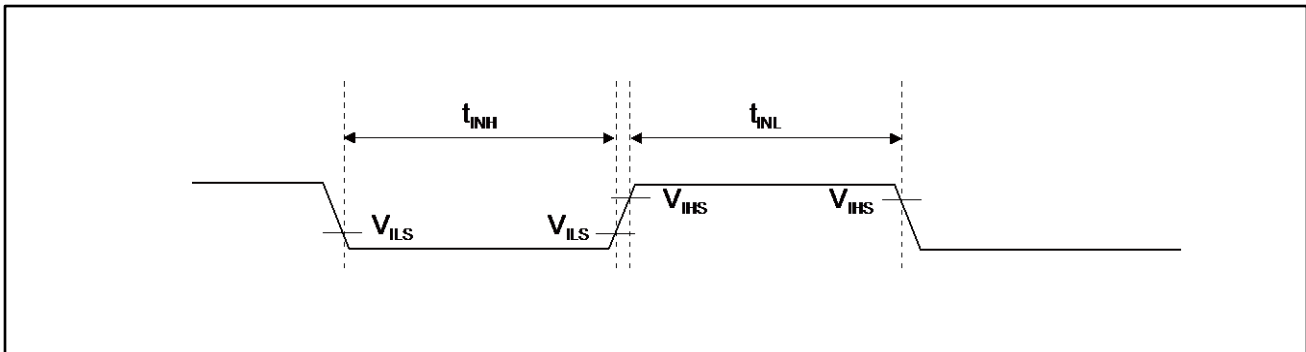


12.4.10 外部入力タイミング

(Vcc = 2.7V ~ 5.5V, Vss = 0V, TA = - 40°C ~ + 85°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t _{INH} , t _{INL}	ADTG	-	2t _{CYCP} *	-	ns	A/D コンバータ トリガ入力
		FRCKx					フリーランタイム入力クロック
		ICxx					インプットキャプチャ
		DTTIxX	-	2t _{CYCP} *	-	ns	波形ジェネレータ
		INTxx, NMIX	タイマモード、 ストップモード を除く	2t _{CYCP} + 100*	-	ns	外部割込み, NMI
	タイマモード、 ストップモード	500*	-	ns			

*: t_{CYCP} は APB バスクロックのサイクル時間です。A/D コンバータ, 多機能タイマ, 外部割込みが接続されている APB バス番号については「8.ブロックダイアグラム」を参照してください。

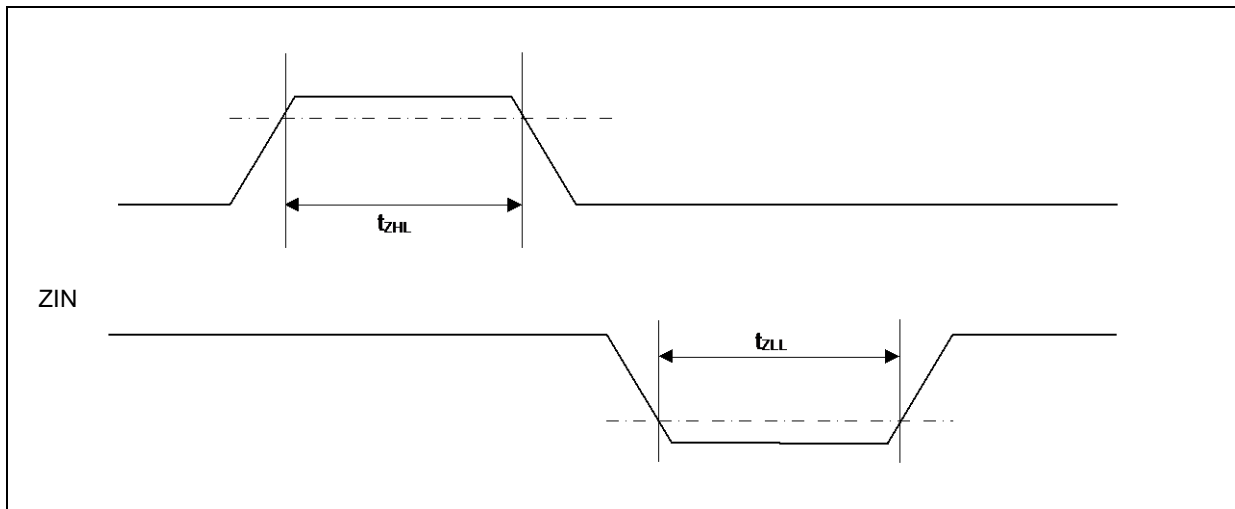
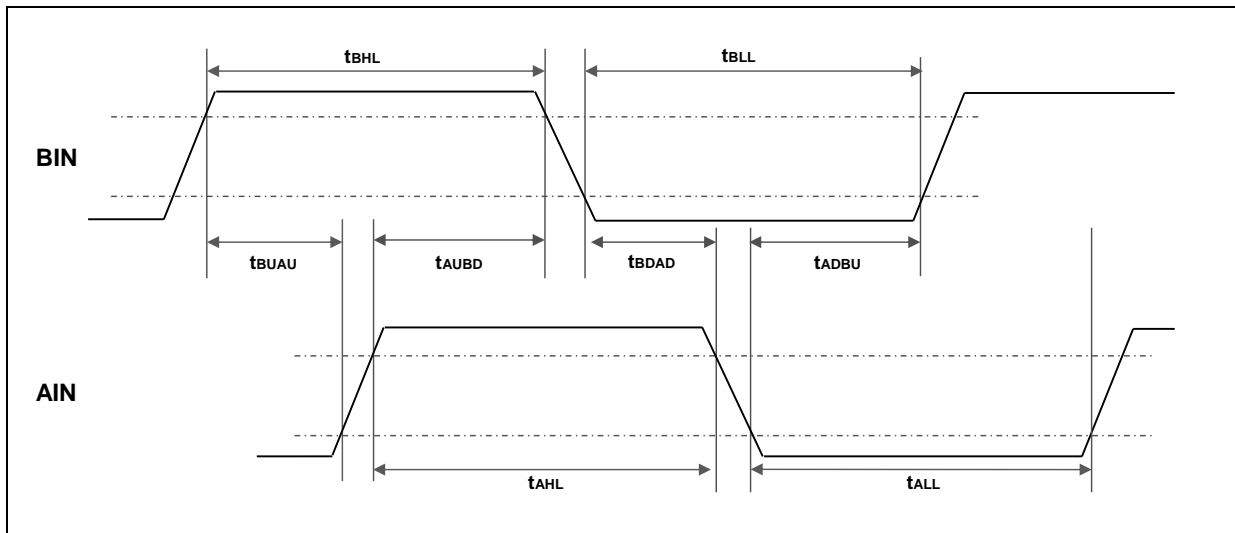
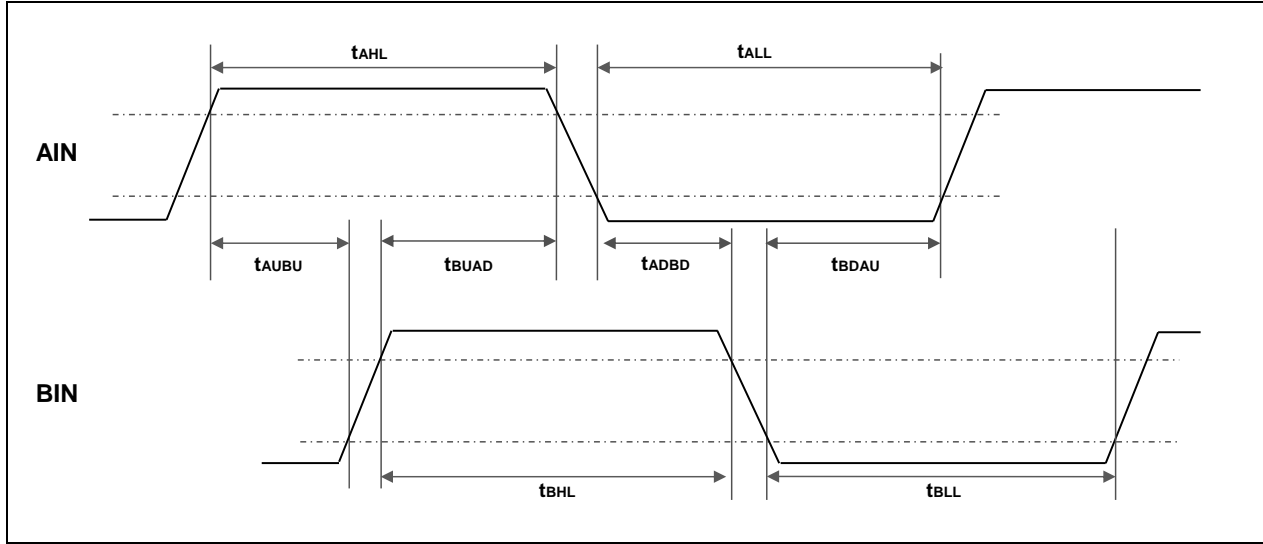


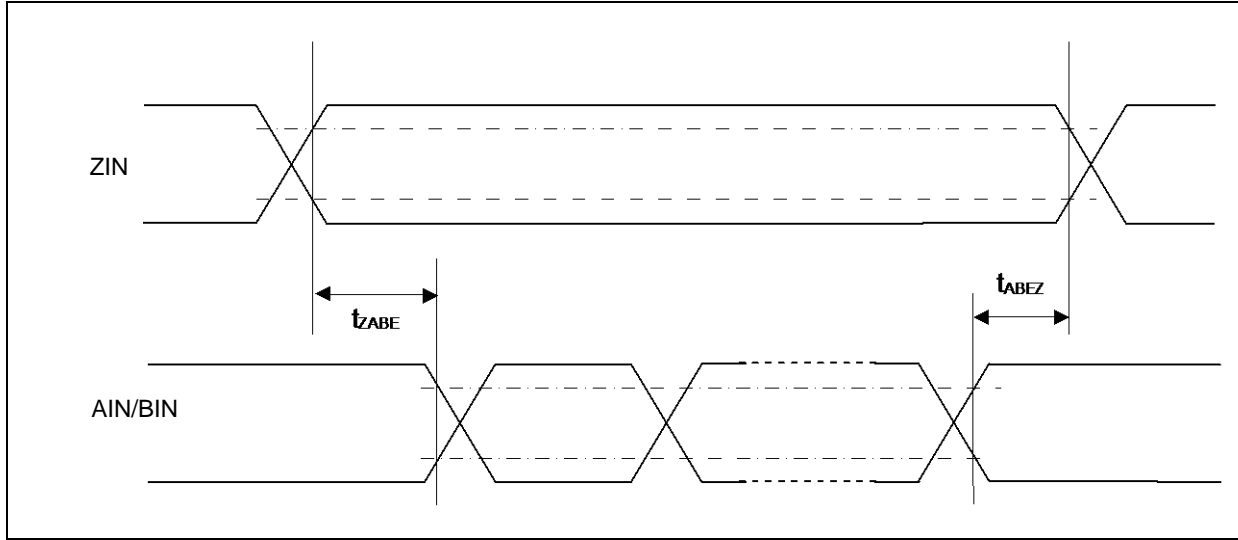
12.4.11 クアッドカウンタ タイミング

(Vcc = 2.7V ~ 5.5V, Vss = 0V, TA = - 40°C ~ + 85°C)

項目	記号	条件	規格値		単位
			最小	最大	
AIN端子"H"幅	t _{AHL}	-	2t _{CYCP} *	-	ns
AIN端子"L"幅	t _{ALL}	-			
BIN端子"H"幅	t _{BHL}	-			
BIN端子"L"幅	t _{BLL}	-			
AIN"H"レベルから BIN立上り時間	t _{AUBU}	PC_Mode2 または PC_Mode3			
BIN"H"レベルから AIN立下り時間	t _{BUAD}	PC_Mode2 または PC_Mode3			
AIN"L"レベルから BIN立下り時間	t _{ADBD}	PC_Mode2 または PC_Mode3			
BIN"L"レベルから AIN立上り時間	t _{BDAU}	PC_Mode2 または PC_Mode3			
BIN"H"レベルから AIN立上り時間	t _{BUAU}	PC_Mode2 または PC_Mode3			
AIN"H"レベルから BIN立下り時間	t _{AUBD}	PC_Mode2 または PC_Mode3			
BIN"L"レベルから AIN立下り時間	t _{BDAD}	PC_Mode2 または PC_Mode3			
AIN"L"レベルから BIN立上り時間	t _{ADBU}	PC_Mode2 または PC_Mode3			
ZIN端子"H"幅	t _{ZHL}	QCR:CGSC="0"			
ZIN端子"L"幅	t _{ZLL}	QCR:CGSC="0"			
ZINレベル確定からAIN/BIN立 下り立上り時間	t _{ZABE}	QCR:CGSC="1"			
AIN/BIN立下り立上り 時間からZINレベル確定	t _{ABEZ}	QCR:CGSC="1"			

*: t_{CYCP} は APB バスクロックのサイクル時間です。クアッドカウンタが接続されている APB バス番号については「8.ブロックダイアグラム」を参照してください。





12.4.12 I²C タイミング

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = -40°C ~ +85°C)

項目	記号	条件	Standard-mode		Fast-mode		単位	備考
			最小	最大	最小	最大		
SCL クロック周波数	F _{SCL}	C _L = 30 pF, R = (V _p /I _{OL})*1	0	100	0	400	kHz	
(反復)「スタート」条件 ホールド時間 SDA ↓ → SCL ↓	t _{HDSTA}		4.0	-	0.6	-	μs	
SCL クロック "L" 幅	t _{LOW}		4.7	-	1.3	-	μs	
SCL クロック "H" 幅	t _{HIGH}		4.0	-	0.6	-	μs	
反復「スタート」条件 セットアップ時間 SCL ↑ → SDA ↓	t _{SUSTA}		4.7	-	0.6	-	μs	
データホールド時間 SCL ↓ → SDA ↓ ↑	t _{HDDAT}		0	3.45 *2	0	0.9 *3	μs	
データセットアップ時間 SDA ↓ ↑ → SCL ↑	t _{SUDAT}		250	-	100	-	ns	
「ストップ」条件 セットアップ時間 SCL ↑ → SDA ↑	t _{SUSTO}		4.0	-	0.6	-	μs	
「ストップ」条件と 「スタート」条件との間のバ スフリー時間	t _{BUF}		4.7	-	1.3	-	μs	
ノイズフィルタ	t _{SP}		8 MHz ≤ t _{CYCP} ≤ 40 MHz	2 t _{CYCP} *4	-	2 t _{CYCP} *4	-	ns
		40 MHz < t _{CYCP} ≤ 60 MHz	3 t _{CYCP} *4	-	3 t _{CYCP} *4	-	ns	*5
		60 MHz < t _{CYCP} ≤ 72 MHz	4 t _{CYCP} *4	-	4 t _{CYCP} *4	-	ns	*5

*1: R, C_L は、SCL, SDA ラインのプルアップ抵抗、負荷容量です。V_p はプルアップ抵抗の電源電圧、I_{OL} は V_{OL} 保証電流を示します。

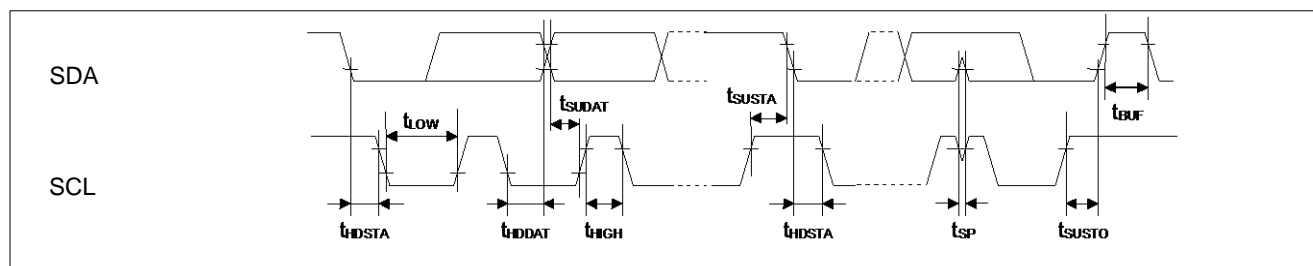
*2: 最大 t_{HDDAT} は少なくともデバイスの SCL 信号の "L" 区間(t_{LOW})を延長していないということを満たしていなければなりません。

*3: Fast-mode I²C バスデバイスを Standard-mode I²C バスシステムに使用できますが、要求される条件 t_{SUDAT} ≥ 250 ns を満足しなければなりません。

*4: t_{CYCP} は、APB バスクロックのサイクル時間です。I²C が接続されている APB バス番号については「8.ブロックダイアグラム」を参照してください。

Standard-mode 使用時は、APB バスクロックを 2 MHz 以上に設定してください。Fast-mode 使用時は、APB バスクロックを 8 MHz 以上に設定してください。

*5: ノイズフィルタの段数はレジスタ設定により 2, 3, 4 段に切り換えることができます。
APB2 バスクロック周波数に応じて、ノイズフィルタ段数の変更をしてください。



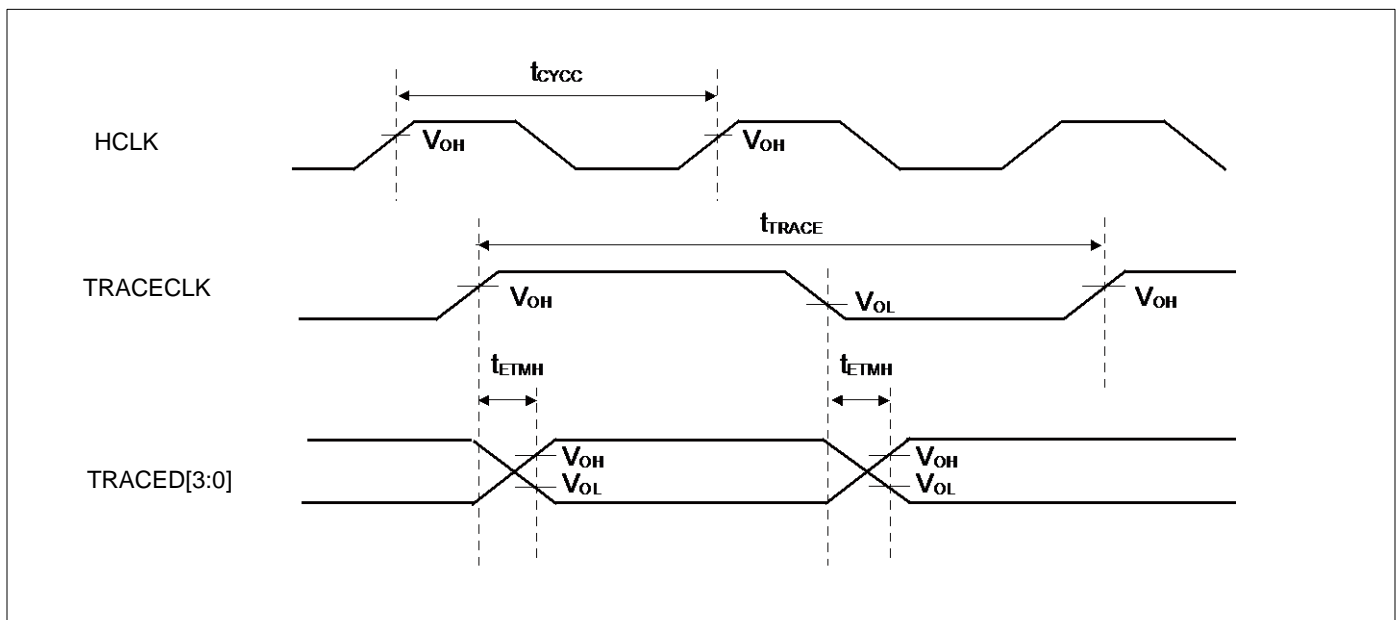
12.4.13 ETM タイミング

(Vcc = 2.7V ~ 5.5V, Vss = 0V, TA = - 40°C ~ + 85°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
データホールド	t _{ETMH}	TRACECLK, TRACED[3:0]	Vcc ≥ 4.5 V	2	9	ns	
			Vcc < 4.5 V	2	15		
TRACECLK 周波数	1/ t _{TRACE}	TRACECLK	Vcc ≥ 4.5 V	-	50	MHz	
			Vcc < 4.5 V	-	32	MHz	
TRACECLK クロック周期	t _{TRACE}	TRACECLK	Vcc ≥ 4.5 V	20	-	ns	
			Vcc < 4.5 V	31.25	-	ns	

<注意事項>

- 外部負荷容量 C_L = 30 pF 時



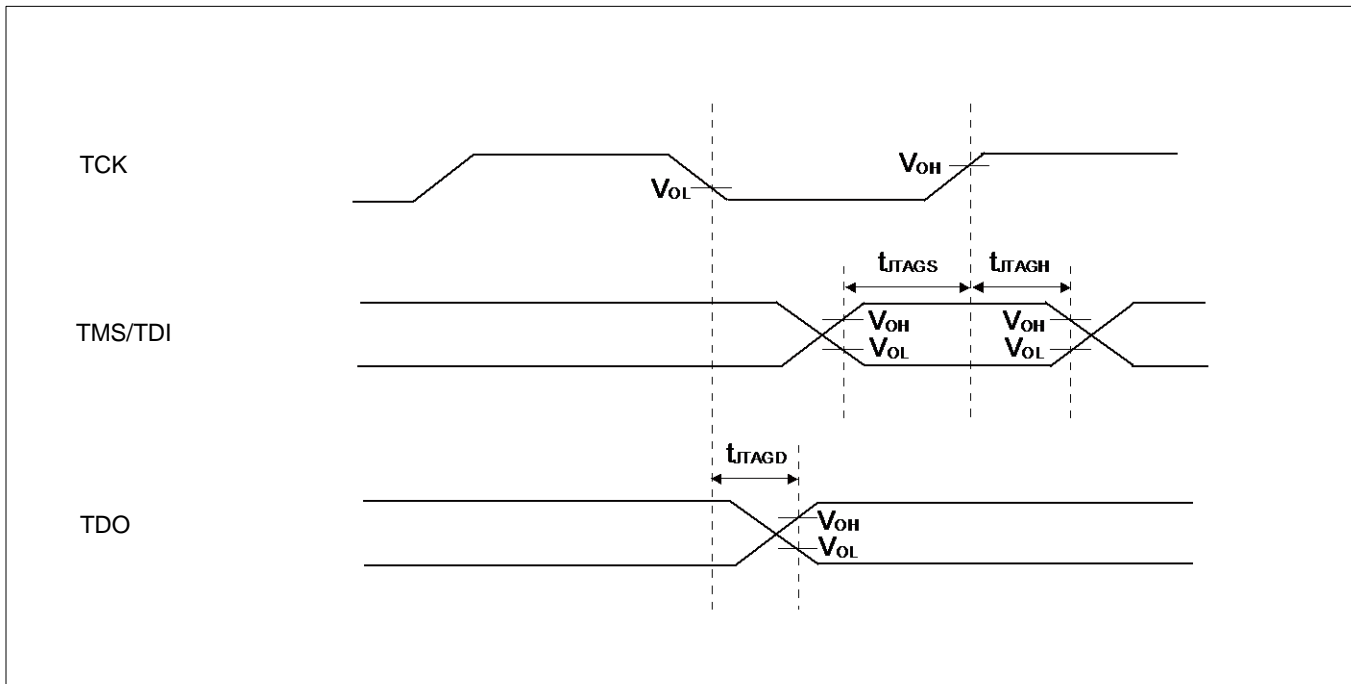
12.4.14 JTAG タイミング

(Vcc = 2.7V ~ 5.5V, Vss = 0V, TA = - 40°C ~ + 85°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
TMS, TDI セットアップ時間	t _{JTAGS}	TCK, TMS, TDI	Vcc ≥ 4.5 V	15	-	ns	
			Vcc < 4.5 V				
TMS, TDI ホールド時間	t _{JTAGH}	TCK, TMS, TDI	Vcc ≥ 4.5 V	15	-	ns	
			Vcc < 4.5 V				
TDO 遅延時間	t _{JTAGD}	TCK, TDO	Vcc ≥ 4.5 V	-	25	ns	
			Vcc < 4.5 V	-	45		

<注意事項>

- 外部負荷容量 C_L = 30 pF 時



12.5 12ビット A/D コンバータ
A/D 変換部電気的特性

 (V_{CC} = AV_{CC} = 2.7V ~ 5.5V, V_{SS} = AV_{SS} = 0V, T_A = -40°C ~ +85°C)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	-	-	-	-	12	bit	
積分直線性誤差	-	-	-	± 1.9	± 4.5	LSB	AVRH=2.7 V ~ 5.5 V
微分直線性誤差	-	-	-	± 1.9	± 2.5	LSB	
ゼロトランジション電圧	V _{OT}	AN _{xx}	-	± 5	± 15	mV	
フルスケールトランジション電圧	V _{FST}	AN _{xx}	-	AVRH ± 9	AVRH ± 15	mV	
変換時間	-	-	1.0* ¹	-	-	μs	AV _{CC} ≥ 4.5 V
			1.2* ¹	-	-		AV _{CC} < 4.5 V
サンプリング時間	T _s	-	*2	-	-	ns	AV _{CC} ≥ 4.5 V
			*2	-	-		AV _{CC} < 4.5 V
コンペアクロック周期* ³	T _{ck}	-	50	-	2000	ns	
動作許可状態遷移期間	T _{stt}	-	-	-	1.0	μs	
アナログ入力容量	C _{AIN}	-	-	-	12.9	pF	
アナログ入力抵抗	R _{AIN}	-	-	-	2	kΩ	AV _{CC} ≥ 4.5 V
					3.8		AV _{CC} < 4.5 V
チャンネル間ばらつき	-	-	-	-	4	LSB	
アナログポート入力リーク電流	-	AN _{xx}	-	-	5	μA	
アナログ入力電圧	-	AN _{xx}	AV _{SS}	-	AVRH	V	
基準電圧	-	AVRH	2.7	-	AV _{CC}	V	

*1: 変換時間はサンプリング時間 (T_s) + コンペア時間 (T_c) の値です。

最小変換時間の条件は、以下の通りです。

AV_{CC} ≥ 4.5 V HCLK=120 MHz サンプリング時間: 300 ns, コンペア時間: 700 ns

AV_{CC} < 4.5 V HCLK=120 MHz サンプリング時間: 500 ns, コンペア時間: 700 ns

必ずサンプリング時間(T_s), コンペアクロック周期(T_{ck})の規格を満足するようにしてください。

サンプリング時間, コンペアクロック周期の設定*⁴については、『FM3 ファミリー ペリフェラルマニュアル アナログマクロ編』の『CHAPTER 1-1: A/D コンバータ』の章を参照してください。

A/D コンバータのレジスタ設定は APB バスクロックのタイミングで反映されます。

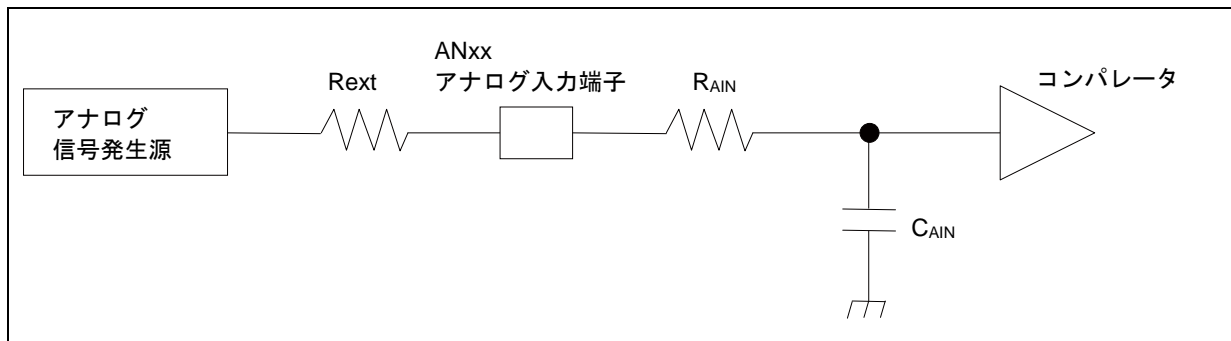
A/D コンバータが接続されている APB バス番号については「8.ブロックダイアグラム」を参照してください。

サンプリングおよびコンペアクロックはベースクロック(HCLK)から生成されます。

*2: 外部インピーダンスにより必要なサンプリング時間は変わります。

必ず(式 1)を満たすようにサンプリング時間を設定してください。

*3: コンペア時間(T_c) は (式 2)の値です。



(式 1) $T_s \geq (R_{AIN} + R_{ext}) \times C_{AIN} \times 9$

T_s : サンプル時間

R_{AIN} : A/D の入力抵抗 = 2 k Ω 4.5 V \leq AV_{CC} \leq 5.5 V の場合
A/D の入力抵抗 = 3.8 k Ω 2.7 V \leq AV_{CC} < 4.5 V の場合

C_{AIN} : A/D の入力容量 = 12.9 pF 2.7 V \leq AV_{CC} \leq 5.5 V の場合

R_{ext} : 外部回路の出力インピーダンス

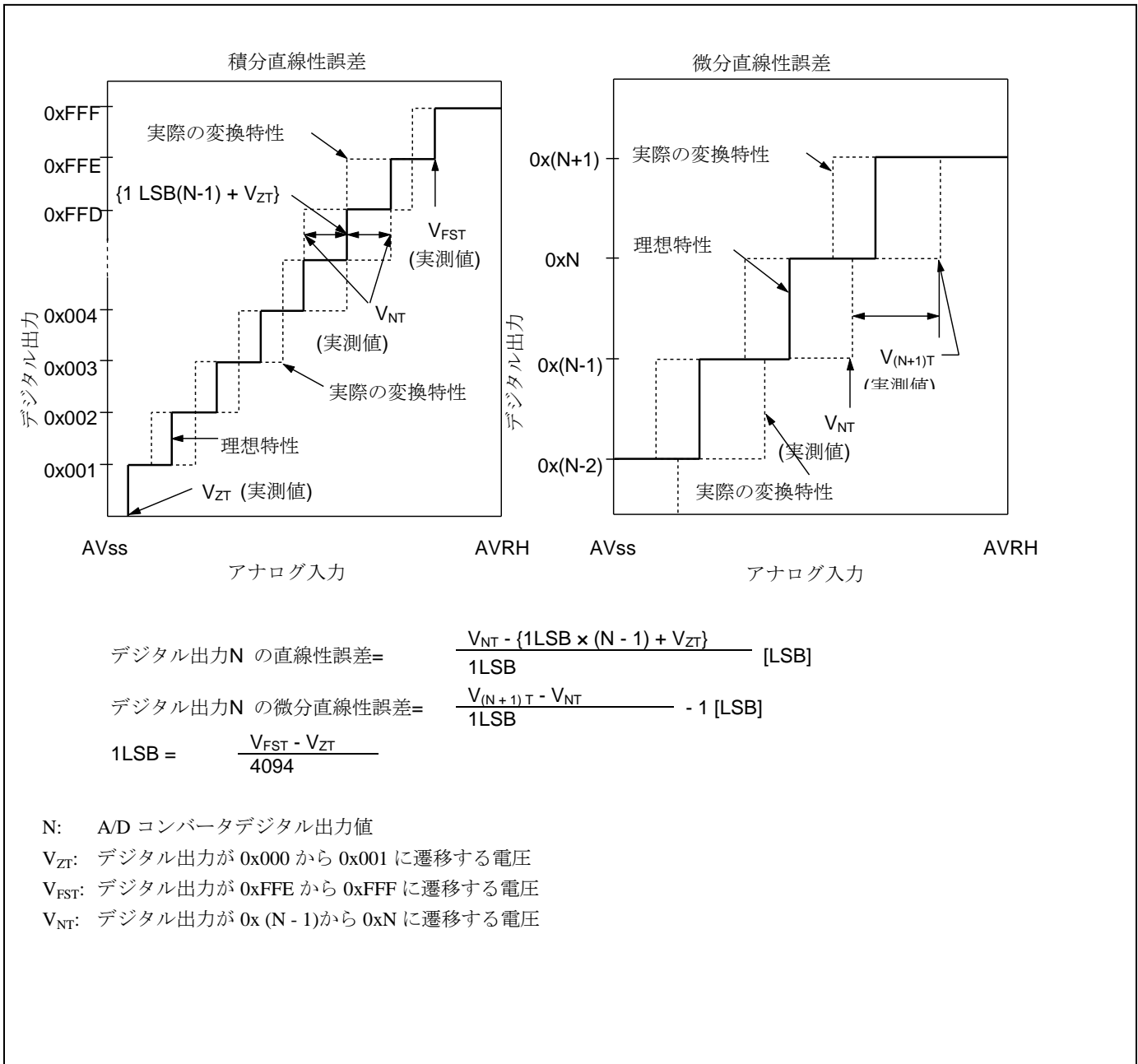
(式 2) $T_c = T_{cck} \times 14$

T_c : コンペア時間

T_{cck} : コンペアクロック周期

12 ビット A/D コンバータの用語の定義

- 分解能: A/D コンバータにより識別可能なアナログ変化
- 積分直線性誤差: ゼロトランジション点(0b000000000000 ←→ 0b000000000001)とフルスケールトランジション点(0b111111111110 ←→ 0b111111111111)を結んだ直線と実際の変換特性との偏差
- 微分直線性誤差: 出力コードを 1LSB 変化させるのに必要な入力電圧の理想値からの偏差



12.6 低電圧検出特性
12.6.1 低電圧検出リセット

 (T_A = -40°C ~ +85°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	-	2.25	2.45	2.65	V	電圧降下時
解除電圧	VDH	-	2.30	2.50	2.70	V	電圧上昇時

12.6.2 低電圧検出割込み

 (T_A = -40°C ~ +85°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	SVHI = 0000	2.58	2.8	3.02	V	電圧降下時
解除電圧	VDH		2.67	2.9	3.13	V	電圧上昇時
検出電圧	VDL	SVHI = 0001	2.76	3.0	3.24	V	電圧降下時
解除電圧	VDH		2.85	3.1	3.34	V	電圧上昇時
検出電圧	VDL	SVHI = 0010	2.94	3.2	3.45	V	電圧降下時
解除電圧	VDH		3.04	3.3	3.56	V	電圧上昇時
検出電圧	VDL	SVHI = 0011	3.31	3.6	3.88	V	電圧降下時
解除電圧	VDH		3.40	3.7	3.99	V	電圧上昇時
検出電圧	VDL	SVHI = 0100	3.40	3.7	3.99	V	電圧降下時
解除電圧	VDH		3.50	3.8	4.10	V	電圧上昇時
検出電圧	VDL	SVHI = 0111	3.68	4.0	4.32	V	電圧降下時
解除電圧	VDH		3.77	4.1	4.42	V	電圧上昇時
検出電圧	VDL	SVHI = 1000	3.77	4.1	4.42	V	電圧降下時
解除電圧	VDH		3.86	4.2	4.53	V	電圧上昇時
検出電圧	VDL	SVHI = 1001	3.86	4.2	4.53	V	電圧降下時
解除電圧	VDH		3.96	4.3	4.64	V	電圧上昇時
LVD 安定待ち時間	T _{LVDW}	-	-	-	4032×t _{CYCP} *	μs	

 *: t_{CYCP} は APB2 バスクロックのサイクル時間です。

12.7 フラッシュメモリ書込み/消去特性
12.7.1 書込み/消去時間

 (V_{CC} = 2.7V ~ 5.5V, T_A = - 40°C ~ + 85°C)

項目	規格値		単位	備考
	標準*	最大*		
セクタ消去時間	Large Sector	0.7	3.7	s 内部での消去前書込み時間を含む
	Small Sector	0.3	1.1	
ハーフワード(16ビット)書込み時間		12	384	μs システムレベルのオーバーヘッド時間は除く
チップ消去時間		13.6	68	s 内部での消去前書込み時間を含む

*: 標準は出荷直後の代表値、最大は書換え 10 万回までの保証値です。

12.7.2 書込みサイクルとデータ保持時間

消去/書込みサイクル(cycle)	保持時間(年)	備考
1,000	20 *	
10,000	10 *	
100,000	5 *	

*: 平均温度+85°C 時

12.8 スタンバイ復帰時間

12.8.1 復帰要因：割り込み

内部回路の復帰要因受付からプログラム動作開始までの時間を示します。

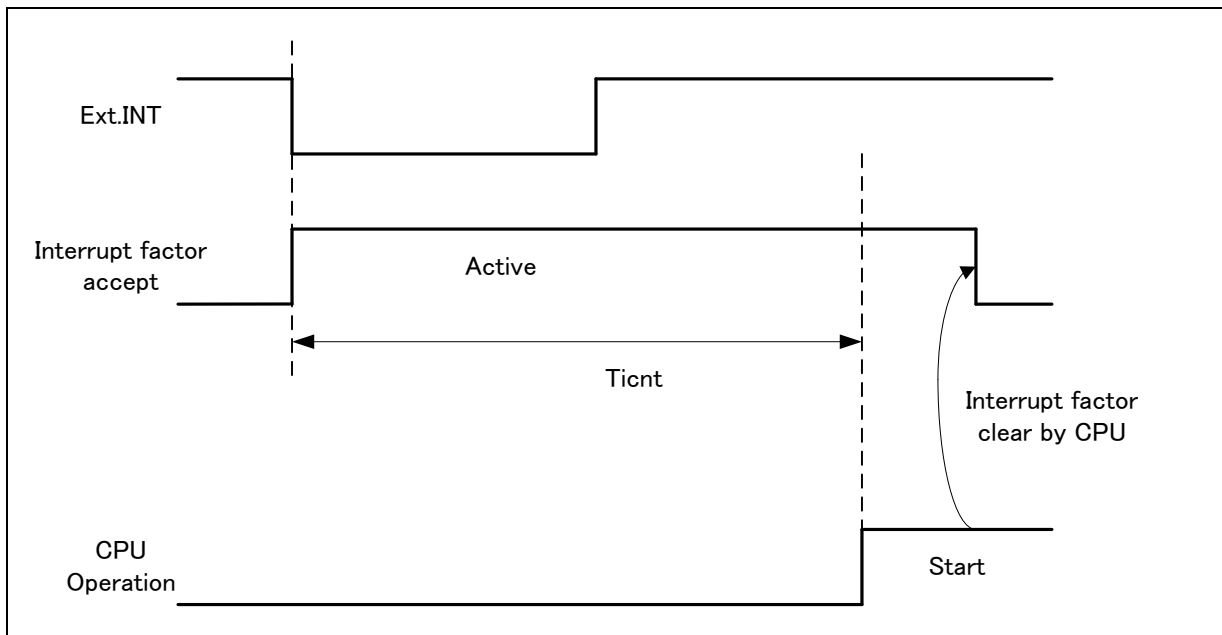
復帰カウント時間

($V_{CC} = 2.7V \sim 5.5V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

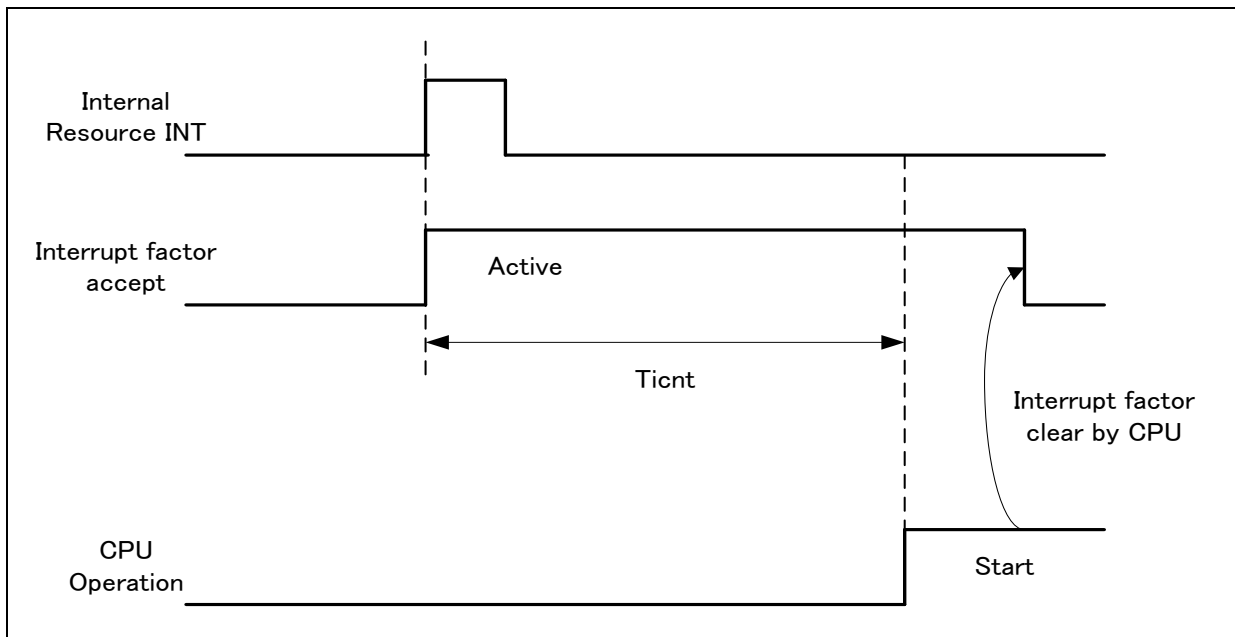
項目	記号	規格値		単位	備考
		標準	最大 *		
スリープモード	Ticnt	t_{CYCC}		ns	
高速 CR タイマモード, メインタイマモード, PLL タイマモード		40	80	μs	
低速 CR タイマモード		453	737	μs	
サブタイマモード		453	737	μs	
ストップモード		453	737	μs	

*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(外部割り込み復帰時 *)



*: 外部割り込みは立下りエッジ検出設定時

スタンバイ復帰動作例(内部リソース割込み復帰時 *)


*: 低消費電力モードのとき、内部リソースからの割込みは復帰要因に含まれません。

<注意事項>

- 復帰要因は低消費電力モードごとに異なります。
各低消費電力モードからの復帰要因は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6:低消費電力モード』のスタンバイモード動作説明を参照してください。
- 割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』を参照してください。

12.8.2 復帰要因：リセット

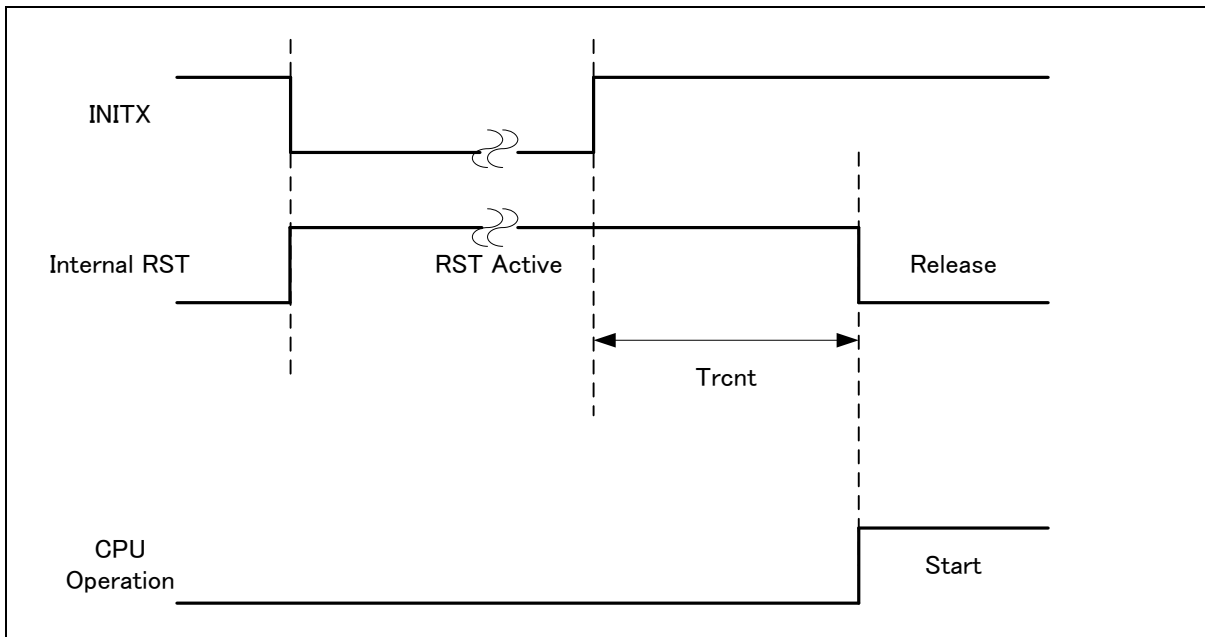
リセット解除からプログラム動作開始までの時間を示します。

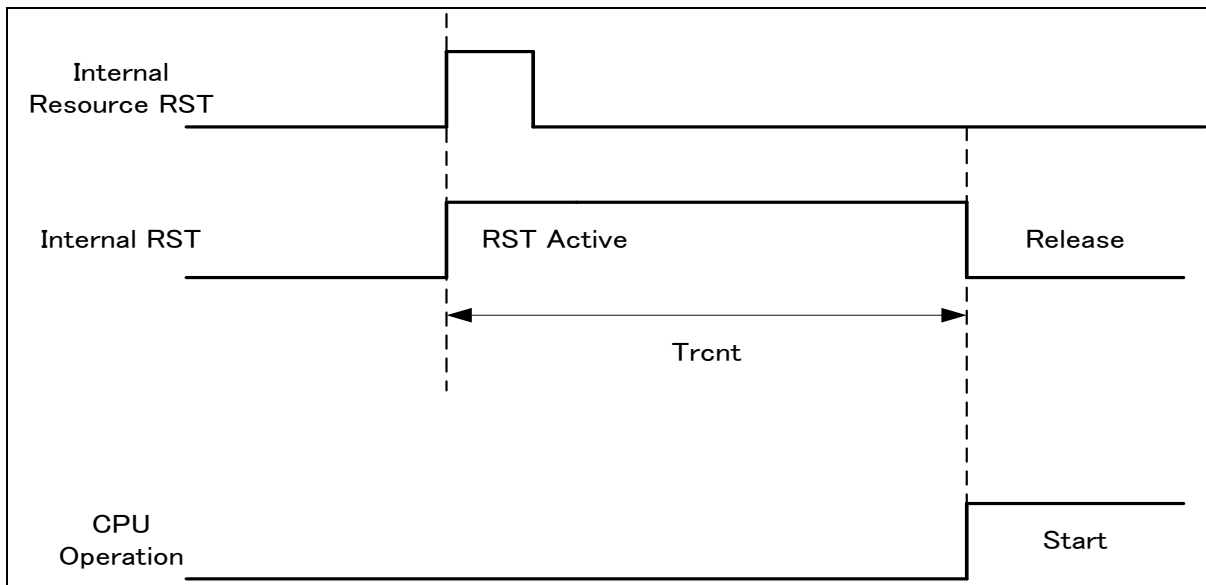
復帰カウント時間

($V_{CC} = 2.7V \sim 5.5V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

項目	記号	規格値		単位	備考
		標準	最大*		
スリープモード	Trcnt	321	461	μs	
高速CRタイマモード, メインタイマモード, PLLタイマモード		321	461	μs	
低速CRタイマモード		441	701	μs	
サブタイマモード		441	701	μs	
ストップモード		441	701	μs	

*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(INITX 復帰時)


スタンバイ復帰動作例(内部リソースリセット復帰時 *)


*: 低消費電力モードのとき、内部リソースからのリセット発行は復帰要因に含まれません。

<注意事項>

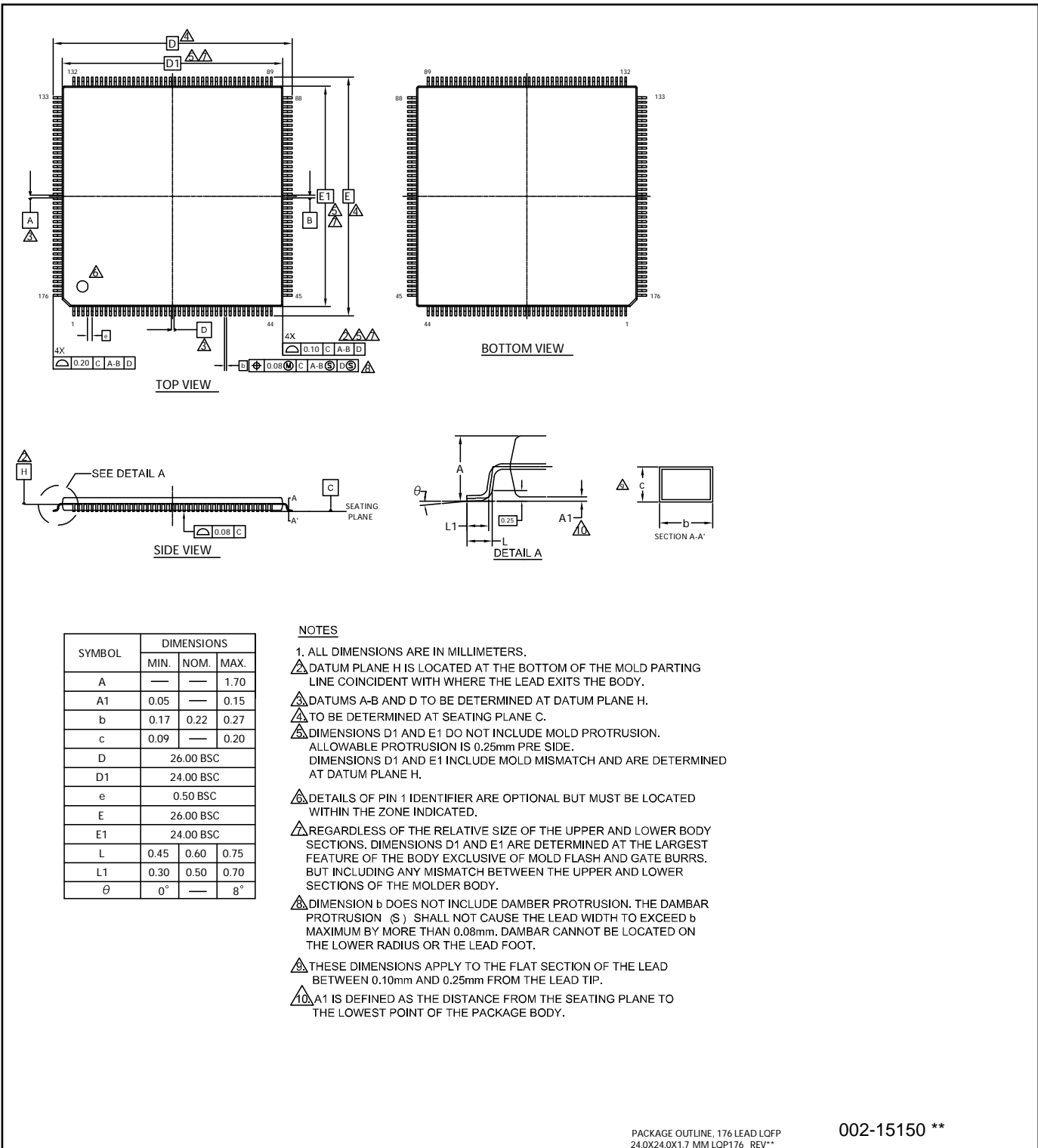
- 復帰要因は低消費電力モードごとに異なります。
各低消費電力モードからの復帰要因は、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- 割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』を参照してください。
- パワーオンリセット/低電圧検出リセット時は、復帰要因には含まれません。パワーオンリセット/低電圧検出リセット時は、「12.電气的特性 12.4 交流規格 12.4.6 パワーオンリセットタイミング」を参照してください。
- リセットからの復帰時、CPU は高速 CR ランモードに遷移します。
メインクロックや PLL クロックを使用する場合、追加でメインクロック発振安定待ち時間や、メイン PLL クロックの安定待ち時間が必要になります。
- 内部リソースリセットとは、ウォッチドッグリセット、CSV リセットを指します。

13. オーダ型格

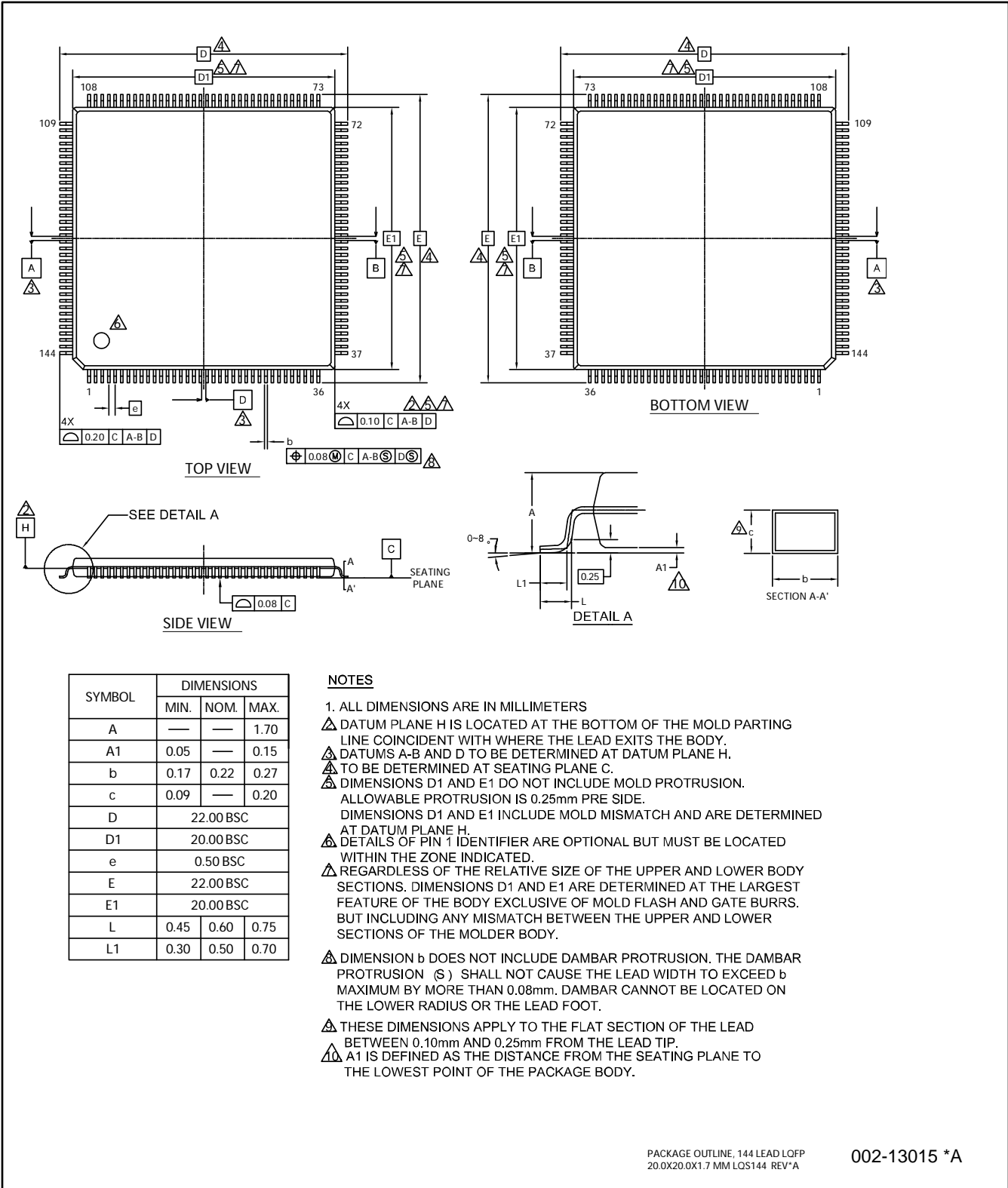
型格	オンチップ フラッシュ メモリ	オンチップ SRAM	パッケージ	包装
MB9BF116SPMC-GK7E1	512 Kbyte	64 Kbyte	プラスチック・LQFP, 144ピン (0.5 mm ピッチ), (LQS144)	トレイ
MB9BF117SPMC-GK7E1	768 Kbyte	96 Kbyte		
MB9BF118SPMC-GK7E1	1 Mbyte	128 Kbyte		
MB9BF116TPMC-GK7E1	512 Kbyte	64 Kbyte	プラスチック・LQFP, 176ピン (0.5 mm ピッチ), (LQP176)	
MB9BF117TPMC-GK7E1	768 Kbyte	96 Kbyte		
MB9BF118TPMC-GK7E1	1 Mbyte	128 Kbyte		
MB9BF116TBGL-GK7E1	512 Kbyte	64 Kbyte	プラスチック・PFBGA, 192ピン (0.8 mm ピッチ), (LBE192)	
MB9BF117TBGL-GK7E1	768 Kbyte	96 Kbyte		
MB9BF118TBGL-GK7E1	1 Mbyte	128 Kbyte		

14. パッケージ・外形寸法図

Package Type	Package Code
LQFP 176	LQP176



Package Type	Package Code
LQFP 144	LQS144



Package Type	Package Code
FBGA 192	LBE192

TOP VIEW

BOTTOM VIEW

SIDE VIEW

DETAIL A

SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.45
A1	0.25	0.35	0.45
D	12.00 BSC		
E	12.00 BSC		
D1	10.40 BSC		
E1	10.40 BSC		
MD	14		
ME	14		
n	192		
Φb	0.35	0.45	0.55
eD	0.80 BSC		
eE	0.80 BSC		
SD/SE	0.40 BSC		

NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DIMENSIONS AND TOLERANCES METHODS PER ASME Y14.5-2009. THIS OUTLINE CONFORMS TO JEP95, SECTION 4.5.
- BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-010.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. n IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK. METALLIZED MARK INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED BALLS.

PACKAGE OUTLINE, 192 BALL FBGA
12.00X12.00X1.45 MM LBE192 REV**

002-13493 **

15. 主な変更内容

Spansion Publication Number: DS706-00016

ページ	場所	変更箇所
Revision 1.0		
-	-	Initial release
Revision 2.0		
9~11	■端子配列図	注意事項へ記述を追加
62, 63	■デバイス使用上の注意	<ul style="list-style-type: none"> ・「C 端子について」の記述を修正 ・「ベースタイマについて」の記述を追加
64	■ブロックダイアグラム	図を訂正 - TIOA: 入力 → 入力/出力 - TIOB: 出力 → 入力
74	■電気的特性 2. 推奨動作条件	<ul style="list-style-type: none"> ・「平滑コンデンサ容量(C_S)」を追加 ・注釈文を追加
79	4. 交流規格 (1) メインクロック入力規格	「内部動作クロック周波数(F _{CM}), マスタクロック」を追加
81	(4-1) メイン PLL の使用条件 (PLL の入力クロックにメインクロックを使用)	「メイン PLL クロック周波数(F _{CLKPLL})」を追加
	(4-2) メイン PLL の使用条件 (メイン PLL の入力クロックに内蔵高速 CR クロックを使用)	
109	5. 12 ビット A/D コンバータ ・ A/D 変換部電気的特性	<ul style="list-style-type: none"> ・記号を追加 ・以下項目の端子名を削除 <ul style="list-style-type: none"> - 「サンプリング時間」 - 「コンペアクロック周期」 - 「動作許可状態遷移期間」 - 「アナログ入力容量」 - 「アナログ入力抵抗」 ・「コンペアクロック周期(T_{ck})」の規格値を訂正 最大: 10000 → 2000
Revision 2.1		
-	-	社名変更および記述フォーマットの変換
Revision 3.0		
3	■特長 ・外部バスインタフェース	最大アクセスサイズ 256M バイトを追記
9, 10	■端子配列図	SWCLK, SWDIO, SWO を追記
51-56	■入出力回路形式	<ul style="list-style-type: none"> ・回路形式 E,F,I,L に I2C 端子使用時の動作を追記 ・+B 入力可能な回路形式に追記
61	■デバイス使用上の注意	"・電源電圧の安定化について"を追記
61	■デバイス使用上の注意 ・水晶発振回路について	以下の文を追記 実装基板にて、使用する水晶振動子の発振評価を実施してください。
62	■デバイス使用上の注意 ・C 端子について	文を変更
64	■ブロックダイアグラム	図を修正
66	■メモリマップ ・メモリマップ(1)	"External Device Area"の領域を修正
67	■メモリマップ ・メモリマップ(2)	フラッシュメモリのセクタ構成の概略と、詳細はフラッシュプログラミングマニュアルを参照するよう追記
73-74	■電気的特性 1. 絶対最大定格	<ul style="list-style-type: none"> ・最大クランプ電流を追加。 ・P80, P81, P82, P83 の出力電流を追加。 ・+B 入力について追加。
75	■電気的特性 2. 推奨動作条件	・電源電圧が最小値未満について追記

ページ	場所	変更箇所
76-77	■電気的特性 3. 直流規格 (1) 電流規格	<ul style="list-style-type: none"> ・表の形式を変更 ・メインタイムモード電流を追加 ・フラッシュメモリ電流を追加 ・A/D コンバータ電流を移動
81	■電気的特性 4. 交流規格 (3) 内蔵 CR 発振規格	内蔵高速 CR の周波数安定時間を追加
83	■電気的特性 4. 交流規格 (6) パワーオンリセットタイミ グ	<ul style="list-style-type: none"> ・パワーオンリセット解除までの時間を追加 ・タイミング図を変更
85-87	■電気的特性 4. 交流規格 (7) 外バスタイミング	データ出力時間を修正
94-101	■電気的特性 4. 交流規格 (9) CSIO/UART タイミング	<ul style="list-style-type: none"> ・UART タイミング→CSIO/UART タイミングに修正 ・内部シフトクロック動作→マスタモードに変更 ・外部シフトクロック動作→スレーブモードに変更
108	■電気的特性 5. 12 ビット A/D コンバータ	<ul style="list-style-type: none"> ・積分/微分直線性誤差、ゼロ/フルスケールトランジション電圧の標準値を追加 ・AVcc<4.5V 時の変換時間を追加 ・動作許可状態遷移期間を最小値から最大値に修正 ・基準電圧の最小値を AVSS→2.7V に修正
113-116	■電気的特性 8. スタンバイ復帰時間	スタンバイ復帰時間を追加
117	■オーダ型格	フル型格に変更

<注意事項>

- 以降の変更点に関しては、「改訂履歴」を参照してください。

改訂履歴

文書名: MB9B110T シリーズ 32 ビット ARM® Cortex®-M3 FM3 マイクロコントローラ

文書番号: 002-04684

版	ECN 番号	変更者	発行日	変更内容
**	-	TOYO	02/10/2015	サイプレスとしてドキュメントコード002-04684 に登録しました。 本版の内容およびフォーマットに変更はありません。
*A	5397888	TOYO	08/10/2016	これは英語版の 002-04683 Rev. *A を翻訳した日本語版です。
*B	5653507	YSKA	03/09/2017	これは英語版の 002-04683 Rev.*B を翻訳した日本語版です。 パッケージコードを以下の様に変更 FPT-144P-M08 -> LQS144, FPT-176P-M07 -> LQP176, BGA-192P-M06 -> LBE192 <関連ページ> "2. パッケージと品種対応" (7ページ), "3. 端子配列図" (8~10ページ), "12.2. 推奨動作条件"(72ページ), "13. オーダ型格" (115ページ), "14. パッケージ・外形寸法図" (116~118ページ) "4.2 端子機能一覧" "端子機能別"の表記を修正 J-TAG -> JTAG (31ページ)、注意事項を追記(49ページ) "12.4.6 パワーオンリセットタイミング"を変更(80ページ) "12.5. 12ビットA/Dコンバータ"の語句を、以下の様に修正。 "アナログポート入力電流" → "アナログポート入力リーク電流" (106ページ) "12.4.10 CSIO/UARTタイミング" の項目にボーレートを追加(91-97ページ) "13. オーダ型格"から以下の型格を削除(115ページ) MB9BF116SPMC-GE1, MB9BF116TBGL-GE1, MB9BF116TPMC-GE1, MB9BF117SPMC-GE1, MB9BF117TBGL-GE1, MB9BF117TPMC-GE1, MB9BF118SPMC-GE1, MB9BF118TBGL-GE1, MB9BF118TPMC-GE1 "13. オーダ型格"に以下の型格を追加(115ページ) MB9BF116SPMC-GK7E1, MB9BF116TBGL-GK7E1, MB9BF116TPMC-GK7E1, MB9BF117SPMC-GK7E1, MB9BF117TBGL-GK7E1, MB9BF117TPMC-GK7E1, MB9BF118SPMC-GK7E1, MB9BF118TBGL-GK7E1, MB9BF118TPMC-GK7E1
*C	5802820	YSAT	07/11/2017	これは英語版の 002-04683 Rev. *C を翻訳した日本語版です。 Cypressの新ロゴを適用。