



本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名、品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名、品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcnにアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディング カンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。

MB9B120J シリーズは、低消費電力と低コストを求める組込み制御用途向けに設計された、高集積 32 ビットマイクロコントローラです。本シリーズは、CPU に ARM Cortex-M3 プロセッサを搭載し、フラッシュメモリおよび SRAM のオンチップメモリとともに、周辺機能として、各種タイマ、A/D コンバータ、各種通信インタフェース(UART, CSIO, I²C, LIN)などにより構成されます。『FM3 ファミリー パリフェラルマニュアル』において、このデータシートに記載されている製品は、TYPE10 製品に分類されます。

特長

32 ビット ARM Cortex-M3 コア

- プロセッサ版数: r2p1
- 最大動作周波数: 72 MHz
- ネスト型ベクタ割り込みコントローラ(NVIC): 1 チャンネルの NMI (ノンマスカブル割り込み)と 48 チャンネルの周辺割り込みに対応。16 の割り込み優先度レベルを設定できます。
- 24 ビットシステムタイマ(Sys Tick): OS タスク管理用のシステムタイマです。

オンチップメモリ

[フラッシュメモリ]

- 64 K バイト
- リードサイクル: 0 ウェイトサイクル
- コード保護用セキュリティ機能

[SRAM]

本シリーズのオンチップ SRAM は、2 つの独立した SRAM (SRAM0, SRAM1) により構成されます。SRAM0 は、Cortex-M3 コアの I-Code バス、D-Code バスに接続されます。SRAM1 は、Cortex-M3 コアの System バスに接続されます。

- SRAM0: 4 K バイト
- SRAM1: 4 K バイト

マルチファンクションシリアルインタフェース(最大 4 チャンネル)

- 16 段 × 9 ビット FIFO あり 2 チャンネル(ch.0/ch.1), FIFO なし 2 チャンネル(ch.2/ch.5)
- チャンネルごとに動作モードを次の中から選択できます。
 - UART
 - CSIO
 - LIN
 - I²C

[UART]

- 全二重ダブルバッファ
- パリティあり/なし選択可能
- 専用ボーレートジェネレータ内蔵
- 外部クロックをシリアルクロックとして使用可能
- 豊富なエラー検出機能(パリティエラー, フレーミングエラー, オーバランエラー)

[CSIO]

- 全二重ダブルバッファ
- 専用ボーレートジェネレータ内蔵
- オーバランエラー検出機能

[LIN]

- LIN プロトコル Rev.2.1 対応
- 全二重ダブルバッファ
- マスタ/スレーブモード対応
- LIN break field 生成(13 ビット~16 ビット長に変更可能)
- LIN break デリミタ生成(1 ビット~4 ビット長に変更可能)
- 豊富なエラー検出機能(パリティエラー, フレーミングエラー, オーバランエラー)

[I²C]

Standard-mode(最大 100 kbps)/Fast-mode(最大 400 kbps)に対応

DMA コントローラ(4 チャンネル)

DMA コントローラは、CPU とは独立した DMA 専用バスを持ち、CPU と並列動作できます。

- 4 つを独自に構成かつ動作可能なチャンネル
- ソフトウェア要求または内蔵周辺機能要求による転送開始可能
- 転送アドレス空間: 32 ビット(4 G バイト)
- 転送モード: ブロック転送/ バースト転送/ デマンド転送
- 転送データタイプ: バイト/ ハーフワード/ ワード
- 転送ブロック数: 1~16
- 転送回数: 1~65536

A/D コンバータ(最大 8 チャンネル)

[12 ビット A/D コンバータ]

- 逐次比較型
- 変換時間: 1.0 μ s @ 5 V
- 優先変換可能(2 レベルの優先度)
外部トリガ入力により A/D を起動する機能は非搭載
- スキャン変換モード
- 変換データ格納用 FIFO 搭載(スキャン変換用: 16 段, 優先変換用: 4 段)

ベースタイマ(最大 8 チャンネル)

チャンネルごとに動作モードを次の中から選択できます。

- 16 ビット PWM タイマ
- 16 ビット PPG タイマ
- 16/32 ビットリロードタイマ
- 16/32 ビット PWC タイマ

汎用 I/O ポート

本シリーズは、端子が周辺機能に使用されていない場合、汎用 I/O ポートとして使用できます。また、どの I/O ポートに周辺機能を割り当てるかを設定できるポートリロケート機能を搭載しています。

- 端子ごとにプルアップ制御可能
- 端子レベルを直接読出し可能
- ポートリロケート機能
- 最大 23 本の高速汎用 I/O ポート @ 32 pin Package
- 一部のポートは、5 V トレラントに対応
- 該当する端子については「端子機能一覧」と「入出力回路形式」を参照してください。

デュアルタイマ(32/16 ビットダウンカウンタ)

デュアルタイマは、2つのプログラム可能な 32/16 ビットダウンカウンタで構成されます。

各タイマチャンネルの動作モードを次の中から選択できます。

- フリーランモード
- 周期モード(=リロードモード)
- ワンショットモード

クアッドカウンタ (QPRC: Quadrature

Position/Revolution Counter) (1 チャンネル)

クアッドカウンタ(QPRC)は、ポジションエンコーダの位置を測定するために使います。また、設定によりアップダウンカウンタとしても使用できます。

- 3つの外部イベント入力端子 AIN, BIN, ZIN の検出エッジを設定可能
- 16 ビット位置カウンタ
- 16 ビット回転カウンタ
- 2つの 16 ビットコンペアレジスタ

多機能タイマ

多機能タイマは、次のブロックで構成されます。

- 16 ビットフリーランタイマ×3 チャンネル
- インพุットキャプチャ×4 チャンネル
- アウトプットコンペア×6 チャンネル
- A/D 起動コンペア×1 チャンネル
- 波形ジェネレータ×3 チャンネル
- 16 ビット PPG タイマ×3 チャンネル

モータ制御を実現するために次の機能を用意しています。

- PWM 信号出力機能
- DC チョップパルス出力機能
- デッドタイム機能
- インพุットキャプチャ機能
- A/D コンバータ 起動機能
- DTIF(モータ緊急停止)割込み機能

リアルタイムクロック(RTC : Real Time Clock)

00 年~99 年までの年/月/日/時/分/秒/曜日のカウントを行います。

- 日時指定(年/月/日/時/分)での割込み機能, 年/月/日/時/分だけの個別設定も可能
- 設定時間後/設定時間ごとのタイマ割込み機能
- カウントを継続して時刻書換え可能
- うるう年の自動カウント

外部割込み制御ユニット

- 外部割込み入力端子: 最大 7 本 @ 32 pin Package
- ノンマスカブル割込み(NMI)入力端子: 1 本

ウォッチドッグタイマ(2チャンネル)

ウォッチドッグタイマは、タイムアウト値に達すると割込みまたはリセットを発生します。

本シリーズには、"ハードウェア"ウォッチドッグと"ソフトウェア"ウォッチドッグの2つの異なるウォッチドッグがあります。

"ハードウェア"ウォッチドッグタイマは内蔵低速 CR 発振で動作するため、RTC モード、ストップモード以外のすべての低消費電力モードで動作します。

クロック/リセット

[クロック]

5 種類のクロックソース(2 種類の外部発振, 2 種類の内蔵 CR 発振, メイン PLL)から選択できます。

- メインクロック: 4 MHz~48 MHz
- サブクロック: 32.768 kHz
- 内蔵高速 CR クロック: 4 MHz
- 内蔵低速 CR クロック: 100 kHz
- メイン PLL クロック

[リセット]

- INITX 端子からのリセット要求
- 電源投入リセット
- ソフトウェアリセット
- ウォッチドッグタイマリセット
- 低電圧検出リセット
- クロックスーパーバイザリセット

クロック監視機能(CSV : Clock Super Visor)

内蔵 CR 発振による生成クロックを用いて外部クロックの異常を監視します。

- 外部クロック異常(クロック停止)が検出されると、リセットがアサートされます。
- 外部周波数異常が検出されると、割込みまたはリセットがアサートされます。

低電圧検出機能(LVD : Low-Voltage Detect)

本シリーズは、2 段階で VCC 端子の電圧を監視します。設定した電圧より VCC 端子の電圧が下がった場合、低電圧検出機能により割込みまたはリセットが発生します。

- LVD1: 割込みによりエラーを報告
- LVD2: オートリセット動作

低消費電力モード

4 種類の低消費電力モードに対応します。

- スリープ
- タイマ
- RTC
- ストップ

デバッグ

シリアル・ワイヤデバッグ・ポート (SW-DP)

ユニーク ID

41 ビットのデバイス固有の値を設定済み

電源

ワイドレンジ電圧対応: VCC = 2.7 V~5.5 V

Table of Contents

1. 品種構成	6
2. パッケージと品種対応	7
3. 端子配列図	8
4. 端子機能一覧	10
4.1 端子番号別	10
4.2 端子機能別	14
5. 入出力回路形式	19
6. 取扱上のご注意	24
6.1 設計上の注意事項	24
6.2 パッケージ実装上の注意事項	25
6.3 使用環境に関する注意事項	27
7. デバイス使用上の注意	28
8. ブロックダイアグラム	31
9. メモリサイズ	31
10. メモリマップ	32
11. 各 CPU ステートにおける端子状態	35
12. 電気的特性	39
12.1 絶対最大定格	39
12.2 推奨動作条件	41
12.3 直流規格	42
12.3.1 電流規格	42
12.3.2 端子特性	44
12.4 交流規格	45
12.4.1 メインクロック入力規格	45
12.4.2 サブクロック入力規格	46
12.4.3 内蔵 CR 発振規格	47
12.4.4 メイン PLL の使用条件(PLL の入力クロックにメインクロックを使用)	48
12.4.5 メイン PLL の使用条件(メイン PLL の入力クロックに内蔵高速 CR クロックを使用)	48
12.4.6 リセット入力規格	49
12.4.7 パワーオンリセットタイミング	49
12.4.8 ベースタイマ入力タイミング	50
12.4.9 CSIO/UART タイミング	51
12.4.10 外部入力タイミング	59
12.4.11 クアッドカウンタ タイミング	60

12.4.12 I ² C タイミング	62
12.4.13 SWD タイミング	63
12.5 12 ビット A/D コンバータ	64
12.6 低電圧検出特性	67
12.6.1 低電圧検出リセット	67
12.6.2 低電圧検出割込み	68
12.7 フラッシュメモリ書込み/消去特性	69
12.7.1 書込み/消去時間	69
12.7.2 書込みサイクルとデータ保持時間	69
12.8 スタンバイ復帰時間	70
12.8.1 復帰要因：割込み	70
12.8.2 復帰要因：リセット	72
13. オーダ型格	74
14. パッケージ・外形寸法図	75
15. 主な変更内容	77
改訂履歴	79
セールス, ソリューションおよび法律情報	80

1. 品種構成

メモリサイズ

品種名		MB9BF121J
オンチップフラッシュメモリ		64 K バイト
オンチップ SRAM	SRAM0	4 K バイト
	SRAM1	4 K バイト
	計	8 K バイト

ファンクション

品種名		MB9BF121J
端子数		32
CPU		Cortex-M3
周波数		72 MHz
電源電圧範囲		2.7 V~5.5 V
DMAC		4 ch.
マルチファンクションシリアル (UART/CSIO/LIN/I ² C)		4 ch. (最大) FIFO あり:ch.0/ch.1 FIFO なし:ch.2/ch.5
ベースタイマ (PWC/リロードタイマ/PWM/PPG)		8 ch. (最大)
多 機 能 タ イ マ	A/D 起動コンペア	1 ch.
	インプットキャプチャ	4 ch.
	フリーランタイマ	3 ch.
	アウトプットコンペア	6 ch.
	波形ジェネレータ	3 ch.
	PPG	3 ch.
クアッドカウンタ		1 ch.
デュアルタイマ		1 unit
リアルタイムクロック		1 unit
ウォッチドッグタイマ		1 ch. (SW) + 1 ch. (HW)
外部割込み		7 pin (最大) + NMI × 1
汎用 I/O ポート		23 pin (最大)
12 ビット A/D コンバータ		8 ch. (1 unit)
クロック監視機能(CSV)		Yes
低電圧検出機能(LVD)		2 ch.
内蔵 CR	高速	4 MHz
	低速	100 kHz
デバッグ機能		SW-DP
ユニーク ID		Yes

<注意事項>

- 各製品に搭載される周辺機能の信号は、パッケージの端子数制限により、すべて割り当てることはできません。ご使用される機能に応じて、I/O ポートのポートリロケート機能を用いて、端子を割り当ててください。
内蔵 CR のクロック周波数精度については、『12.電気的特性 12.4.交流規格 12.4.3 内蔵 CR 発振規格』を参照してください。

2. パッケージと品種対応

パッケージ	品種名	MB9BF121J
LQFP: LQB032 (0.8 mm pitch)		○
QFN: WNU032 (0.5 mm pitch)		○

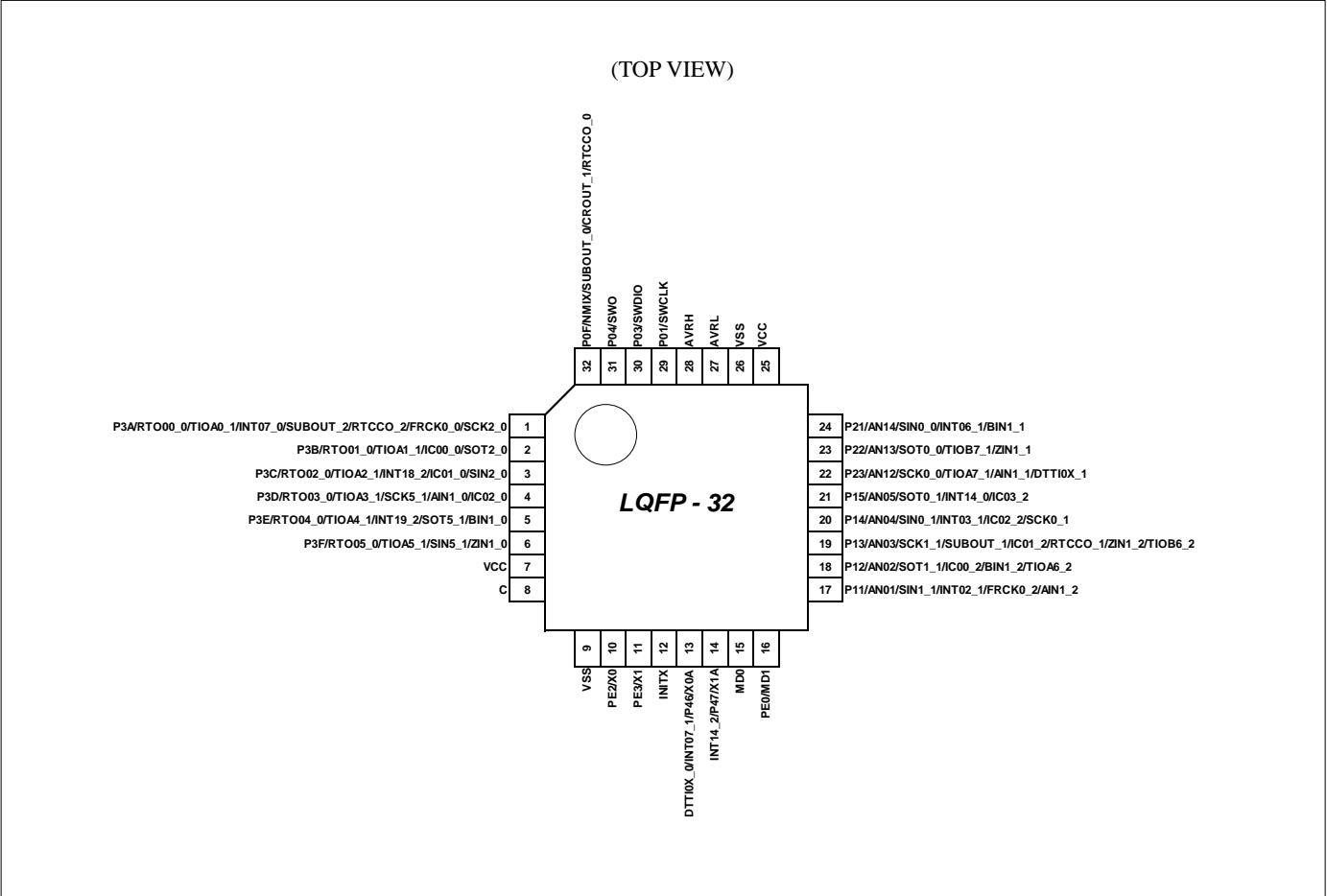
○: 対応

<注意事項>

- 各パッケージの詳細は「[14. パッケージ・外形寸法図](#)」を参照してください。

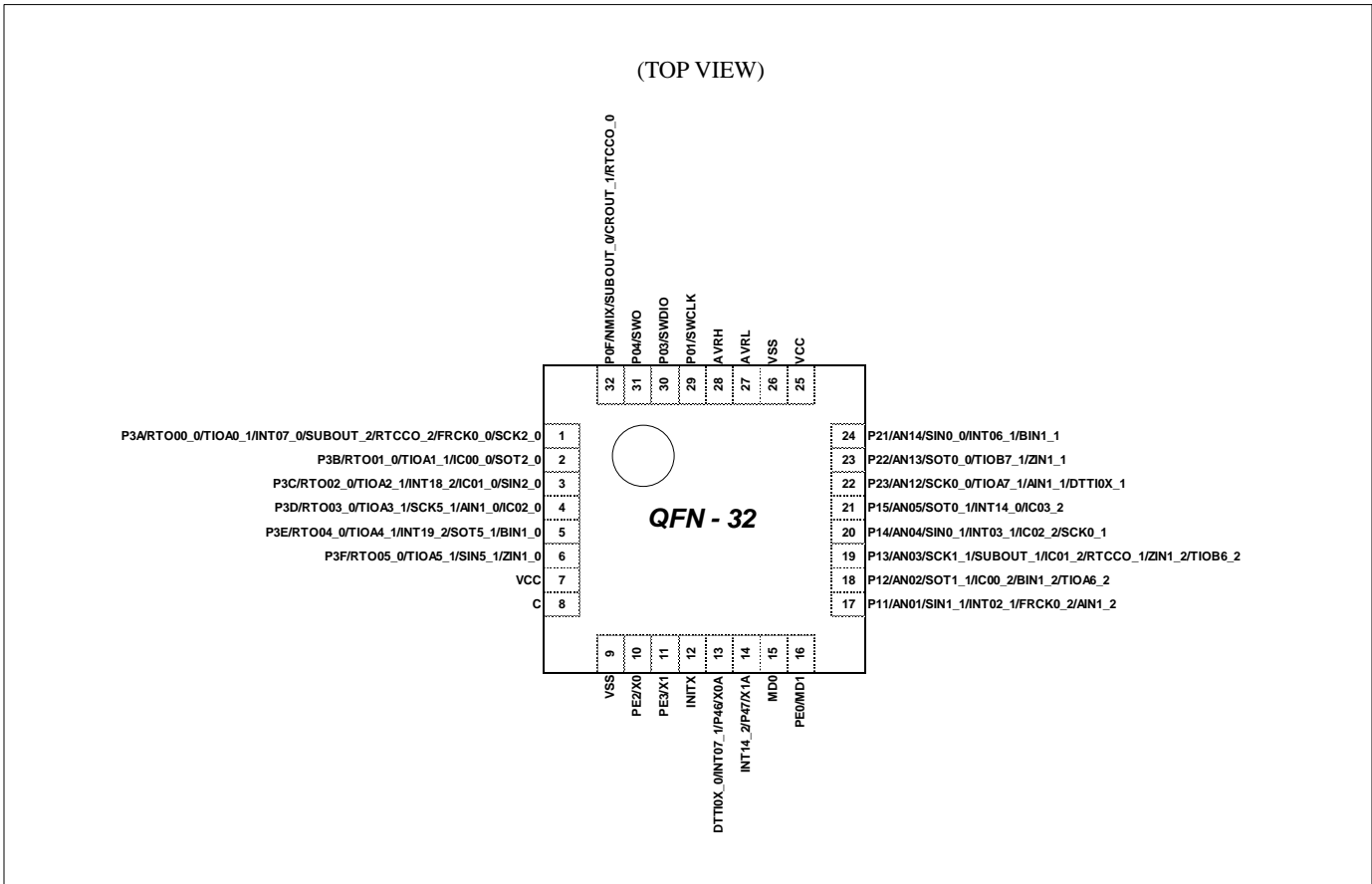
3. 端子配列図

LQB032



<注意事項>

- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ(EPFR)によって利用する端子名を選択してください。

WNU032

<注意事項>

- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR) によって利用する端子名を選択してください。

4. 端子機能一覧

端子番号別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR) によって利用する端子名を選択してください。

端子番号	端子名	入出力回路形式	端子状態形式
1	P3A	F	K
	RTO00_0 (PPG00_0)		
	FRCK0_0		
	INT07_0		
	TIOA0_1		
	SCK2_0 (SCL2_0)		
	SUBOUT_2		
	RTCCO_2		
2	P3B	F	J
	RTO01_0 (PPG00_0)		
	IC00_0		
	TIOA1_1		
	SOT2_0 (SDA2_0)		
3	P3C	F	K
	RTO02_0 (PPG02_0)		
	IC01_0		
	INT18_2		
	TIOA2_1		
	SIN2_0		
4	P3D	F	J
	RTO03_0 (PPG02_0)		
	IC02_0		
	TIOA3_1		
	SCK5_1 (SCL5_1)		
	AIN1_0		
5	P3E	F	K
	RTO04_0 (PPG04_0)		
	INT19_2		
	TIOA4_1		
	SOT5_1 (SDA5_1)		
	BIN1_0		

端子番号	端子名	入出力回路形式	端子状態形式
6	P3F	F	J
	RTO05_0 (PPG04_0)		
	TIOA5_1		
	SIN5_1		
	ZIN1_0		
7	VCC	-	-
8	C	-	-
9	VSS	-	-
10	PE2	A	A
	X0		
11	PE3	A	B
	X1		
12	INITX	B	C
13	P46	D	F
	X0A		
	DTTIOX_0		
	INT07_1		
14	P47	D	G
	X1A		
	INT14_2		
15	MD0	H	D
16	PE0	C	E
	MD1		
17	P11	G*	M
	AN01		
	SIN1_1		
	INT02_1		
	FRCK0_2		
	AIN1_2		
18	P12	G*	L
	AN02		
	SOT1_1 (SDA1_1)		
	TIOA6_2		
	IC00_2		
	BIN1_2		

端子番号	端子名	入出力回路形式	端子状態形式
19	P13	G*	L
	AN03		
	SCK1_1 (SCL1_1)		
	SUBOUT_1		
	TIOB6_2		
	IC01_2		
	RTCCO_1		
	ZIN1_2		
20	P14	G*	M
	AN04		
	SIN0_1		
	INT03_1		
	SCK0_1 (SCL0_1)		
	IC02_2		
21	P15	G*	M
	AN05		
	SOT0_1 (SDA0_1)		
	INT14_0		
	IC03_2		
22	P23	G*	L
	AN12		
	SCK0_0 (SCL0_0)		
	TIOA7_1		
	DTTIOX_1		
	AIN1_1		
23	P22	G*	L
	AN13		
	SOT0_0 (SDA0_0)		
	TIOB7_1		
	ZIN1_1		
24	P21	G*	M
	AN14		
	SIN0_0		
	INT06_1		
	BIN1_1		
25	VCC	-	-
26	VSS	-	-

端子番号	端子名	入出力回路形式	端子状態形式
27	AVRL	-	-
28	AVRH	-	-
29	P01	E	I
	SWCLK		
30	P03	E	I
	SWDIO		
31	P04	E	I
	SWO		
32	P0F	E	H
	NMIX		
	SUBOUT_0		
	CROUT_1		
	RTCCO_0		

*: 5 V トレラント I/O

端子機能別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ (EPFR) によって利用する端子名を選択してください。

端子機能	端子名	機能説明	端子番号
ADC	AN01	A/D コンバータアナログ入力端子。 ANxx は ADC ch.xx を示します。	17
	AN02		18
	AN03		19
	AN04		20
	AN05		21
	AN12		22
	AN13		23
	AN14		24
ベースタイマ 0	TIOA0_1	ベースタイマ ch.0 の TIOA 端子	1
ベースタイマ 1	TIOA1_1	ベースタイマ ch.1 の TIOA 端子	2
ベースタイマ 2	TIOA2_1	ベースタイマ ch.2 の TIOA 端子	3
ベースタイマ 3	TIOA3_1	ベースタイマ ch.3 の TIOA 端子	4
ベースタイマ 4	TIOA4_1	ベースタイマ ch.4 の TIOA 端子	5
ベースタイマ 5	TIOA5_1	ベースタイマ ch.5 の TIOA 端子	6
ベースタイマ 6	TIOA6_2	ベースタイマ ch.6 の TIOA 端子	18
	TIOB6_2	ベースタイマ ch.6 の TIOB 端子	19
ベースタイマ 7	TIOA7_1	ベースタイマ ch.7 の TIOA 端子	22
	TIOB7_1	ベースタイマ ch.7 の TIOB 端子	23
デバッグ	SWCLK	シリアルワイヤデバッグインタフェース クロック入力端子	29
	SWDIO	シリアルワイヤデバッグインタフェース データ入出力端子	30
	SWO	シリアルワイヤビューワ出力端子	31
外部割込み	INT02_1	外部割込み要求 02 の入力端子	17
	INT03_1	外部割込み要求 03 の入力端子	20
	INT06_1	外部割込み要求 06 の入力端子	24
	INT07_0	外部割込み要求 07 の入力端子	1
			13
	INT14_0	外部割込み要求 14 の入力端子	21
			14
	INT18_2	外部割込み要求 18 の入力端子	3
	INT19_2	外部割込み要求 19 の入力端子	5
	NMIX	ノンマスカブル割込み入力端子	32

端子機能	端子名	機能説明	端子番号
GPIO	P01	汎用入出力ポート 0	29
	P03		30
	P04		31
	P0F		32
	P11	汎用入出力ポート 1	17
	P12		18
	P13		19
	P14		20
	P15	21	
	P21	汎用入出力ポート 2	24
	P22		23
	P23		22
	P3A	汎用入出力ポート 3	1
	P3B		2
	P3C		3
	P3D		4
	P3E		5
	P3F		6
	P46	汎用入出力ポート 4	13
	P47		14
PE0	汎用入出力ポート E	16	
PE2		10	
PE3		11	
マルチ ファンクション シリアル 0	SIN0_0	マルチファンクションシリアルインタフェース ch.0 の入力端子	24
	SIN0_1		20
	SOT0_0 (SDA0_0)	マルチファンクションシリアルインタフェース ch.0 の出力端子。 UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT0 として、I ² C 端子(動作モード 4)として使用するときは SDA0 として機能します。	23
	SOT0_1 (SDA0_1)		21
	SCK0_0 (SCL0_0)		マルチファンクションシリアルインタフェース ch.0 のクロック I/O 端子。 CSIO 端子(動作モード 2)として使用するときは SCK0 として、I ² C 端子(動作モード 4)として使用するときは SCL0 として機能します。
SCK0_1 (SCL0_1)	20		
マルチ ファンクション シリアル 1	SIN1_1	マルチファンクションシリアルインタフェース ch.1 の入力端子	17
	SOT1_1 (SDA1_1)	マルチファンクションシリアルインタフェース ch.1 の出力端子。 UART/CSIO/LIN 端子(動作モード 0~3)として使用するときは SOT1 として、I ² C 端子(動作モード 4)として使用するときは SDA1 として機能します。	18
	SCK1_1 (SCL1_1)	マルチファンクションシリアルインタフェース ch.1 のクロック I/O 端子。 CSIO 端子(動作モード 2)として使用するときは SCK1 として、I ² C 端子(動作モード 4)として使用するときは SCL1 として機能します。	19

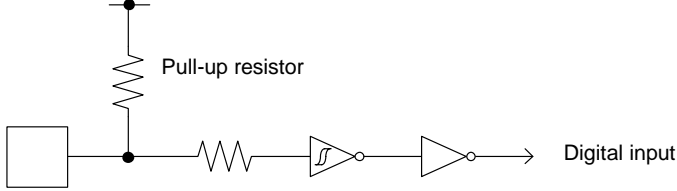
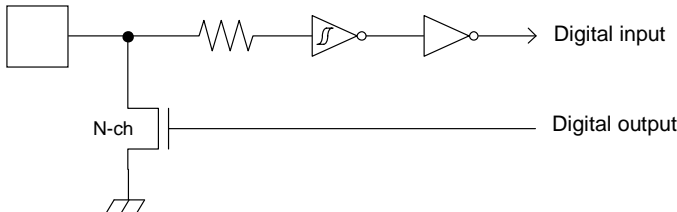
端子機能	端子名	機能説明	端子番号
マルチ ファンクション シリアル 2	SIN2_0	マルチファンクションシリアルインタフェース ch.2 の入力端子	3
	SOT2_0 (SDA2_0)	マルチファンクションシリアルインタフェース ch.2 の出力端子。 UART/CSIO/LIN 端子(動作モード 0~3)として使用するときには SOT2 として、I ² C 端子(動作モード 4)として使用するときには SDA2 として機能します。	2
	SCK2_0 (SCL2_0)	マルチファンクションシリアルインタフェース ch.2 のクロック I/O 端子。 CSIO 端子(動作モード 2)として使用するときには SCK2 として、I ² C 端子(動作モード 4)として使用するときには SCL2 として機能します。	1
マルチ ファンクション シリアル 5	SIN5_1	マルチファンクションシリアルインタフェース ch.5 の入力端子	6
	SOT5_1 (SDA5_1)	マルチファンクションシリアルインタフェース ch.5 の出力端子。 UART/CSIO/LIN 端子(動作モード 0~3)として使用するときには SOT5 として、I ² C 端子(動作モード 4)として使用するときには SDA5 として機能します。	5
	SCK5_1 (SCL5_1)	マルチファンクションシリアルインタフェース ch.5 のクロック I/O 端子。 CSIO 端子(動作モード 2)として使用するときには SCK5 として、I ² C 端子(動作モード 4)として使用するときには SCL5 として機能します。	4

端子機能	端子名	機能説明	端子番号
多機能タイマ 0	DTTI0X_0	多機能タイマ 0 の RTO00~RTO05 出力を制御する波形ジェネレータの入力信号	13
	DTTI0X_1		22
	FRCK0_0	16 ビットフリーランタイム ch.0 の外部クロック入力端子	1
	FRCK0_2		17
	IC00_0	多機能タイマ 0 の 16 ビットインプットキャプチャの入力端子。 ICxx は、チャンネル数を示します。	2
	IC00_2		18
	IC01_0		3
	IC01_2		19
	IC02_0		4
	IC02_2		20
	IC03_2		21
	RTO00_0 (PPG00_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG00 として機能します。	1
	RTO01_0 (PPG00_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG00 として機能します。	2
	RTO02_0 (PPG02_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG02 として機能します。	3
	RTO03_0 (PPG02_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG02 として機能します。	4
	RTO04_0 (PPG04_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG04 として機能します。	5
RTO05_0 (PPG04_0)	多機能タイマ 0 の波形ジェネレータ出力端子。 PPG0 出力モードで使用するときは、PPG04 として機能します。	6	
クアッド カウンタ	AIN1_0	QPRC ch.1 の AIN 入力端子	4
	AIN1_1		22
	AIN1_2		17
	BIN1_0	QPRC ch.1 の BIN 入力端子	5
	BIN1_1		24
	BIN1_2		18
	ZIN1_0	QPRC ch.1 の ZIN 入力端子	6
	ZIN1_1		23
	ZIN1_2		19
リアルタイム クロック	RTCCO_0	リアルタイムクロックの 0.5 秒パルス出力端子	32
	RTCCO_1		19
	RTCCO_2		1
	SUBOUT_0	サブクロック出力端子	32
	SUBOUT_1		19
	SUBOUT_2		1

端子機能	端子名	機能説明	端子番号
RESET	INITX	外部リセット入力端子。 INITX="L"のとき、リセットが有効です。	12
Mode	MD0	モード0 端子。 通常動作時は、MD0="L"を入力してください。 フラッシュメモリのシリアル書込み時は、MD0="H"を入力してください。	15
	MD1	モード1 端子。 フラッシュメモリのシリアル書込み時は、MD1="L"を入力してください。	16
POWER	VCC	アナログ/デジタル電源端子	7
	VCC	アナログ/デジタル電源端子	25
GND	VSS	アナログ/デジタル GND 端子	9
	VSS	アナログ/デジタル GND 端子	26
CLOCK	X0	メインクロック(発振)入力端子	10
	X0A	サブクロック(発振)入力端子	13
	X1	メインクロック(発振)I/O 端子	11
	X1A	サブクロック(発振)I/O 端子	14
	CROUT_1	内蔵高速 CR 発振クロック出力ポート	32
Analog POWER	AVRH	A/D コンバータのアナログ基準電圧入力端子	28
Analog GND	AVRL	A/D コンバータのアナログ基準電圧入力端子	27
C 端子	C	電源安定化容量端子	8

5. 入出力回路形式

分類	回路	備考
A		<p>メイン発振/GPIO切換え可能</p> <p>メイン発振機能選択時</p> <ul style="list-style-type: none"> - 発振帰還抵抗: 約 1 MΩ - スタンバイ制御あり <p>GPIO機能選択時</p> <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - I_{OH} = -4 mA, I_{OL} = 4 mA

分類	回路	備考
B		<ul style="list-style-type: none"> - CMOS レベルヒステリシス入力 - プルアップ抵抗: 約 50 kΩ
C		<ul style="list-style-type: none"> - オープンドレイン出力 - CMOS レベルヒステリシス入力

分類	回路	備考
D	<p>The diagram shows the internal circuit for pin D. It is connected to two external pins, X1A and X0A. Each pin has a pull-up resistor (R) connected to it. The circuit includes several transistors: P-ch and N-ch for digital outputs, and P-ch for pull-up resistor control. Logic gates (AND, OR, NOT) are used for standby mode control and clock input. A feedback resistor is also present. Labels include: Pull-up resistor, P-ch, N-ch, Digital output, Digital input, Standby mode control, Clock input, Feedback resistor, and Pull-up resistor control.</p>	<p>サブ発振/GPIO切換え可能</p> <p>サブ発振機能選択時</p> <ul style="list-style-type: none"> - 発振帰還抵抗: 約 5 MΩ - スタンバイ制御あり <p>GPIO機能選択時</p> <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - I_{OH} = -4 mA, I_{OL} = 4 mA

分類	回路	備考
E		<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - +B 入力可
F		<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -12 \text{ mA}$, $I_{OL} = 12 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。 - +B 入力可

分類	回路	備考
G		<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - 入力制御あり - アナログ入力 - 5 V トレラント - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - PZR レジスタ制御可能 - IC 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
H		<p>CMOS レベルヒステリシス 入力</p>

6. 取扱上のご注意

半導体デバイスは、ある確率で故障します。また、半導体デバイスの故障は、使用される条件(回路条件、環境条件など)によっても大きく左右されます。

以下に、半導体デバイスをより信頼性の高い状態で使用していただくために、注意・配慮しなければならない事項について説明します。

6.1 設計上の注意事項

ここでは、半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

絶対最大定格の遵守

半導体デバイスは、過剰なストレス (電圧、電流、温度など) が加わると破壊する可能性があります。この限界値を定めたものが絶対最大定格です。従って、定格を一項目でも超えることのないようご注意ください。

推奨動作条件の遵守

推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、全てこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を越えて使用すると、信頼性に悪影響を及ぼすことがあります。

本資料に記載されていない項目、使用条件、論理組み合わせでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

端子の処理と保護

半導体デバイスには、電源および各種入出力端子があります。これらに対して以下の注意が必要です。

1. 過電圧・過電流の防止
各端子に最大定格を超える電圧・電流が印加されると、デバイスの内部に劣化が生じ、著しい場合には破壊に至ります。機器の設計の際には、このような過電圧・過電流の発生を防止してください。
2. 出力端子の保護
出力端子を電源端子または他の出力端子とショートしたり、大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので、このような接続はしないようにしてください。
3. 未使用入力端子の処理
インピーダンスの非常に高い入力端子は、オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

ラッチアップ

半導体デバイスは、基板上に P 型と N 型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合、内部の寄生 PNP 接合 (サイリスタ構造) が導通して、数百 mA を越える大電流が電源端子に流れ続けることがあります。これをラッチアップと呼びます。この現象が起きるとデバイスの信頼性を損ねるだけでなく、破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために、以下の点にご注意ください。

1. 最大定格以上の電圧が端子に加わることが無いようにしてください。異常なノイズ、サージ等にも注意してください。
2. 電源投入シーケンスを考慮し、異常な電流が流れないようにしてください。

安全等の規制と規格の遵守

世界各国では、安全や、電磁妨害等の各種規制と規格が設けられています。お客様が機器を設計するに際しては、これらの規制と規格に適合するようお願いいたします。

フェイル・セーフ設計

半導体デバイスは、ある確率で故障が発生します。半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止設計、誤動作防止設計などの安全設計をお願いいたします。

用途に関する注意

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的な用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。当社は、これらの用途に当該製品が使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

6.2 パッケージ実装上の注意事項

パッケージには、リード挿入形と表面実装形があります。いずれの場合も、はんだ付け時の耐熱性に関する品質保証は、当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

リード挿入形

リード挿入形パッケージのプリント板への実装方法は、プリント板へ直接はんだ付けする方法とソケットを使用してプリント板に実装する方法とがあります。

プリント板へ直接はんだ付けする場合は、プリント板のスルーホールにリード挿入後、噴流はんだによるフローはんだ方法（ウェーブソルダリング法）が一般的に使用されます。この場合、はんだ付け実装時には、通常最大定格の保存温度を上回る熱ストレスがリード部分に加わります。当社の実装推奨条件で実装してください。

ソケット実装方法でご使用になる場合、ソケットの接点の表面処理と IC のリードの表面処理が異なるとき、長時間経過後、接触不良を起こすことがあります。このため、ソケットの接点の表面処理と IC のリードの表面処理の状態を確認してから実装することをお勧めします。

表面実装形

表面実装形パッケージは、リード挿入形と比較して、リードが細く薄いため、リードが変形し易い性質をもっています。また、パッケージの多ピン化に伴い、リードピッチも狭く、リード変形によるオープン不良や、はんだブリッジによるショート不良が発生しやすいため、適切な実装技術が必要となります。

当社ははんだリフロー方法を推奨し、製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

鉛フリーパッケージ

BGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合、使用状況により接合強度が低下することがありますのでご注意ください。

半導体デバイスの保管について

プラスチックパッケージは樹脂でできているため、自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合、界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください。

1. 急激な温度変化のある所では製品に水分の結露が起きます。このような環境を避けて、温度変化の少ない場所に保管してください。
2. 製品の保管場所はドライボックスの使用を推奨します。相対湿度 70%RH 以下、温度 5°C～30°C で保管をお願いします。ドライパッケージを開封した場合には湿度 40%～70%RH を推奨いたします。
3. 当社では必要に応じて半導体デバイスの梱包材として防湿性の高いアルミラミネート袋を用い、乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。
4. 腐食性ガスの発生する場所や塵埃の多い所は避けてください。

ベーキングについて

吸湿したパッケージはベーキング (加熱乾燥) を実施することにより除湿することが可能です。

ベーキングは、当社の推奨する条件で実施してください。

条件: 125°C/24 時間

静電気

半導体デバイスは静電気による破壊を起こしやすいため、以下の点についてご注意ください。

1. 作業環境の相対湿度は 40 % ~ 70%RH にしてください。
除電装置 (イオン発生装置) の使用なども必要に応じて検討してください。
2. 使用するコンベア、半田槽、半田ゴテ、および周辺付帯設備は大地に接地してください。
3. 人体の帯電防止のため、指輪または腕輪などから高抵抗 (1 MΩ 程度) で大地に接地したり、導電性の衣服・靴を着用し、床に導電マットを敷くなど帯電電荷を最小限に保つようになしてください。
4. 治具、計器類は、接地または帯電防止化を実施してください。
5. 組立完了基板の収納時、発泡スチロールなどの帯電し易い材料の使用は避けてください。

6.3 使用環境に関する注意事項

半導体デバイスの信頼性は、先に述べました周囲温度とそれ以外の環境条件にも依存します。ご使用にあたっては、以下の点にご注意ください。

1. 湿度環境

高湿度環境下での長期の使用は、デバイス自身だけでなくプリント基板等にもリーク性の不具合が発生する場合があります。高湿度が想定される場合は、防湿処理を施す等の配慮をお願いします。

2. 静電気放電

半導体デバイスの直近に高電圧に帯電したものが存在すると、放電が発生し誤動作の原因となることがあります。このような場合、帯電の防止または放電の防止の処置をお願いします。

3. 腐食性ガス、塵埃、油

腐食性ガス雰囲気中や、塵埃、油等がデバイスに付着した状態で使用すると、化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でご使用の場合は、防止策についてご検討ください。

4. 放射線・宇宙線

一般のデバイスは、設計上、放射線、宇宙線にさらされる環境を想定しておりません。したがって、これらを遮蔽してご使用ください。

5. 発煙・発火

樹脂モールド型のデバイスは、不燃性ではありません。発火物の近くでは、ご使用にならないでください。発煙・発火しますと、その際に毒性を持ったガスが発生する恐れがあります。

その他、特殊な環境下でのご使用をお考えの場合は、営業部門にご相談ください。

7. デバイス使用上の注意

電源端子について

VCC, VSS 端子が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にすべきものどうしを接続してありますが、不要輻射の低減・グラウンドレベルの上昇によるストロブ信号の誤動作の防止・総出力電流規格を遵守などのために、必ずそれらすべてを外部で電源およびグラウンドに接続してください。また、電流供給源からできる限り低インピーダンスで本デバイスの各電源端子と GND 端子に接続してください。

さらに、本デバイスの近くで各電源端子 と GND 端子の間、AVRH 端子と AVRL 端子の間に 0.1 μ F 程度のセラミックコンデンサをバイパスコンデンサとして接続することを推奨します。

電源電圧の安定化について

電源電圧の変動が VCC の推奨動作条件内においても、急激な変化があると誤動作することがあります。安定化の基準として VCC は、商用周波数 (50 Hz~60 Hz) におけるリップル変動(ピークピーク値) を推奨動作条件内の 10%以内にしてください。かつ電源切換えによる瞬間変動の過渡変動率は 0.1V/ μ s 以下にしてください。

水晶発振回路について

X0/X1, X0A/X1A 端子の近辺のノイズは本デバイスの誤動作の原因となります。X0/X1, X0A/X1A 端子および水晶発振子さらにグラウンドへのバイパスコンデンサはできる限り近くに配置するようにプリント板を設計してください。

また、X0/X1, X0A/X1A 端子の周りをグラウンドで囲むようなプリント板アートワークは安定した動作を期待できるため、強く推奨します。

実装基板にて、使用する水晶振動子の発振評価を実施してください。

サブクロック用水晶振動子について

本シリーズのサブクロック発振回路は消費電流を低く抑えた設計を行っており、増幅度が低い回路となっています。安定した発振をさせるためサブクロック用水晶振動子には、以下の条件を満たす水晶振動子の使用を推奨します。

■表面実装タイプ

サイズ: 3.2 mm \times 1.5 mm 以上
負荷容量: 6 pF~7 pF 程度

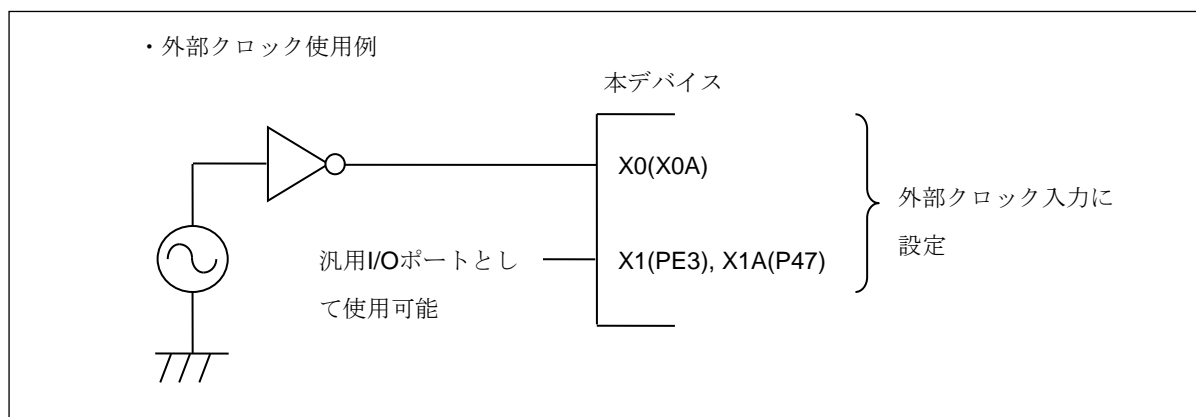
■リードタイプ

負荷容量: 6 pF~7 pF 程度

外部クロック使用時の注意

メインクロックの入力として外部クロックを使用する場合は、X0/X1 端子を外部クロック入力に設定し、X0 端子にクロックを入力してください。X1(PE3)端子は汎用 I/O ポートとして使用できます。

同様にサブクロックの入力として外部クロックを使用する場合は、X0A/X1A 端子を外部クロック入力に設定し、X0A 端子にクロックを入力してください。X1A(P47)端子は汎用 I/O ポートとして使用できます。



マルチファンクションシリアル端子を I²C 端子として使用する場合の扱いについて

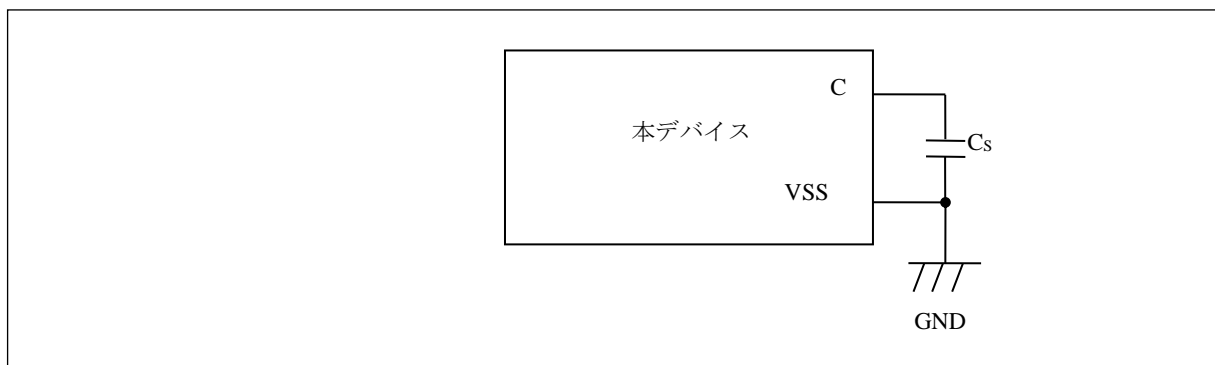
マルチファンクションシリアル端子を I²C 端子として使用する場合、デジタル出力 P-ch トランジスタは常にディセーブルです。しかし、I²C 端子もほかの端子と同様に、デバイスの電気的特性を守り、電源をオフにしたまま外部 I²C バスシステムへ接続してはいけません。

C 端子について

本シリーズはレギュレータを内蔵しています。必ず C 端子と GND 端子の間にレギュレータ用の平滑コンデンサ(C_s)を接続してください。平滑コンデンサにはセラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。

なお、積層セラミックコンデンサは、温度による容量値の変化幅に特性(F 特性, Y5V 特性)を持つものがあります。コンデンサの温度特性を確認し、使用条件において規格値を満たすコンデンサを使用してください。

本シリーズでは 4.7 μF 程度の平滑コンデンサを推奨します。



モード端子(MD0)について

モード端子(MD0)は VCC 端子または VSS 端子に直接接続してください。内蔵フラッシュメモリ書換えなどの目的で、モード端子レベルを変更できるようにプルアップまたはプルダウンをする場合には、ノイズによりデバイスが意図せずテストモードに入るのを防止するため、プルアップまたはプルダウンに使用する抵抗値はできるだけ低く抑えると共に、モード端子から VCC 端子または VSS 端子への距離を最小にし、できるだけ低インピーダンスで接続するようにプリント基板を設計してください。

電源投入時について

電源を投入/切断する際は同時か、あるいは次の順番で投入/切断を行ってください。

投入時: VCC → AVRH

切断時: AVRH → VCC

シリアル通信について

シリアル通信においては、ノイズなどにより間違っただータを受信する可能性があります。そのため、ノイズを抑えるボードの設計をしてください。

また、万が一ノイズなどの影響により誤ったデータを受信した場合を考慮し、最後にデータのチェックサムなどを付加してエラー検出を行ってください。エラーが検出された場合には、再送を行うなどの処理をしてください。

メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品の特性差について

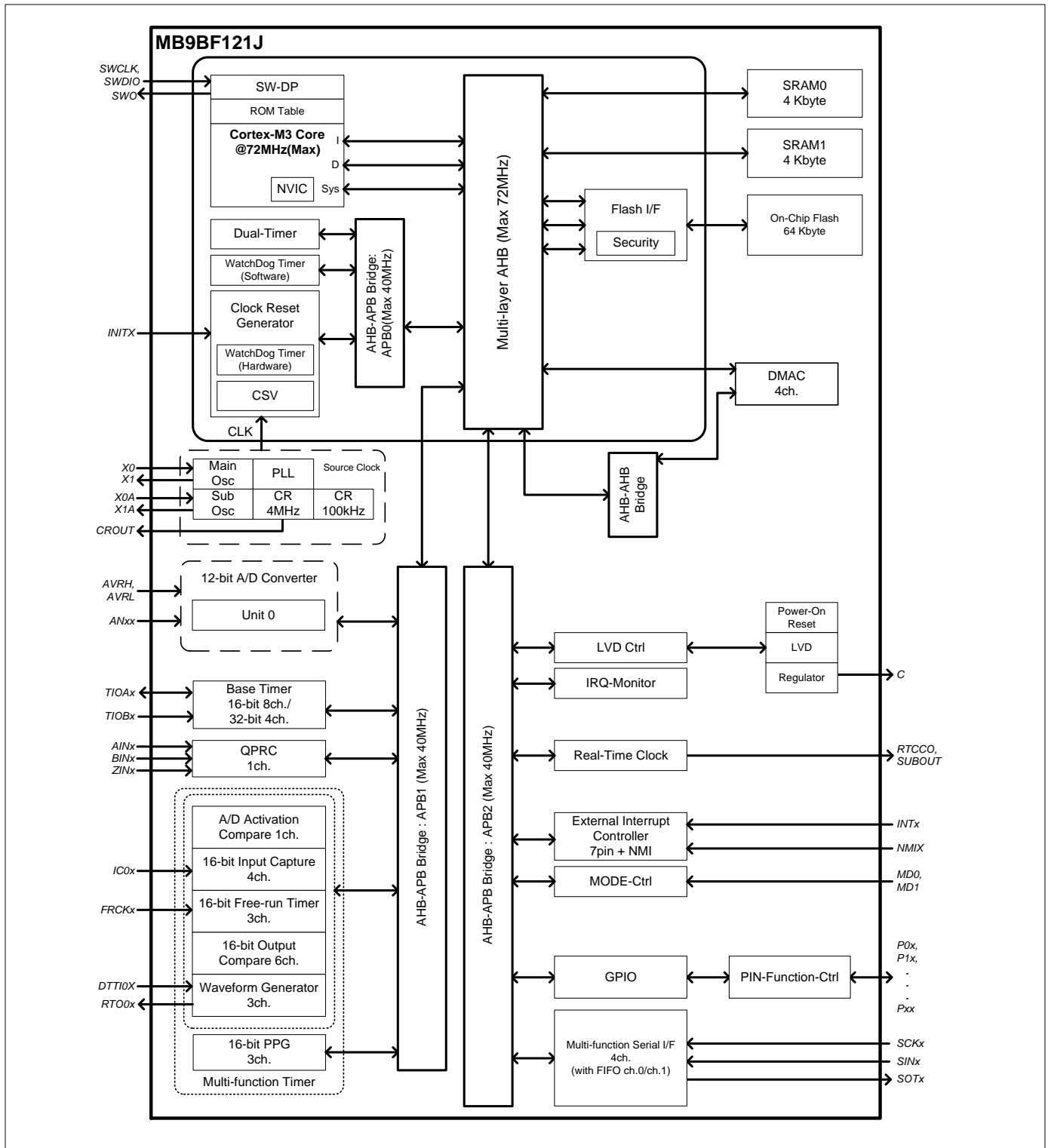
メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品ではチップレイアウトやメモリ構造の違いにより消費電流や ESD, ラッチアップ, ノイズ特性, 発振特性等を含めた電気的特性が異なります。

お客様にて同一シリーズの別製品に切り換えて使用する際は、電気的特性の評価を行ってください。

5V トレラント I/O のプルアップ機能について

5V トレラント I/O のプルアップ機能使用時は VCC 電圧以上の信号を入力してはいけません。

8. ブロックダイアグラム

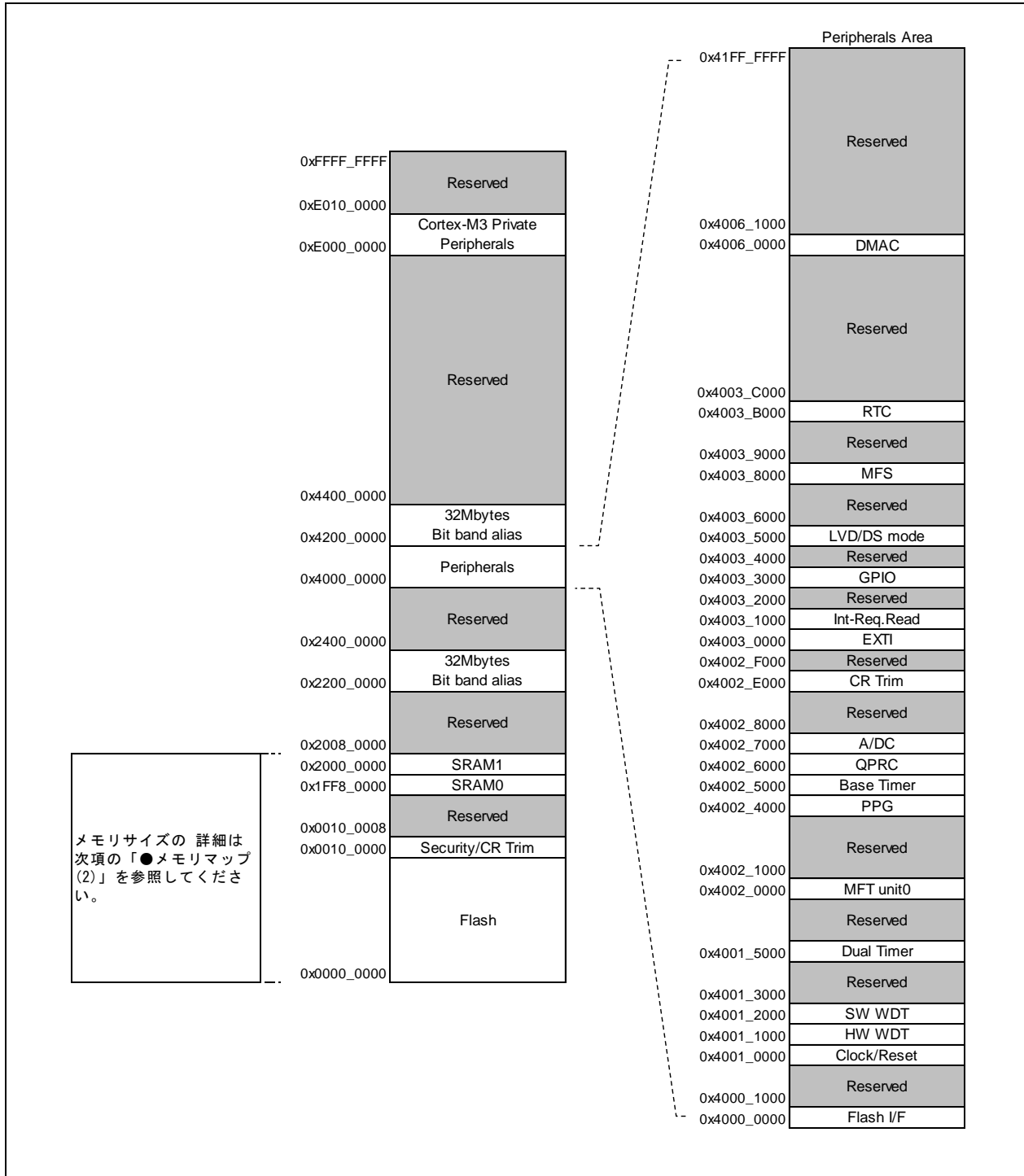


9. メモリサイズ

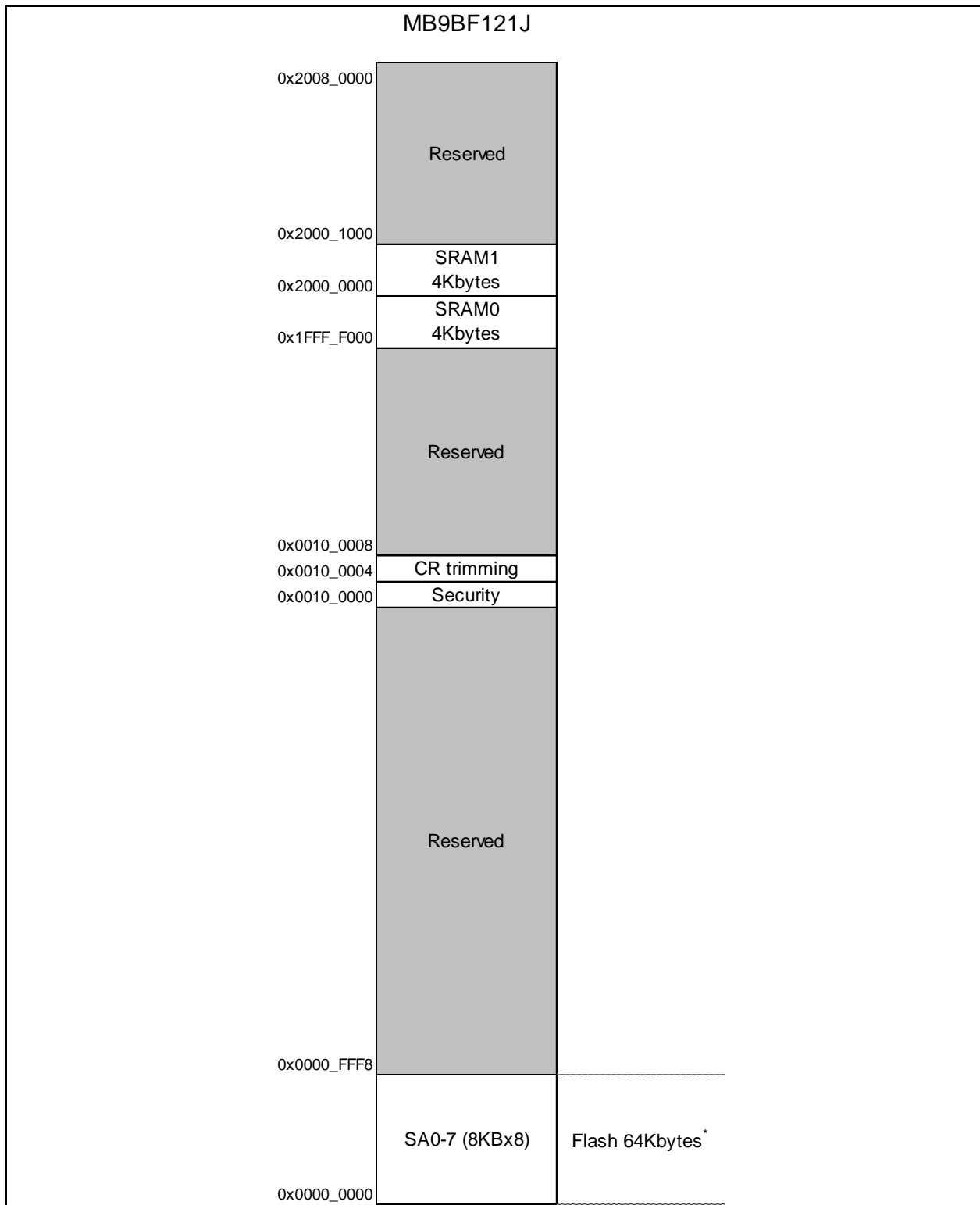
メモリサイズについては、「1. 品種構成」の「メモリサイズ」を参照してください。

10. メモリマップ

メモリマップ (1)



メモリマップ (2)



*: フラッシュメモリの詳細は『MB9A420L/120L/MB9B120J シリーズ フラッシュプログラミングマニュアル』を参照してください。

ペリフェラル・アドレスマップ

スタート アドレス	エンド アドレス	バス	周辺機能
0x4000_0000	0x4000_0FFF	AHB	フラッシュメモリ I/F レジスタ
0x4000_1000	0x4000_FFFF		予約
0x4001_0000	0x4001_0FFF	APB0	クロック・リセット制御
0x4001_1000	0x4001_1FFF		ハードウェアウォッチドッグタイマ
0x4001_2000	0x4001_2FFF		ソフトウェアウォッチドッグタイマ
0x4001_3000	0x4001_4FFF		予約
0x4001_5000	0x4001_5FFF		デュアルタイマ
0x4001_6000	0x4001_FFFF		予約
0x4002_0000	0x4002_0FFF		APB1
0x4002_1000	0x4002_3FFF	予約	
0x4002_4000	0x4002_4FFF	PPG	
0x4002_5000	0x4002_5FFF	ベースタイマ	
0x4002_6000	0x4002_6FFF	クアッドカウンタ(QPRC)	
0x4002_7000	0x4002_7FFF	A/D コンバータ	
0x4002_8000	0x4002_DFFF	予約	
0x4002_E000	0x4002_EFFF	内蔵 CR トリミング	
0x4002_F000	0x4002_FFFF	予約	
0x4003_0000	0x4003_0FFF	APB2	
0x4003_1000	0x4003_1FFF		割込み要因確認レジスタ
0x4003_2000	0x4003_2FFF		予約
0x4003_3000	0x4003_3FFF		GPIO
0x4003_4000	0x4003_4FFF		予約
0x4003_5000	0x4003_57FF		低電圧検出
0x4003_5800	0x4003_7FFF		予約
0x4003_8000	0x4003_8FFF		マルチファンクションシリアル
0x4003_9000	0x4003_AFFF		予約
0x4003_B000	0x4003_BFFF		RTC
0x4003_C000	0x4003_FFFF		予約
0x4004_0000	0x4005_FFFF		AHB
0x4006_0000	0x4006_0FFF	DMAC レジスタ	
0x4006_1000	0x41FF_FFFF	予約	

11. 各 CPU ステートにおける端子状態

端子の状態として使用している語句は、以下の意味を持ちます。

■ INITX=0

INITX 端子が "L" レベルの期間です。

■ INITX=1

INITX 端子が "H" レベルの期間です。

■ SPL=0

スタンバイモードコントロールレジスタ (STB_CTL) のスタンバイ端子レベル設定ビット (SPL) が "0" に設定された状態です。

■ SPL=1

スタンバイモードコントロールレジスタ (STB_CTL) のスタンバイ端子レベル設定ビット (SPL) が "1" に設定された状態です。

■ 入力可

入力機能が使用可能な状態です。

■ 内部入力 "0" 固定

入力機能が使用できない状態です。内部入力は "L" に固定されます。

■ Hi-Z

端子駆動用トランジスタを駆動禁止状態にし、端子を Hi-Z にします。

■ 設定不可

設定できません。

■ 直前状態保持

本モードに遷移する直前の状態を保持します。
内蔵されている周辺機能が動作中であれば、その周辺機能に従います。
ポートとして使用している場合は、その状態を保持します。

■ アナログ入力可

アナログ入力が許可されています。

端子状態一覧表

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード、RTCモードまたはストップモード状態	
		電源不安定	電源安定		電源安定	電源安定	
		-	INITX=0	INITX=1	INITX=1	INITX=1	
		-	-	-	-	SPL=0	SPL=1
A	GPIO選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0"固定
	メイン水晶発振入力端子/ 外部メインクロック入力選択時	入力可	入力可	入力可	入力可	入力可	入力可
B	GPIO選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0"固定
	外部メインクロック入力選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0"固定
	メイン水晶発振出力端子	Hi-Z/ 内部入力"0"固定 または 入力可	Hi-Z/ 内部入力"0"固定	Hi-Z/ 内部入力"0"固定	直前状態保持/ 発振停止時 *1は Hi-Z/ 内部入力"0" 固定	直前状態保持/ 発振停止時 *1は Hi-Z/ 内部入力 "0"固定	直前状態保持/ 発振停止時*1 は Hi-Z/ 内部入力"0"固定
C	INITX入力端子	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可
D	モード入力端子	入力可	入力可	入力可	入力可	入力可	入力可
E	モード入力端子	入力可	入力可	入力可	入力可	入力可	入力可
	GPIO選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 入力可
F	GPIO選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0"固定
	外部割込み許可選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持
	サブ水晶発振入力端子/ 外部サブクロック入力選択時	入力可	入力可	入力可	入力可	入力可	入力可

端子状態形式	グループ機能名	パワーオンリセット または 低電圧検出 状態	INITX 入力状態	デバイス内部 リセット状態	ランモード または スリープ モード状態	タイマモード, RTCモード または ストップモード状態	
		電源不安定	電源安定		電源安定	電源安定	
		-	INITX=0	INITX=1	INITX=1	INITX=1	
		-	-	-	-	SPL=0	SPL=1
G	GPIO選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0"固定
	外部サブクロック 入力選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0"固定
	サブ水晶 発振出力端子	Hi-Z/ 内部入力"0" 固定 または 入力可	Hi-Z/ 内部入力"0"固定	Hi-Z/ 内部入力"0"固定	直前状態保持	直前状態保持/ 発振 停止時*2は Hi-Z/ 内部入力 "0"固定	直前状態保持/ 発振 停止時*2は Hi-Z/ 内部入力"0"固定
H	NMIX選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持
	上記以外の リソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入力"0"固定
	GPIO選択時						Hi-Z/ 内部入力"0"固定
I	シリアルワイヤ デバッグ選択時	Hi-Z	プルアップ/ 入力可	プルアップ/ 入力可	直前状態保持	直前状態保持	直前状態保持
	GPIO選択時	設定不可	設定不可	設定不可			Hi-Z/ 内部入力"0"固定
J	リソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0"固定
	GPIO選択時						Hi-Z/ 内部入力"0"固定
K	外部割込み 許可選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持
	上記以外の リソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入力"0"固定
	GPIO選択時						Hi-Z/ 内部入力"0"固定
L	アナログ入力選択 時	Hi-Z	Hi-Z/ 内部入力"0"固定/ アナログ入力 可	Hi-Z/ 内部入力"0"固定/ アナログ入力 可	Hi-Z/ 内部入力"0" 固定/ アナログ入 力可	Hi-Z/ 内部入力 "0"固定/ アナログ入 力可	Hi-Z/ 内部入力"0"固定/ アナログ入力 可
	上記以外の リソース選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0"固定
	GPIO選択時						Hi-Z/ 内部入力"0"固定

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード, RTCモードまたはストップモード状態	
		電源不安定	電源安定		電源安定	電源安定	
		-	INITX=0	INITX=1	INITX=1	INITX=1	
		-	-	-	-	SPL=0	SPL=1
M	アナログ入力選択時	Hi-Z	Hi-Z/ 内部入力"0"固定/ アナログ入力可	Hi-Z/ 内部入力"0"固定/ アナログ入力可	Hi-Z/ 内部入力"0"固定/ アナログ入力可	Hi-Z/ 内部入力"0"固定/ アナログ入力可	Hi-Z/ 内部入力"0"固定/ アナログ入力可
	外部割込み許可選択時						直前状態保持
	上記以外のリソース選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力"0"固定
	GPIO選択時						

*1: サブタイマモード, 低速 CR タイマモード, ストップモード, RTC モードは発振が停止します。

*2: ストップモードは発振が停止します。

12. 電氣的特性

12.1 絶対最大定格

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧*1.*2	V _{CC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
アナログ基準電圧*1.*3	AVRH	V _{SS} - 0.5	V _{SS} + 6.5	V	
入力電圧*1	V _I	V _{SS} - 0.5	V _{CC} + 0.5 (≦6.5 V)	V	
		V _{SS} - 0.5	V _{SS} + 6.5	V	5 V トレラント
アナログ端子入力電圧*1	V _{IA}	V _{SS} - 0.5	V _{CC} + 0.5 (≦6.5 V)	V	
出力電圧*1	V _O	V _{SS} - 0.5	V _{CC} + 0.5 (≦6.5 V)	V	
最大クランプ電流	I _{CLAMP}	-2	+2	mA	*7
最大総クランプ電流	∑[I _{CLAMP}]		+20	mA	*7
"L"レベル最大出力電流*4	I _{OL}	-	10	mA	4 mA タイプ
		-	20	mA	12 mA タイプ
"L"レベル平均出力電流*5	I _{OLAV}	-	4	mA	4 mA タイプ
		-	12	mA	12 mA タイプ
"L"レベル最大総出力電流	∑I _{OL}	-	100	mA	
"L"レベル平均総出力電流*6	∑I _{OLAV}	-	50	mA	
"H"レベル最大出力電流*4	I _{OH}	-	- 10	mA	4 mA タイプ
		-	- 20	mA	12 mA タイプ
		-	- 4	mA	4 mA タイプ
"H"レベル平均出力電流*5	I _{OHAV}	-	- 12	mA	12 mA タイプ
		-	- 100	mA	
"H"レベル最大総出力電流	∑I _{OH}	-	- 100	mA	
"H"レベル平均総出力電流*6	∑I _{OHAV}	-	- 50	mA	
消費電力	P _D	-	350	mW	
保存温度	T _{STG}	- 55	+ 150	°C	

*1: V_{SS} = 0 V を基準にした値です。

*2: V_{CC} は V_{SS} - 0.5 V より低くならないでください。

*3: 電源投入時など V_{CC} + 0.5 V を超えてはいけません。

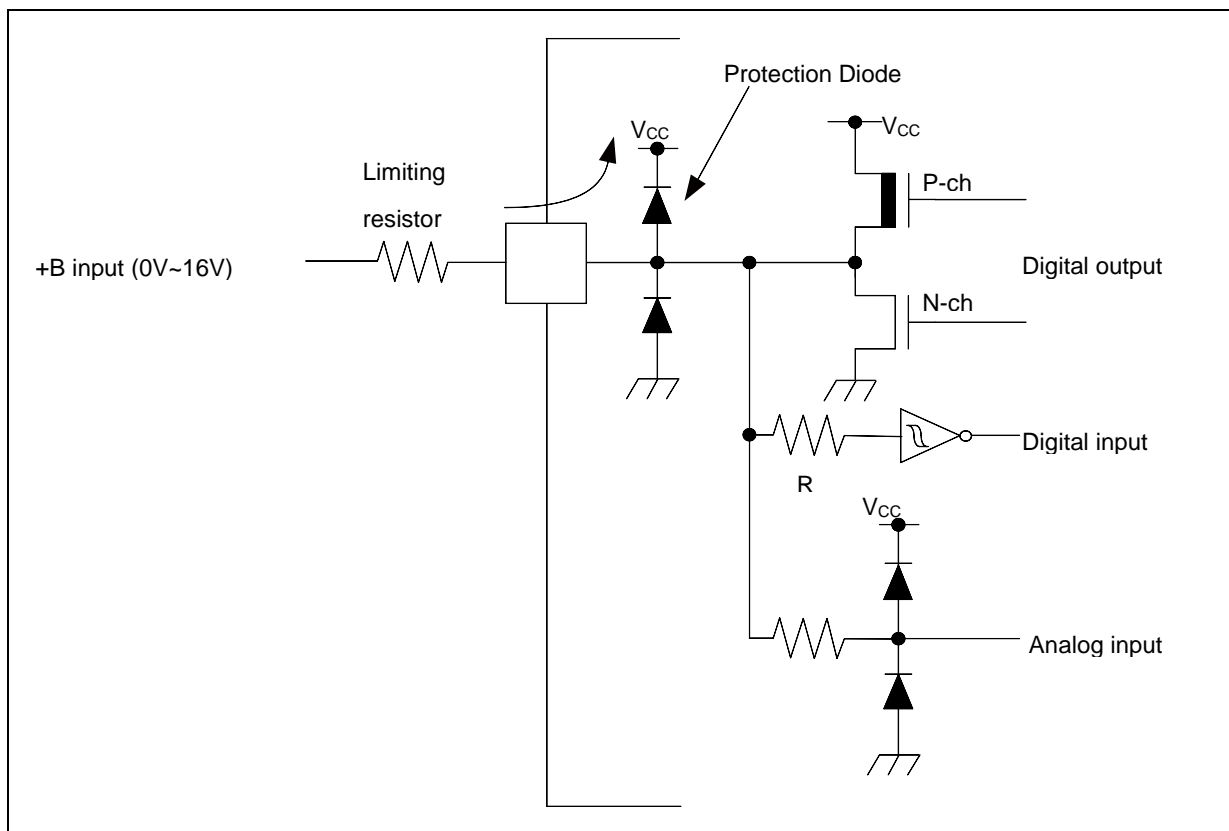
*4: 最大出力電流は、該当する端子 1 本のピーク値を規定します。

*5: 平均出力電流は、該当する端子 1 本に流れる電流の 100 ms の期間内での平均電流を規定します。

*6: 平均総出力電流は、該当する端子すべてに流れる電流の 100 ms の期間内での平均電流を規定します。

*7

- ・ 該当端子については、「4. 端子機能一覧」、「5. 入出力回路形式」を参照してください。
- ・ 推奨動作条件内でご使用ください。
- ・ +B 入力には直流電圧(電流)でご使用ください。
- ・ +B 信号と本デバイスの間には、必ず電流制限抵抗を接続し+B 信号を印加してください。
- ・ +B 入力を行うとき、本デバイスの端子に入力される電流が、瞬時/定常を問わず規格値以下になるように電流制限抵抗の値を設定してください。
- ・ 低消費電力モードなど本デバイスの駆動電流が少ない動作モードでは、+B 入力電位が保護ダイオードを通して V_{CC} 端子の電位を上昇させ、本デバイスや他の機器へ影響を及ぼすことがあります。そのため+B 入力時には V_{CC} の電位が推奨動作条件を超えないようにしてください。
- ・ 本デバイスの電源が OFF 時(0 V に固定していない場合)、または電源投入時に+B 入力を行っている場合は、端子から電源が供給されているため、パワーオンリセットが正常に動作せず不完全な動作を行うことがあります。
- ・ 推奨回路例(入出力等価回路)を下記に示します。


<注意事項>

- 絶対最大定格を超えるストレス（電圧、電流、温度など）の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

12.2 推奨動作条件

 (V_{SS} = AVRL = 0.0V)

項目	記号	条件	規格値		単位	備考	
			最小	最大			
電源電圧	V _{CC}	-	2.7	5.5	V		
アナログ基準電圧	AVRH	-	2.7	V _{CC}	V		
	AVRL	-	V _{SS}	V _{SS}	V		
平滑コンデンサ容量	C _S	-	1	10	μF	レギュレータ用*	
動作温度	LQB032, WNU032	T _A	4層基板実装時	- 40	+ 105	°C	
			単層両面基板実装時	- 40	+ 85	°C	

*1: 平滑コンデンサの接続方法は、「7. デバイス使用上の注意」の「C 端子について」を参照してください。

*2: 電源電圧が最小値未満かつ低電圧リセット/割込み検出電圧以上の間は、内蔵高速 CR クロック(メイン PLL 使用含む)または内蔵低速 CR クロックでの命令実行と低電圧検出のみ動作可能です。

<注意事項>

- 推奨動作条件は、半導体デバイスの正常な動作を確保するための条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

12.3 直流規格
12.3.1 電流規格

 (V_{CC} = 2.7V~5.5V, V_{SS} = AVRL = 0V, T_A = -40°C~+105°C)

項目	記号	端子名	条件	規格値		単位	備考	
				標準*3	最大*4			
ラン モード 電流	I _{CC}	VCC	PLL ランモード	CPU: 72 MHz, 周辺: 36 MHz フラッシュ実行	27	35	mA	*1, *5
				CPU: 72 MHz, 周辺: クロック停止 フラッシュ実行, NOP 動作	18	22	mA	*1, *5
				CPU: 72 MHz, 周辺: 36 MHz RAM 実行	23	29	mA	*1, *5
			高速 CR ランモード	CPU/周辺: 4 MHz*2 フラッシュ実行	2.2	3.1	mA	*1
			サブ ランモード	CPU/周辺: 32 kHz フラッシュ実行	73	910	μA	*1, *6
			低速 CR ランモード	CPU/周辺: 100 kHz フラッシュ実行	105	930	μA	*1
スリープ モード 電流	I _{CCS}		PLL スリープモード	周辺: 36 MHz	17	20	mA	*1, *5
			高速 CR スリープモード	周辺: 4 MHz*2	1.3	2.2	mA	*1
			サブ スリープモード	周辺: 32 kHz	64	890	μA	*1, *6
			低速 CR スリープモード	周辺: 100 kHz	80	910	μA	*1

*1: 全ポート固定時

*2: トリミングにて 4 MHz に設定した場合

 *3: T_A=+25°C, V_{CC}=5.5 V

 *4: T_A=+105°C, V_{CC}=5.5 V

*5: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

*6: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

$(V_{CC} = 2.7V \sim 5.5V, V_{SS} = AVRL = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件	規格値		単位	備考	
				標準*2	最大*2			
タイマモード電流	I _{CC} T	VCC	メインタイマモード	T _A = +25°C, LVD off 時	3.5	4.1	mA	*1, *3
				T _A = +105°C, LVD off 時	-	4.6	mA	*1, *3
			サブタイマモード	T _A = +25°C, LVD off 時	15	45	μA	*1, *4
				T _A = +105°C, LVD off 時	-	740	μA	*1, *4
RTCモード電流	I _{CC} R		RTCモード (サブ発振)	T _A = +25°C, LVD off 時	13	39	μA	*1, *4
				T _A = +105°C, LVD off 時	-	580	μA	*1, *4
ストップモード電流	I _{CC} H		ストップモード	T _A = +25°C, LVD off 時	12	33	μA	*1
				T _A = +105°C, LVD off 時	-	550	μA	*1

*1: 全ポート固定時

*2: V_{CC}=5.5 V

*3: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

*4: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

LVD 電流

 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = AVRL = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
低電圧検出回路 (LVD) 電源電流	I _{CC} LVD	VCC	リセット発生用動作時	0.13	0.3	μA	未検出時リセット発生用
			割込み発生用動作時	0.13	0.3	μA	未検出時割込み発生用

フラッシュメモリ電流

 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = AVRL = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
フラッシュメモリ 書込み/消去電流	I _{CC} FLASH	VCC	書込み/消去時	9.5	11.2	mA	

A/D コンバータ電流

 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = AVRL = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
電源電流	I _{CC} AD	VCC	A/D 動作時	0.7	0.9	mA	
基準電源電流	I _{CC} AVRH	AVRH	A/D 動作時 AVRH=5.5 V	1.1	1.97	mA	
			A/D 停止時 AVRH=5.5 V	0.1	1.7	μA	

12.3.2 端子特性

 (V_{CC} = 2.7V~5.5V, V_{SS} = AVRL = 0V, T_A = - 40°C~+ 105°C)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
"H"レベル 入力電圧 (ヒステリシス入力)	V _{IHS}	CMOS ヒステリシス入 力端子, MD0, MD1	-	V _{CC} ×0.8	-	V _{CC} + 0.3	V	
		5V トレラント 入力端子	-	V _{CC} ×0.8	-	V _{SS} + 5.5	V	
"L"レベル 入力電圧 (ヒステリシス入力)	V _{ILS}	CMOS ヒステリシス入 力端子, MD0, MD1	-	V _{SS} - 0.3	-	V _{CC} ×0.2	V	
		5V トレラント 入力端子	-	V _{SS} - 0.3	-	V _{CC} ×0.2	V	
"H"レベル 出力電圧	V _{OH}	4mA タイプ	V _{CC} ≥ 4.5 V, I _{OH} = - 4 mA	V _{CC} - 0.5	-	V _{CC}	V	
			V _{CC} < 4.5 V, I _{OH} = - 2 mA					
		12mA タイプ	V _{CC} ≥ 4.5 V, I _{OH} = - 12 mA	V _{CC} - 0.5	-	V _{CC}	V	
			V _{CC} < 4.5 V, I _{OH} = - 8 mA					
"L"レベル 出力電圧	V _{OL}	4mA タイプ	V _{CC} ≥ 4.5 V, I _{OL} = 4 mA	V _{SS}	-	0.4	V	
			V _{CC} < 4.5 V, I _{OL} = 2 mA					
		12mA タイプ	V _{CC} ≥ 4.5 V, I _{OL} = 12 mA	V _{SS}	-	0.4	V	
			V _{CC} < 4.5 V, I _{OL} = 8 mA					
入力リーク 電流	I _{IL}	-	-	- 5	-	+ 5	μA	
プルアップ 抵抗値	R _{PU}	プルアップ 端子	V _{CC} ≥ 4.5 V	33	50	90	kΩ	
			V _{CC} < 4.5 V	-	-	180		
入力容量	C _{IN}	V _{CC} , V _{SS} , AVRH, AVRL 以外	-	-	5	15	pF	

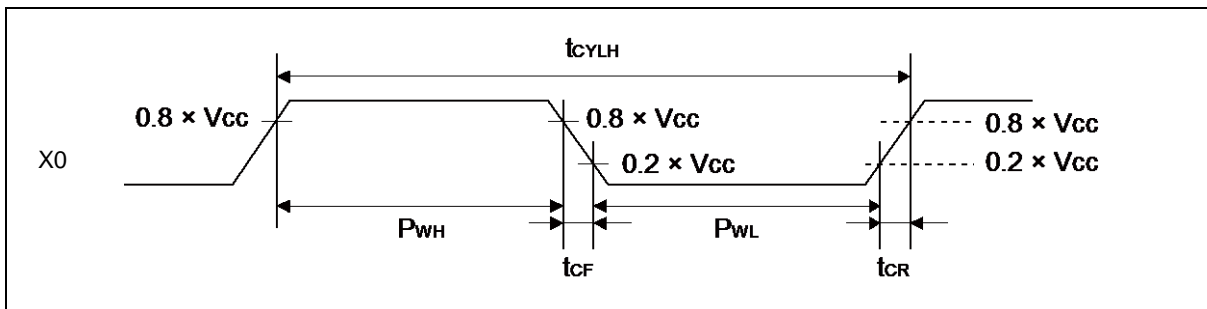
12.4 交流規格
12.4.1 メインクロック入力規格

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V, T_A = -40°C~+105°C)

項目	記号	端子名	条件	規格値		単位	備考	
				最小	最大			
入力周波数	f _{CH}	X0, X1	V _{CC} ≥ 4.5V	4	48	MHz	水晶発振子接続時	
			V _{CC} < 4.5V	4	20			
			-	4	48	MHz	外部クロック時	
入力クロック周期	t _{CY LH}		-	20.83	250	ns	外部クロック時	
入力クロックパルス幅	-		-	PWH/t _{CY LH} , PWL/t _{CY LH}	45	55	%	外部クロック時
入力クロック立上り, 立下り時間	t _{CF} , t _{CR}		-	-	-	5	ns	外部クロック時
内部動作クロック*1 周波数	f _{CM}	-	-	-	72	MHz	マスタクロック	
	f _{CC}	-	-	-	72	MHz	ベースクロック (HCLK/FCLK)	
	f _{CP0}	-	-	-	40	MHz	APB0 バスクロック*2	
	f _{CP1}	-	-	-	40	MHz	APB1 バスクロック*2	
	f _{CP2}	-	-	-	40	MHz	APB2 バスクロック*2	
内部動作クロック*1 サイクル時間	t _{CYCC}	-	-	13.8	-	ns	ベースクロック (HCLK/FCLK)	
	t _{CYCP0}	-	-	25	-	ns	APB0 バスクロック*2	
	t _{CYCP1}	-	-	25	-	ns	APB1 バスクロック*2	
	t _{CYCP2}	-	-	25	-	ns	APB2 バスクロック*2	

*1: 各内部動作クロックの詳細については、『FM3 ファミリー ペリフェラルマニュアル』の『CHAPTER 2-1:クロック』を参照してください。

*2: 各ペリフェラルが接続されている APB バスについては「8. ブロックダイアグラム」を参照してください。

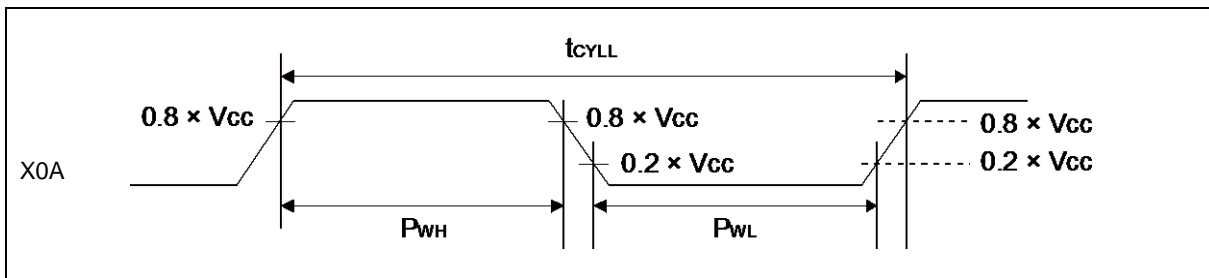


12.4.2 サブクロック入力規格

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V, T_A = -40°C~+105°C)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
入力周波数	f _{CL}	X0A, X1A	-	-	32.768	-	kHz	水晶発振接続時*
			-	32	-	100	kHz	外部クロック時
入力クロック周期	t _{CYLL}		-	10	-	31.25	μs	外部クロック時
入力クロックパルス幅	-		P _{WH} /t _{CYLL} , P _{WL} /t _{CYLL}	45	-	55	%	外部クロック時

*: ご使用する水晶振動子については、「7. デバイス使用上の注意」の「サブクロック用水晶振動子について」を参照してください。



12.4.3 内蔵 CR 発振規格
内蔵高速 CR
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	f _{CRH}	T _A = +25°C, 3.6 V < V _{CC} ≤ 5.5 V	3.92	4	4.08	MHz	トリミング時*1
		T _A = 0°C ~ +85°C, 3.6 V < V _{CC} ≤ 5.5 V	3.9	4	4.1		
		T _A = -40°C ~ +105°C, 3.6 V < V _{CC} ≤ 5.5 V	3.88	4	4.12		
		T _A = +25°C, 2.7 V ≤ V _{CC} ≤ 3.6 V	3.94	4	4.06		
		T _A = -20°C ~ +85°C, 2.7 V ≤ V _{CC} ≤ 3.6 V	3.92	4	4.08		
		T _A = -20°C ~ +105°C, 2.7 V ≤ V _{CC} ≤ 3.6 V	3.9	4	4.1		
		T _A = -40°C ~ +105°C, 2.7 V ≤ V _{CC} ≤ 3.6 V	3.88	4	4.12		
		T _A = -40°C ~ +105°C	2.8	4	5.2		非トリミング時
周波数安定時間	t _{CRWT}	-	-	-	30	μs	*2

*1: 出荷時に設定されるフラッシュメモリ内の CR トリミング領域の値を周波数トリミング値/温度トリミング値に使用した場合

*2: トリミング値設定後に高速 CR クロックの周波数が安定するまでの時間です。なおトリミング値設定後、周波数安定時間が経過する期間も高速 CR クロックをソースクロックとして使用できます。

内蔵低速 CR
 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +105^{\circ}C)$

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	f _{CRL}	-	50	100	150	kHz	

12.4.4 メイン PLL の使用条件(PLL の入力クロックにメインクロックを使用)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 105°C)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間*1 (LOCK UP 時間)	t _{LOCK}	100	-	-	μs	
PLL 入力クロック周波数	f _{PLLI}	4	-	16	MHz	
PLL 通倍率	-	5	-	37	通倍	
PLL マクロ発振クロック周波数	f _{PLLO}	75	-	150	MHz	
メイン PLL クロック周波数*2	f _{CLKPLL}	-	-	72	MHz	

*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック (CLKPLL) の詳細については、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 2-1:クロック』を参照してください。

12.4.5 メイン PLL の使用条件(メイン PLL の入力クロックに内蔵高速 CR クロックを使用)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 105°C)

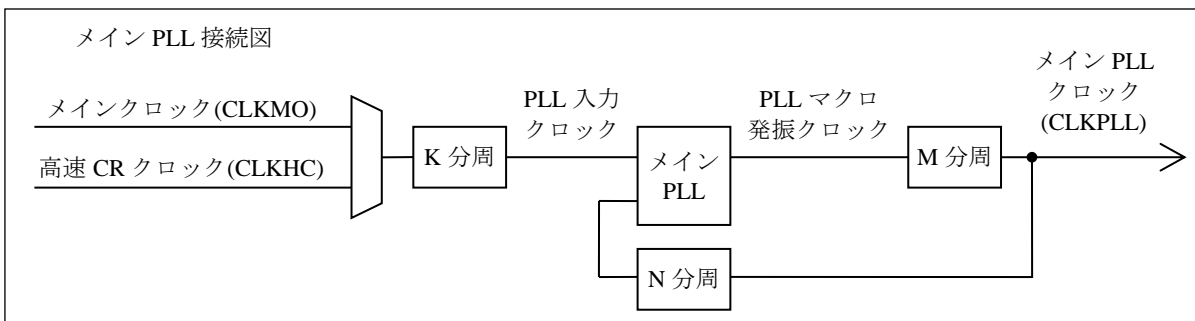
項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間*1 (LOCK UP 時間)	t _{LOCK}	100	-	-	μs	
PLL 入力クロック周波数	f _{PLLI}	3.8	4	4.2	MHz	
PLL 通倍率	-	19	-	35	通倍	
PLL マクロ発振クロック周波数	f _{PLLO}	72	-	150	MHz	
メイン PLL クロック周波数*2	f _{CLKPLL}	-	-	72	MHz	

*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック (CLKPLL) の詳細については、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 2-1:クロック』を参照してください。

<注意事項>

- メイン PLL のソースクロックには、必ず周波数トリミングを行った高速 CR クロック (CLKHC) を入力してください。
PLL 通倍後、内蔵高速 CR クロックの精度を加味した上で、マスタクロック周波数上限を超えないようにしてください。



12.4.6 リセット入力規格

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
リセット入力時間	t_{INITX}	INITX	-	500	-	ns	

12.4.7 パワーオンリセットタイミング

($V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

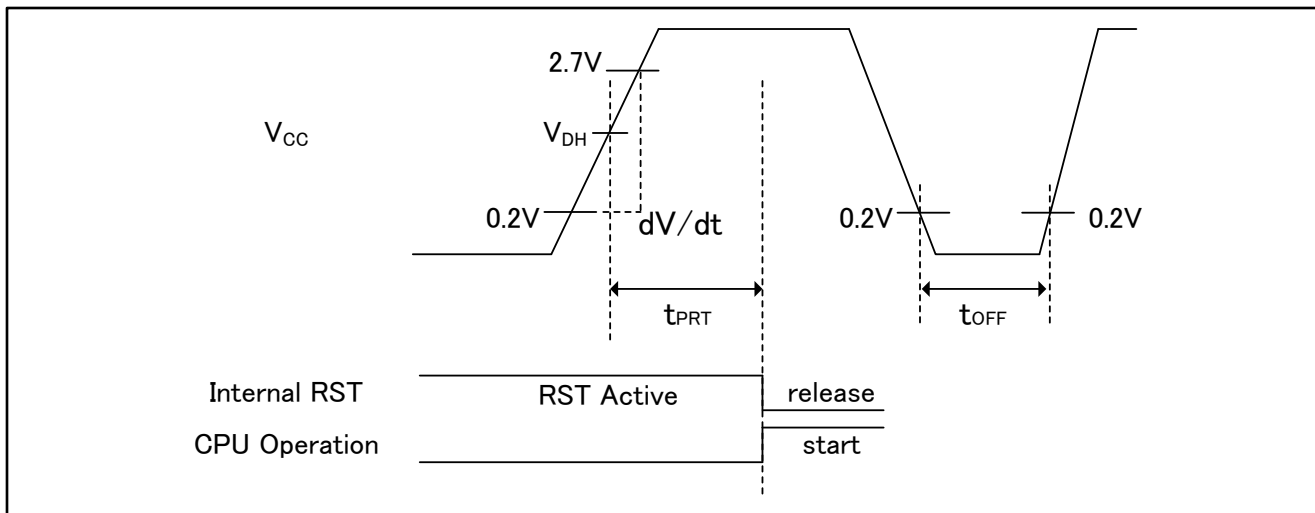
項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源断時間	t_{OFF}	VCC	-	1	-	-	ms	*1
電源立上り速度	dV/dt		$V_{CC}: 0.2V \sim 2.7V$	1.2	-	1000	mV/ μ s	*2
パワーオンリセット解除までの時間	t_{PRT}		-	0.34	-	3.15	ms	

*1: V_{CC} は t_{OFF} 最小期間中 $0.2V$ 以下である必要があります。この状態が満たせない場合、誤った初期化が発生する可能性があります。

*2: この dV/dt 規格は cold start ($t_{OFF} > 1ms$) のパワーオン時に適用されます。

<注意事項>

- もし t_{OFF} が満たせない場合は、起動時および電圧降下発生時に 12.4.6. に従い外部リセット(INITX)を入れて下さい。



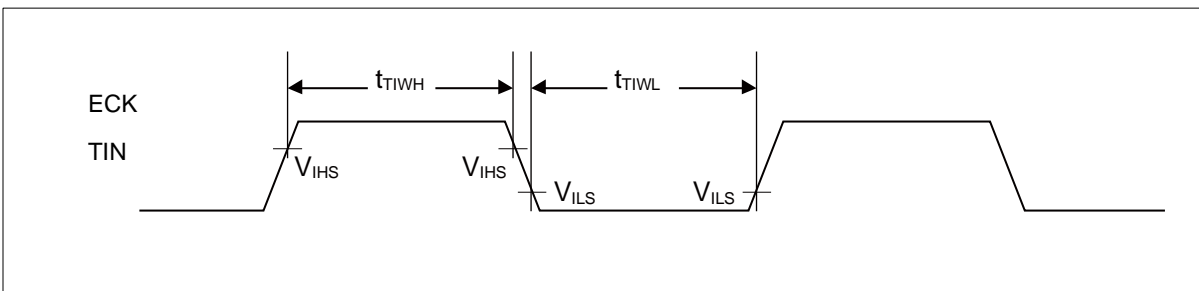
用語

- V_{DH} : 低電圧検出リセット解除電圧、12.6 低電圧検出特性ご参照ください。

12.4.8 ベースタイマ入力タイミング
タイマ入力タイミング

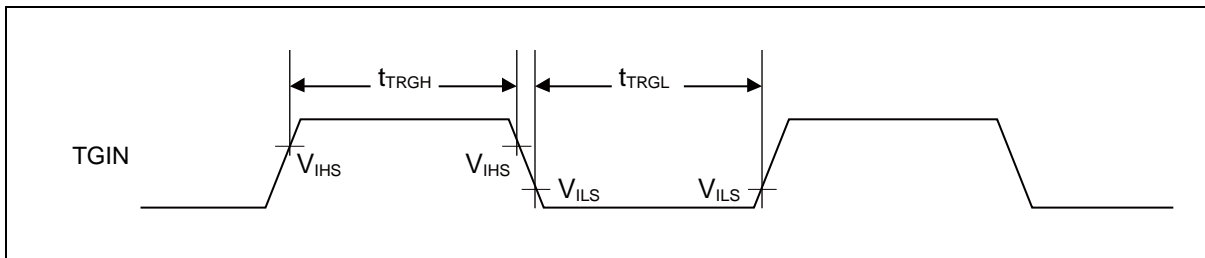
 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V, T_A = - 40°C~+ 105°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t _{TIWH} , t _{TIWL}	TIOAn/TIOBn (ECK, TIN として 使用するとき)	-	2t _{CYCP}	-	ns	


トリガ入力タイミング

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V, T_A = - 40°C~+ 105°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t _{TRGH} , t _{TRGL}	TIOAn/TIOBn (TGIN として 使用するとき)	-	2t _{CYCP}	-	ns	


<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
ベースタイマが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。

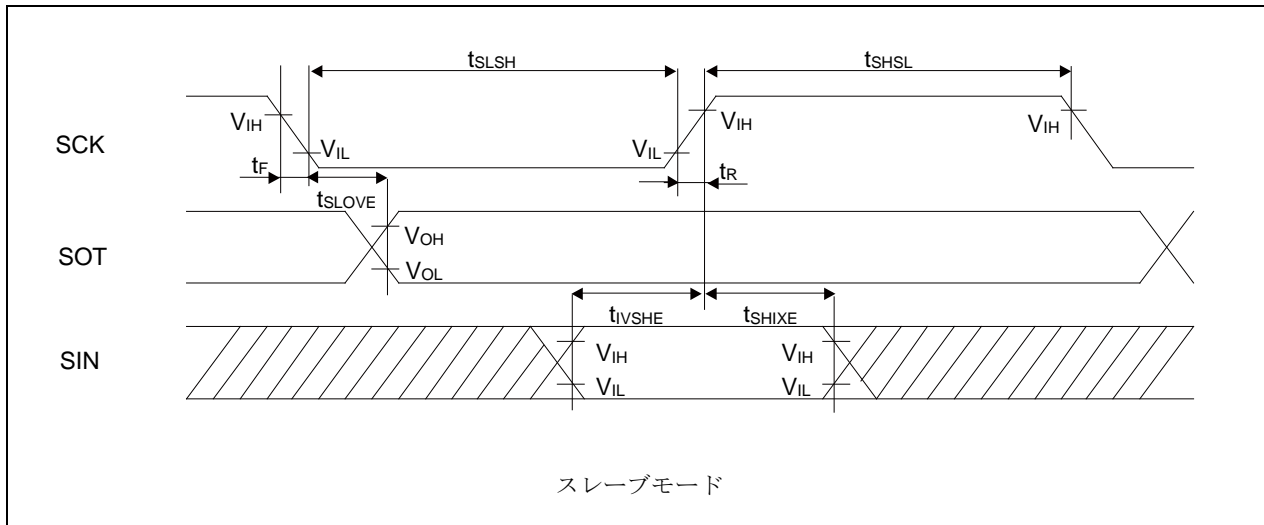
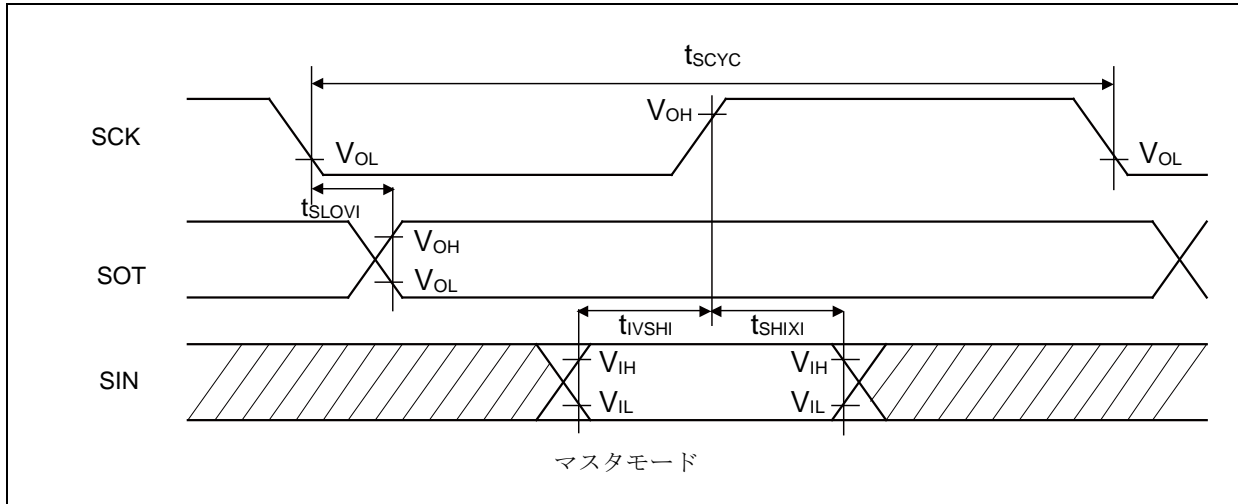
12.4.9 CSIO/UART タイミング
CSIO (SPI = 0, SCINV = 0)

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V, T_A = -40°C~+105°C)

項目	記号	端子名	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t _{SCYC}	SCK _x	マスタ モード	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↓ → SOT 遅延時間	t _{SLOVI}	SCK _x , SOT _x		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↑ セットアップ時間	t _{IVSHI}	SCK _x , SIN _x		50	-	30	-	ns
SCK ↑ → SIN ホールド時間	t _{SHIXI}	SCK _x , SIN _x		0	-	0	-	ns
シリアルクロック "L"パルス幅	t _{LSH}	SCK _x	スレーブ モード	2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック "H"パルス幅	t _{HSL}	SCK _x		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↓ → SOT 遅延時間	t _{SLOVE}	SCK _x , SOT _x		-	50	-	30	ns
SIN → SCK ↑ セットアップ時間	t _{IVSHE}	SCK _x , SIN _x		10	-	10	-	ns
SCK ↑ → SIN ホールド時間	t _{SHIXE}	SCK _x , SIN _x		20	-	20	-	ns
SCK 立下り時間	t _F	SCK _x		-	5	-	5	ns
SCK 立上り時間	t _R	SCK _x		-	5	-	5	ns

<注意事項>

- クロック同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。マルチファンクションシリアルが接続されている APB バス番号については「8.ブロックダイヤグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{x_0}, SOT_{x_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF 時



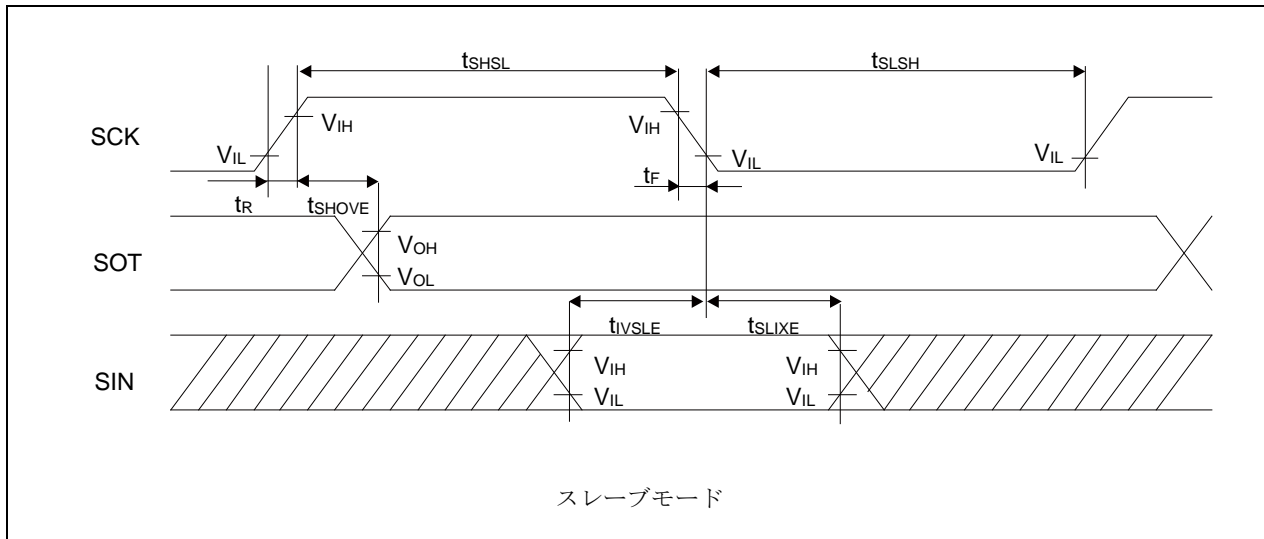
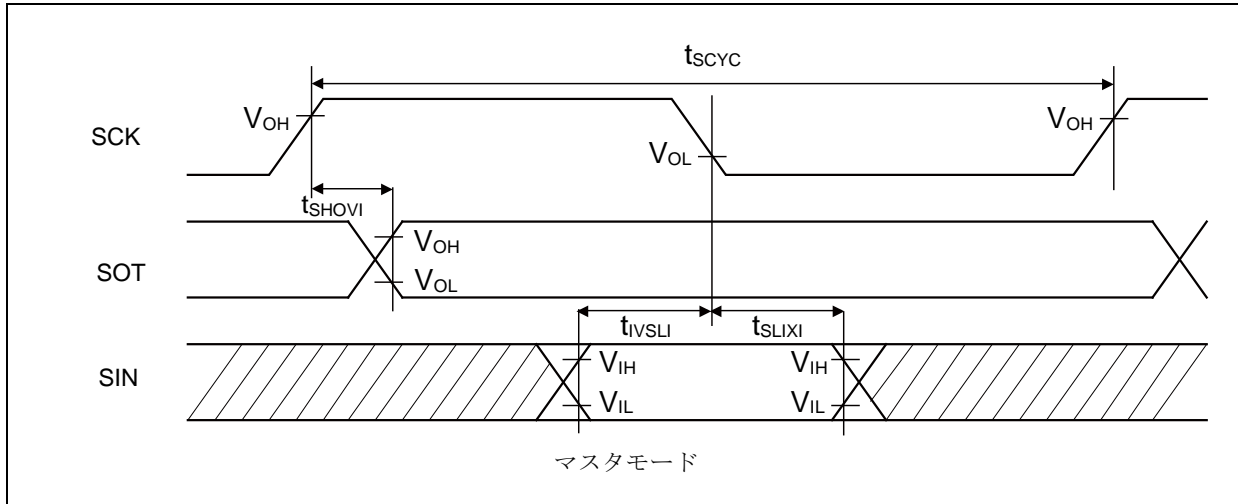
CSIO (SPI = 0, SCINV = 1)

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V, T_A = -40°C~+105°C)

項目	記号	端子名	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t _{SCYC}	SCK _x	マスター モード	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVI}	SCK _x , SOT _x		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLI}	SCK _x , SIN _x		50	-	30	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXI}	SCK _x , SIN _x		0	-	0	-	ns
シリアルクロック "L"パルス幅	t _{SLSH}	SCK _x	スレーブ モード	2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック "H"パルス幅	t _{SHSL}	SCK _x		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVE}	SCK _x , SOT _x		-	50	-	30	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLE}	SCK _x , SIN _x		10	-	10	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXE}	SCK _x , SIN _x		20	-	20	-	ns
SCK 立下り時間	t _F	SCK _x		-	5	-	5	ns
SCK 立上り時間	t _R	SCK _x	-	5	-	5	ns	

<注意事項>

- クロック同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{x_0}, SOT_{x_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF 時



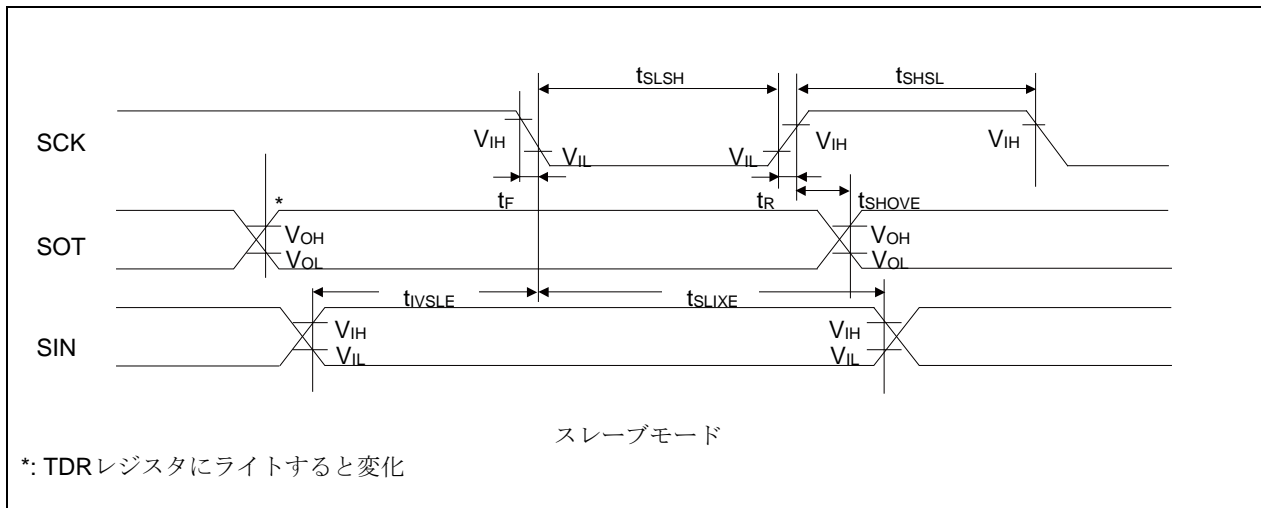
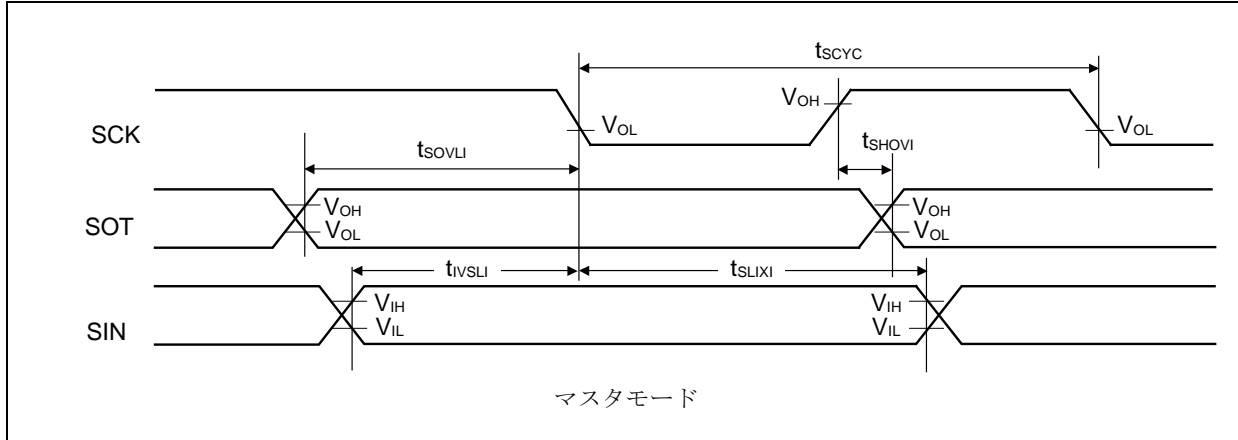
CSIO (SPI = 1, SCINV = 0)

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V, T_A = -40°C~+105°C)

項目	記号	端子名	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t _{SCYC}	SCK _X	マスタ モード	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVI}	SCK _X , SOT _X		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLI}	SCK _X , SIN _X		50	-	30	-	ns
SCK ↓ → SIN ホールド時間	t _{SLXI}	SCK _X , SIN _X		0	-	0	-	ns
SOT → SCK ↓ 遅延時間	t _{SOVLI}	SCK _X , SOT _X		2t _{CYCP} - 30	-	2t _{CYCP} - 30	-	ns
シリアルクロック "L"パルス幅	t _{LSH}	SCK _X		2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック "H"パルス幅	t _{SHSL}	SCK _X	t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns	
SCK ↑ → SOT 遅延時間	t _{SHOVE}	SCK _X , SOT _X	スレーブ モード	-	50	-	30	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLE}	SCK _X , SIN _X		10	-	10	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXE}	SCK _X , SIN _X		20	-	20	-	ns
SCK 立下り時間	t _F	SCK _X		-	5	-	5	ns
SCK 立上り時間	t _R	SCK _X		-	5	-	5	ns

<注意事項>

- クロック同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{X_0}, SOT_{X_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF 時



*: TDRレジスタにライトすると変化

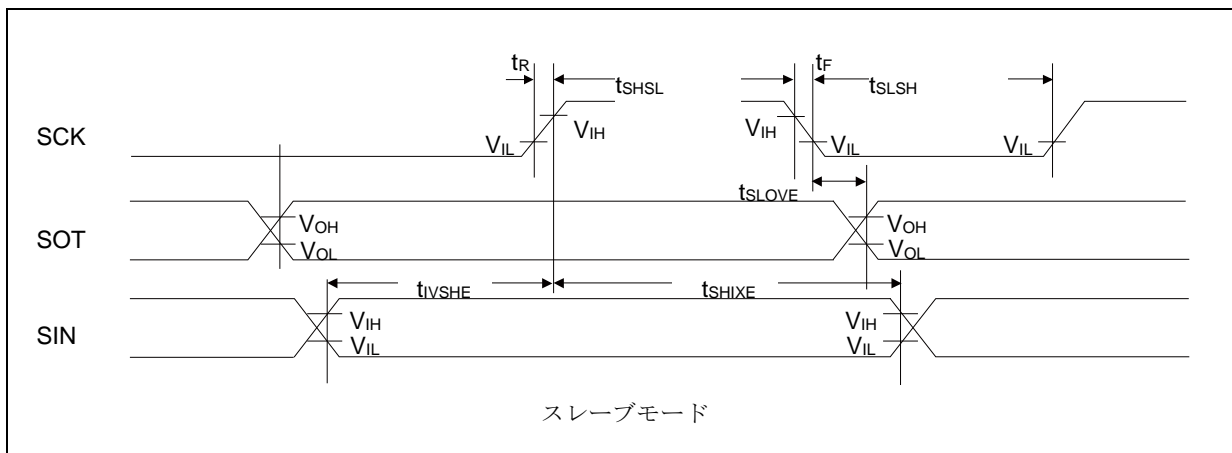
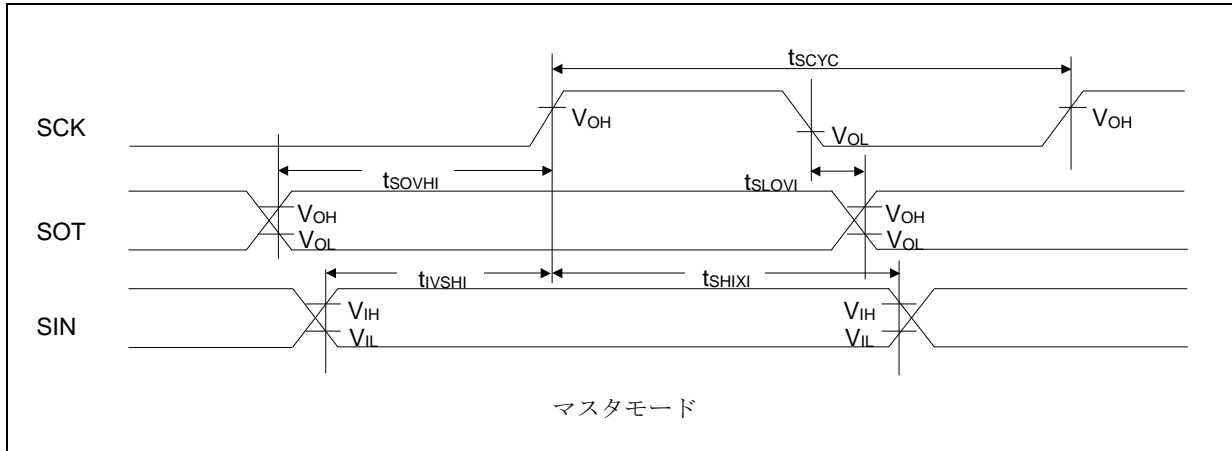
CSIO (SPI = 1, SCINV = 1)

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V, T_A = -40°C~+105°C)

項目	記号	端子名	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t _{SCYC}	SCK _x	マスタ モード	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↓ → SOT 遅延時間	t _{SLOVI}	SCK _x , SOT _x		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↑ セットアップ時間	t _{VS_{HI}}	SCK _x , SIN _x		50	-	30	-	ns
SCK ↑ → SIN ホールド時間	t _{SHIXI}	SCK _x , SIN _x		0	-	0	-	ns
SOT → SCK ↑ 遅延時間	t _{SOVHI}	SCK _x , SOT _x		2t _{CYCP} - 30	-	2t _{CYCP} - 30	-	ns
シリアルクロック "L"パルス幅	t _{LSH}	SCK _x	スレーブ モード	2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック "H"パルス幅	t _{SHSL}	SCK _x		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↓ → SOT 遅延時間	t _{SLOVE}	SCK _x , SOT _x		-	50	-	30	ns
SIN → SCK ↑ セットアップ時間	t _{VS_{HE}}	SCK _x , SIN _x		10	-	10	-	ns
SCK ↑ → SIN ホールド時間	t _{SHIXE}	SCK _x , SIN _x		20	-	20	-	ns
SCK 立下り時間	t _F	SCK _x		-	5	-	5	ns
SCK 立上り時間	t _R	SCK _x		-	5	-	5	ns

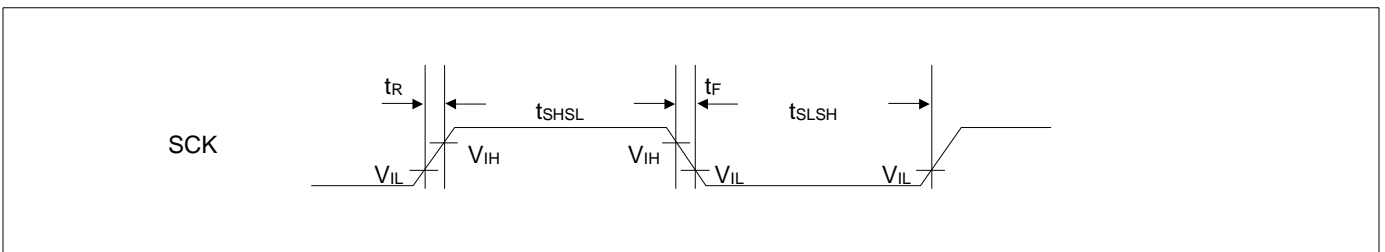
<注意事項>

- クロック同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{x_0}, SOT_{x_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF 時


UART 外部クロック入力 (EXT = 1)

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V, T_A = - 40°C~+ 105°C)

項目	記号	条件	規格値		単位	備考
			最小	最大		
シリアルクロック "L" パルス幅	tSLSH	C _L = 30 pF	tCYCP + 10	-	ns	
シリアルクロック "H" パルス幅	tSHSL		tCYCP + 10	-	ns	
SCK 立下り時間	tF		-	5	ns	
SCK 立上り時間	tR		-	5	ns	



12.4.10 外部入力タイミング

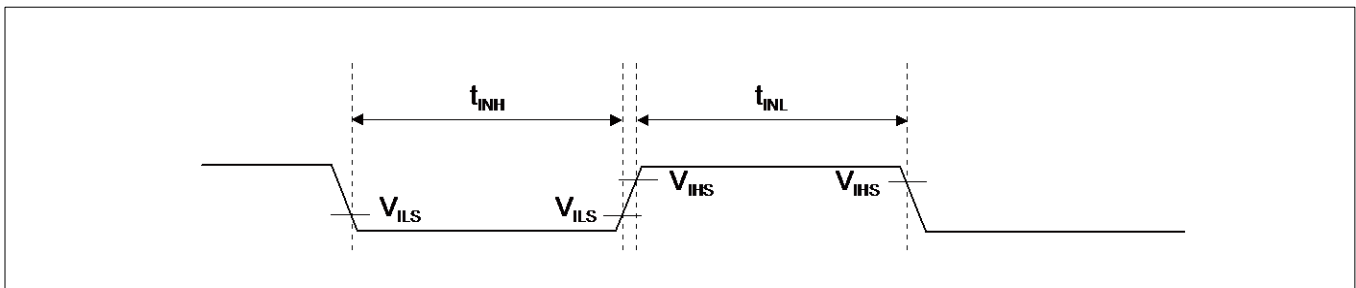
 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V, T_A = -40°C~+105°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t _{INH} , t _{INL}	FRCK _x	-	2t _{CYCP} *1	-	ns	フリーランタイム入力クロック
		IC _{xx}	-				インプット キャプチャ
		DTT _{Ixx}	-	2t _{CYCP} *1	-	ns	波形ジェネレータ
		INT _{xx} NMIX	*2-	2t _{CYCP} + 100*1	-	ns	外部割込み, NMI
	*3	500	-	ns			

*1: t_{CYCP}はAPBバスクロックのサイクル時間です。多機能タイマ、外部割込みが接続されているAPBバス番号については「8.ブロックダイアグラム」を参照してください。

*2: ランモード, スリープモード時

*3: タイマモード, RTCモード, ストップモード時



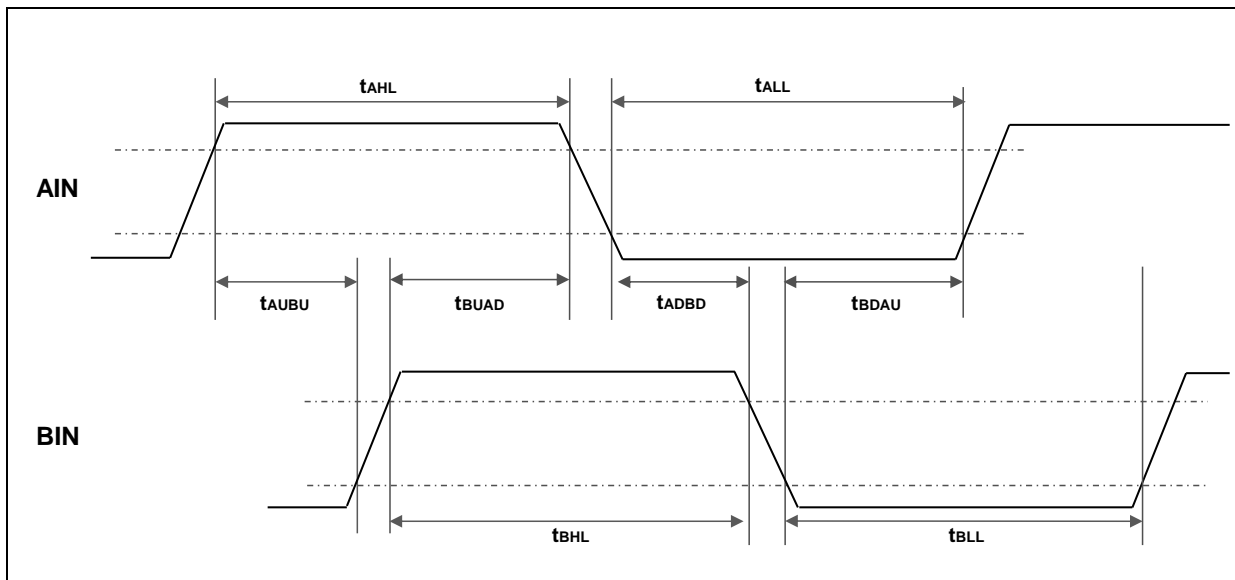
12.4.11 クアッドカウンタ タイミング

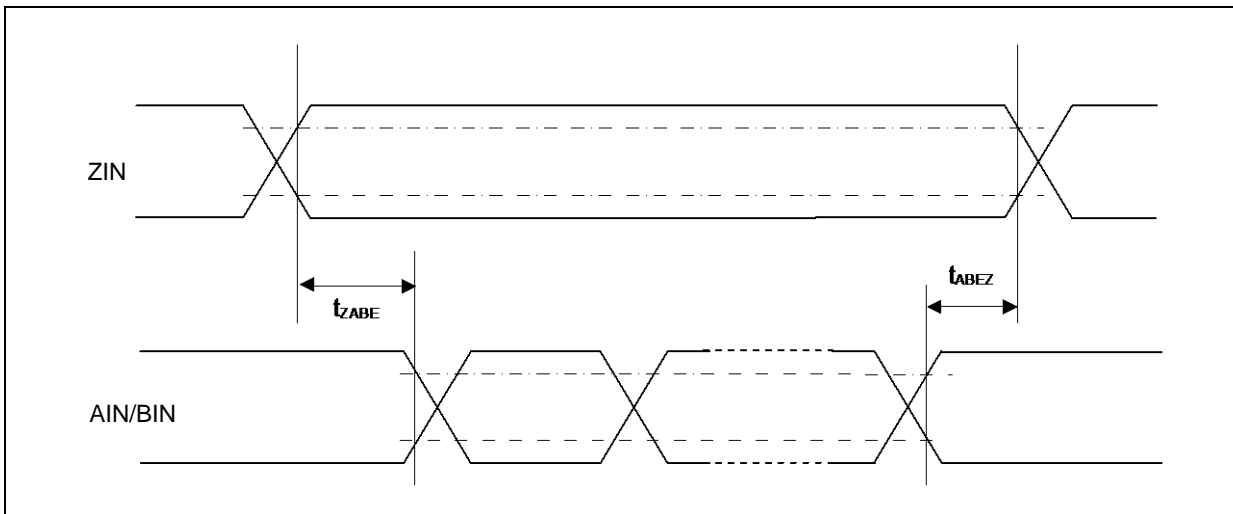
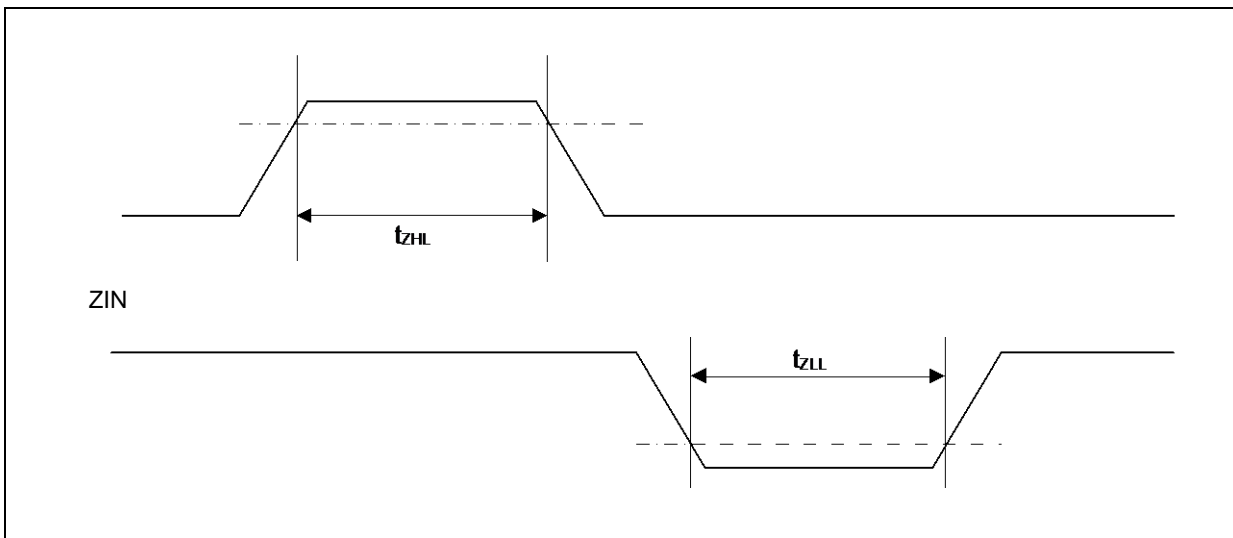
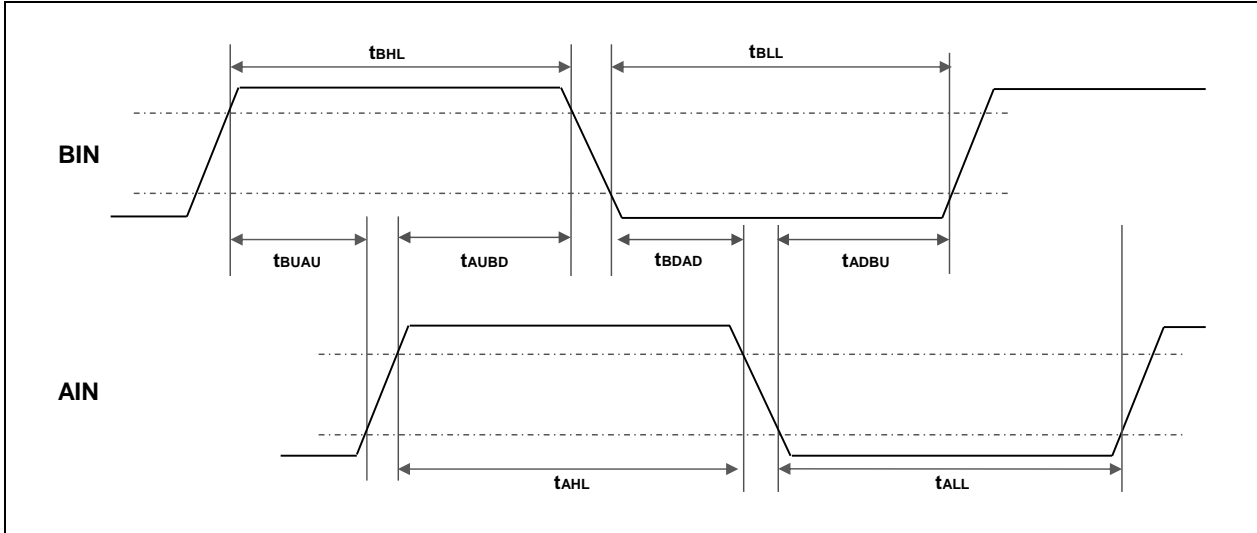
 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V, T_A = -40°C~+105°C)

項目	記号	条件	規格値		単位
			最小値	最大値	
AIN 端子"H"幅	t _{AHL}	-	2t _{cyCP} *	-	ns
AIN 端子"L"幅	t _{ALL}	-			
BIN 端子"H"幅	t _{BHL}	-			
BIN 端子"L"幅	t _{BLL}	-			
AIN"H"レベルから BIN 立上りまでの時間	t _{AUBU}	PC_Mode2 または PC_Mode3			
BIN"H"レベルから AIN 立下りまでの時間	t _{BUAD}	PC_Mode2 または PC_Mode3			
AIN"L"レベルから BIN 立下りまでの時間	t _{ADBD}	PC_Mode2 または PC_Mode3			
BIN"L"レベルから AIN 立上りまでの時間	t _{BDAU}	PC_Mode2 または PC_Mode3			
BIN"H"レベルから AIN 立上りまでの時間	t _{BUAU}	PC_Mode2 または PC_Mode3			
AIN"H"レベルから BIN 立下りまでの時間	t _{AUBD}	PC_Mode2 または PC_Mode3			
BIN"L"レベルから AIN 立下りまでの時間	t _{BDAD}	PC_Mode2 または PC_Mode3			
AIN"L"レベルから BIN 立上りまでの時間	t _{ADBU}	PC_Mode2 または PC_Mode3			
ZIN 端子"H"幅	t _{ZHL}	QCR:CGSC="0"			
ZIN 端子"L"幅	t _{ZLL}	QCR:CGSC="0"			
ZIN レベル確定から AIN/BIN 立下り立上りまで の時間	t _{ZABE}	QCR:CGSC="1"			
AIN/BIN 立下り立上り から ZIN レベル確定までの 時間	t _{ZABEZ}	QCR:CGSC="1"			

 *: t_{cyCP} は APB バスクロックのサイクル時間です。

クアッドカウンタが接続されている APB バス番号については「8.ブロックダイアグラム」を参照してください。





12.4.12 I²C タイミング

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V, T_A = -40°C~+105°C)

項目	記号	条件	Standard-mode		Fast-mode		単位	備考
			最小	最大	最小	最大		
SCL クロック周波数	f _{SCL}	C _L = 30 pF, R = (V _p /I _{OL})* ¹	0	100	0	400	kHz	
(反復)「スタート」条件 ホールド時間 SDA ↓ → SCL ↓	t _{HDSTA}		4.0	-	0.6	-	μs	
SCL クロック "L" 幅	t _{LOW}		4.7	-	1.3	-	μs	
SCL クロック "H" 幅	t _{HIGH}		4.0	-	0.6	-	μs	
反復「スタート」条件 セットアップ時間 SCL ↑ → SDA ↓	t _{SUSTA}		4.7	-	0.6	-	μs	
データホールド時間 SCL ↓ → SDA ↓ ↑	t _{HDDAT}		0	3.45* ²	0	0.9* ³	μs	
データセットアップ時間 SDA ↓ ↑ → SCL ↑	t _{SUDAT}		250	-	100	-	ns	
「ストップ」条件 セットアップ時間 SCL ↑ → SDA ↑	t _{SUSTO}		4.0	-	0.6	-	μs	
「ストップ」条件と 「スタート」条件との間の バスフリー時間	t _{BUF}		4.7	-	1.3	-	μs	
ノイズフィルタ	t _{SP}		-	2 t _{CYCP} * ⁴	-	2 t _{CYCP} * ⁴	ns	

*1: R, C_L は、SCL, SDA ラインのプルアップ抵抗、負荷容量です。V_p はプルアップ抵抗の電源電圧、I_{OL} は V_{OL} 保証電流を示します。

*2: 最大 t_{HDDAT} は少なくともデバイスの SCL 信号の "L" 区間(t_{LOW})を延長していないことを満たしていなければなりません。

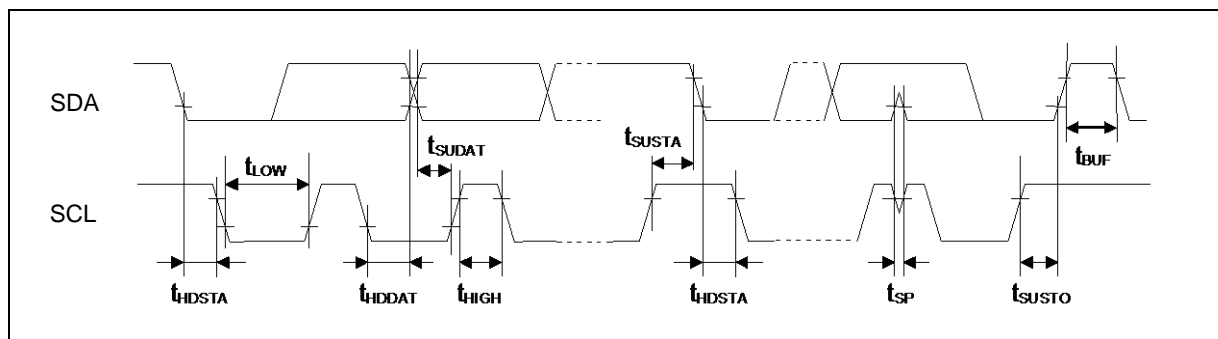
*3: Fast-mode I²C バスデバイスは Standard-mode I²C バスシステムに使用できますが、要求される条件 t_{SUDAT} ≥ 250 ns を満足しなければなりません。

*4: t_{CYCP} は、APB バスクロックのサイクル時間です。

I²C が接続されている APB バス番号については「8.ブロックダイアグラム」を参照してください。

Standard-mode 使用時は、APB バスクロックを 2 MHz 以上に設定してください。

Fast-mode 使用時は、APB バスクロックを 8 MHz 以上に設定してください。



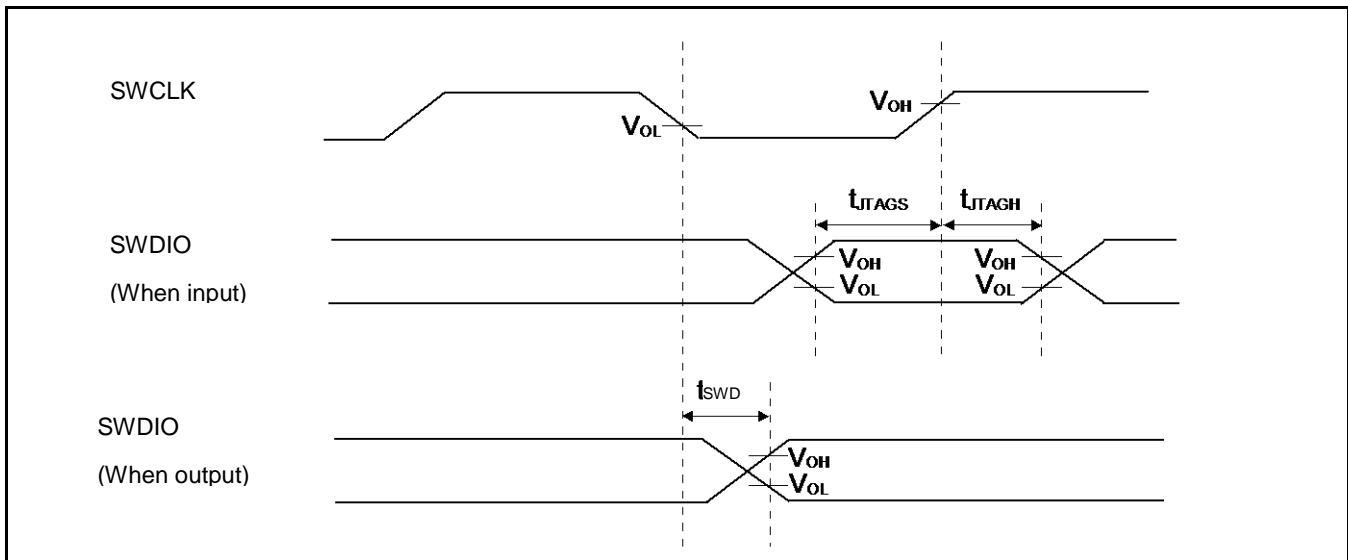
12.4.13 SWD タイミング

 (V_{CC} = 2.7V~5.5V, V_{SS} = 0V, T_A = - 40°C~+ 105°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
SWDIO セットアップ時間	t _{SWS}	SWCLK, SWDIO	-	15	-	ns	
SWDIO ホールド時間	t _{SWH}	SWCLK, SWDIO	-	15	-	ns	
SWDIO 遅延時間	t _{SWD}	SWCLK, SWDIO	-	-	45	ns	

<注意事項>

- 外部負荷容量 C_L = 30 pF 時



12.5 12ビット A/D コンバータ

A/D 変換部電気的特性

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	-	-	-	-	12	bit	
積分直線性誤差	-	-	-	± 3.0	± 4.5	LSB	AVRH = 2.7 V ~ 5.5 V
微分直線性誤差	-	-	-	± 2.5	± 3.5	LSB	
ゼロトランジション 電圧	V_{ZT}	ANxx	-	± 15	± 20	mV	
フルスケール トランジション電圧	V_{FST}	ANxx	-	$AVRH \pm 15$	$AVRH \pm 20$	mV	
変換時間	-	-	1.0^{*1}	-	-	μs	
サンプリング時間*2	t_s	-	0.3	-	10	μs	
コンペアクロック周期*3	t_{CCK}	-	50	-	1000	ns	
動作許可状態遷移時間	t_{STT}	-	-	-	1.0	μs	
アナログ入力容量	C_{AIN}	-	-	-	9.7	pF	
アナログ入力抵抗	R_{AIN}	-	-	-	1.5	k Ω	$V_{CC} \geq 4.5 V$
					2.2		$V_{CC} < 4.5 V$
チャンネル間ばらつき	-	-	-	-	4	LSB	
アナログポート 入力リーク電流	-	ANxx	-	-	5	μA	
アナログ入力電圧	-	ANxx	V_{SS}	-	AVRH	V	
		AVRH	2.7	-	V_{CC}	V	
基準電圧	-	AVRL	V_{SS}	-	V_{SS}	V	

*1: 変換時間は サンプリング時間 (t_s) + コンペア時間 (t_c) の値です。

最小変換時間の条件は、サンプリング時間: 300 ns, コンペア時間: 700 ns の値です。

必ずサンプリング時間(t_s), コンペアクロック周期(t_{CCK})の規格を満足するようにしてください。サンプリング時間, コンペアクロック周期の設定については、『FM3 ファミリー ペリフェラルマニュアル アナログマクロ編』の『CHAPTER 1-1: A/D コンバータ』の章を参照してください。

A/D コンバータのレジスタの設定は APB バスクロックのタイミングで反映されます。

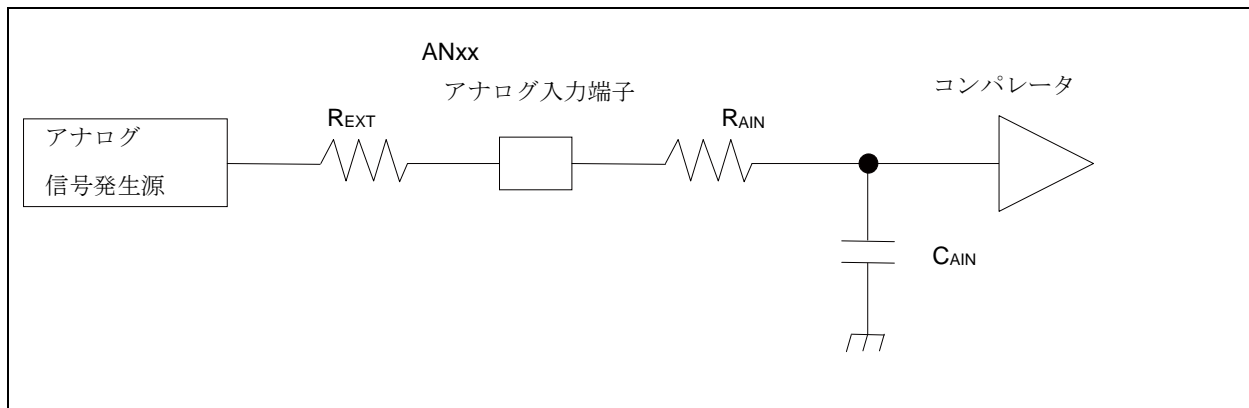
A/D コンバータが接続されている APB バス番号については「8.ブロックダイアグラム」を参照してください。

サンプリングおよびコンペアクロックはベースクロック(HCLK)を元に生成されます。

*2: 外部インピーダンスにより必要なサンプリング時間は変わります。

必ず(式 1)を満たすようにサンプリング時間を設定してください。

*3: コンペア時間(t_c) は (式 2)の値です。



$$(式 1) t_s \geq (R_{AIN} + R_{EXT}) \times C_{AIN} \times 9$$

t_s : サンプルング時間

R_{AIN} : A/D の入力抵抗 = 1.5 k Ω 4.5 V \leq V_{CC} \leq 5.5 V の場合

A/D の入力抵抗 = 2.2 k Ω 2.7 V \leq V_{CC} < 4.5 V の場合

C_{AIN} : A/D の入力容量 = 9.7 pF 2.7 V \leq V_{CC} \leq 5.5 V の場合

R_{EXT} : 外部回路の出力インピーダンス

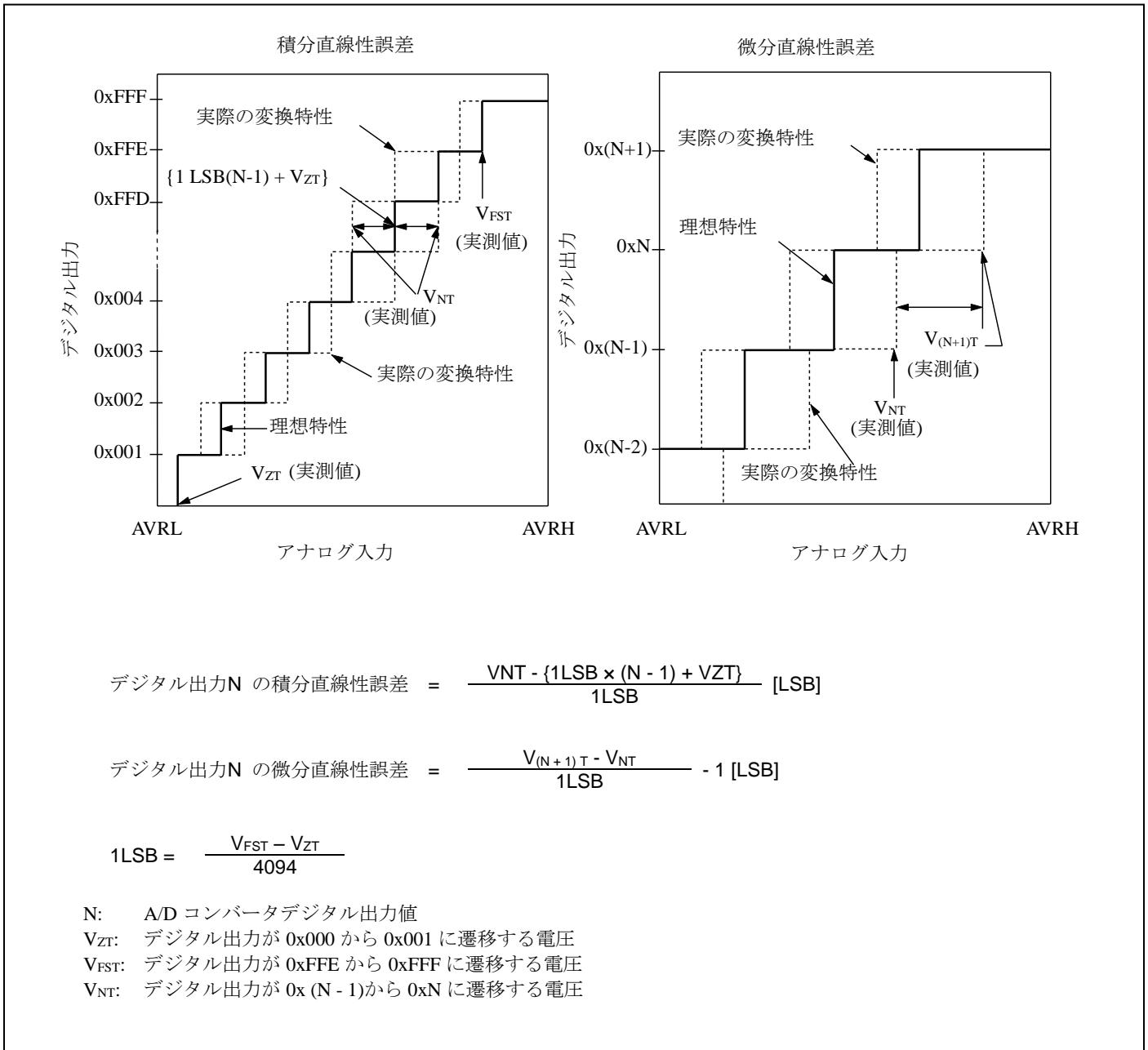
$$(式 2) t_c = t_{CCK} \times 14$$

t_c : コンペア時間

t_{CCK} : コンペアクロック周期

12 ビット A/D コンバータの用語の定義

- 分解能: A/D コンバータにより識別可能なアナログ変化
- 積分直線性誤差: ゼロトランジション点(0b000000000000 ←→ 0b000000000001)とフルスケールトランジション点(0b111111111110 ←→ 0b111111111111)を結んだ直線と実際の変換特性との偏差
- 微分直線性誤差: 出力コードを 1LSB 変化させるのに必要な入力電圧の理想値からの偏差



12.6 低電圧検出特性
12.6.1 低電圧検出リセット

 (T_A = -40°C ~ +105°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	V _{DL}	SVHR ^{*1} = 00000	2.25	2.45	2.65	V	電圧降下時
解除電圧	V _{DH}		2.30	2.50	2.70	V	電圧上昇時
検出電圧	V _{DL}	SVHR ^{*1} = 00001	2.39	2.60	2.81	V	電圧降下時
解除電圧	V _{DH}		SVHR = 0000 の規格値			V	電圧上昇時
検出電圧	V _{DL}	SVHR ^{*1} = 00010	2.48	2.70	2.92	V	電圧降下時
解除電圧	V _{DH}		SVHR = 0000 の規格値			V	電圧上昇時
検出電圧	V _{DL}	SVHR ^{*1} = 00011	2.58	2.80	3.02	V	電圧降下時
解除電圧	V _{DH}		SVHR = 0000 の規格値			V	電圧上昇時
検出電圧	V _{DL}	SVHR ^{*1} = 00100	2.76	3.00	3.24	V	電圧降下時
解除電圧	V _{DH}		SVHR = 0000 の規格値			V	電圧上昇時
検出電圧	V _{DL}	SVHR ^{*1} = 00101	2.94	3.20	3.46	V	電圧降下時
解除電圧	V _{DH}		SVHR = 0000 の規格値			V	電圧上昇時
検出電圧	V _{DL}	SVHR ^{*1} = 00110	3.31	3.60	3.89	V	電圧降下時
解除電圧	V _{DH}		SVHR = 0000 の規格値			V	電圧上昇時
検出電圧	V _{DL}	SVHR ^{*1} = 00111	3.40	3.70	4.00	V	電圧降下時
解除電圧	V _{DH}		SVHR = 0000 の規格値			V	電圧上昇時
検出電圧	V _{DL}	SVHR ^{*1} = 01000	3.68	4.00	4.32	V	電圧降下時
解除電圧	V _{DH}		SVHR = 0000 の規格値			V	電圧上昇時
検出電圧	V _{DL}	SVHR ^{*1} = 01001	3.77	4.10	4.43	V	電圧降下時
解除電圧	V _{DH}		SVHR = 0000 の規格値			V	電圧上昇時
検出電圧	V _{DL}	SVHR ^{*1} = 01010	3.86	4.20	4.54	V	電圧降下時
解除電圧	V _{DH}		SVHR = 0000 の規格値			V	電圧上昇時
LVD 安定待ち時間	t _{LVDW}	-	-	-	8160 × t _{CYCP} ^{*2}	μs	
LVD 検出遅延時間	t _{LVDL}	-	-	-	200	μs	

*1: 低電圧検出電圧設定レジスタ(LVD_CTL)のSVHRビットは、低電圧検出リセットでSVHR = 00000に初期化されます。

*2: t_{CYCP}はAPB2バスクロックのサイクル時間です。

12.6.2 低電圧検出割込み

 (T_A = - 40°C ~ + 105°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	SVHI = 00011	2.58	2.80	3.02	V	電圧降下時
解除電圧	VDH		2.67	2.90	3.13	V	電圧上昇時
検出電圧	VDL	SVHI = 00100	2.76	3.00	3.24	V	電圧降下時
解除電圧	VDH		2.85	3.10	3.35	V	電圧上昇時
検出電圧	VDL	SVHI = 00101	2.94	3.20	3.46	V	電圧降下時
解除電圧	VDH		3.04	3.30	3.56	V	電圧上昇時
検出電圧	VDL	SVHI = 00110	3.31	3.60	3.89	V	電圧降下時
解除電圧	VDH		3.40	3.70	4.00	V	電圧上昇時
検出電圧	VDL	SVHI = 00111	3.40	3.70	4.00	V	電圧降下時
解除電圧	VDH		3.50	3.80	4.10	V	電圧上昇時
検出電圧	VDL	SVHI = 01000	3.68	4.00	4.32	V	電圧降下時
解除電圧	VDH		3.77	4.10	4.43	V	電圧上昇時
検出電圧	VDL	SVHI = 01001	3.77	4.10	4.43	V	電圧降下時
解除電圧	VDH		3.86	4.20	4.54	V	電圧上昇時
検出電圧	VDL	SVHI = 01010	3.86	4.20	4.54	V	電圧降下時
解除電圧	VDH		3.96	4.30	4.64	V	電圧上昇時
LVD 安定待ち時間	t _{LVDW}	-	-	-	8160 × t _{CYCP} *	μs	
LVD 検出遅延時間	t _{LVDL}	-	-	-	200	μs	

 *: t_{CYCP} は APB2 バスクロックのサイクル時間です。

12.7 フラッシュメモリ書込み/消去特性

12.7.1 書込み/消去時間

(V_{CC} = 2.7V~5.5V, T_A = -40°C~+105°C)

項目	規格値		単位	備考
	標準*	最大*		
セクタ消去時間	0.3	0.7	s	内部での消去前書込み時間を含む
ハーフワード(16ビット)書込み時間	16	282	μs	システムレベルのオーバーヘッド時間は除く
チップ消去時間	2.4	5.6	s	内部での消去前書込み時間を含む

*: 標準は出荷直後の代表値、最大は書換え1万回までの保証値です。

12.7.2 書込みサイクルとデータ保持時間

消去/書込みサイクル(cycle)	保持時間(年)	備考
1,000	20 *	
10,000	10 *	

*: 平均温度+85°C時

12.8 スタンバイ復帰時間

12.8.1 復帰要因：割込み

内部回路の復帰要因受付からプログラム動作開始までの時間を示します。

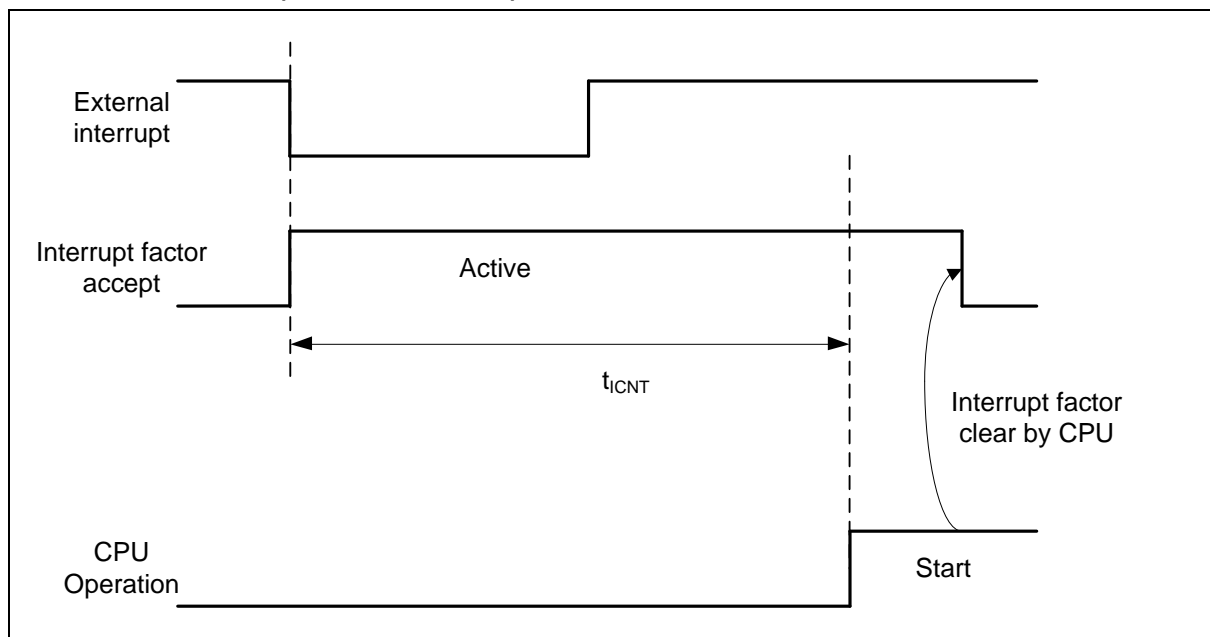
復帰カウント時間

($V_{CC} = 2.7V \sim 5.5V, T_A = -40^{\circ}C \sim +105^{\circ}C$)

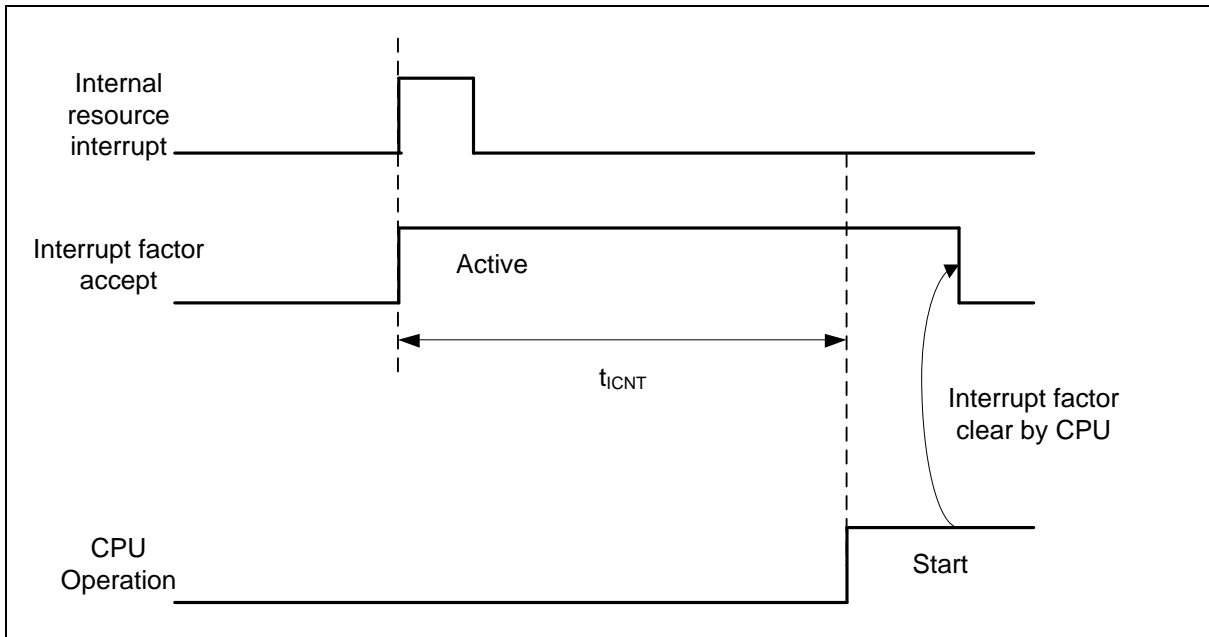
項目	記号	規格値		単位	備考
		標準	最大*		
スリープモード	t _{ICNT}	t _{cycc}		μs	
高速 CR タイマモード, メインタイマモード, PLL タイマモード		43	83	μs	
低速 CR タイマモード		310	620	μs	
サブタイマモード		534	724	μs	
RTC モード, ストップモード		278	479	μs	

*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(外部割込み復帰時*)



*: 外部割込みは立下りエッジ検出設定時

スタンバイ復帰動作例(内部リソース割込み復帰時*)


*: 低消費電力モードのとき、内部リソースからの割込みは復帰要因に含まれません。

<注意事項>

- 復帰要因は低消費電力モードごとに異なります。
各低消費電力モードからの復帰要因は、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- 割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』を参照してください。

12.8.2 復帰要因：リセット

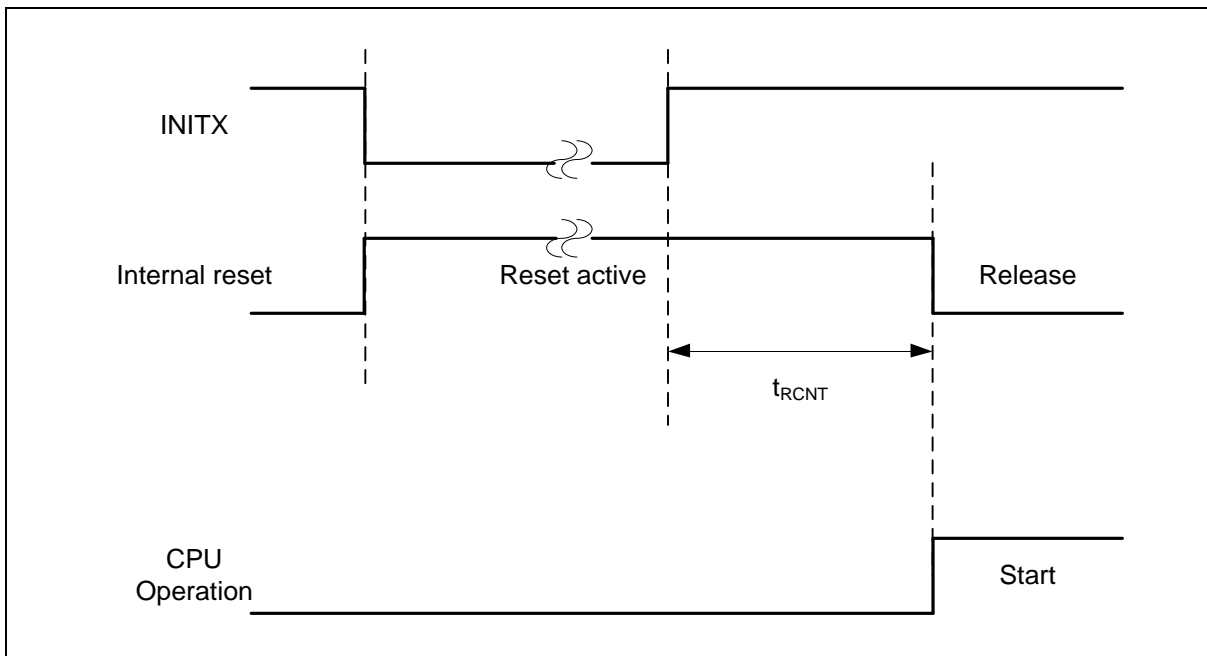
リセット解除からプログラム動作開始までの時間を示します。

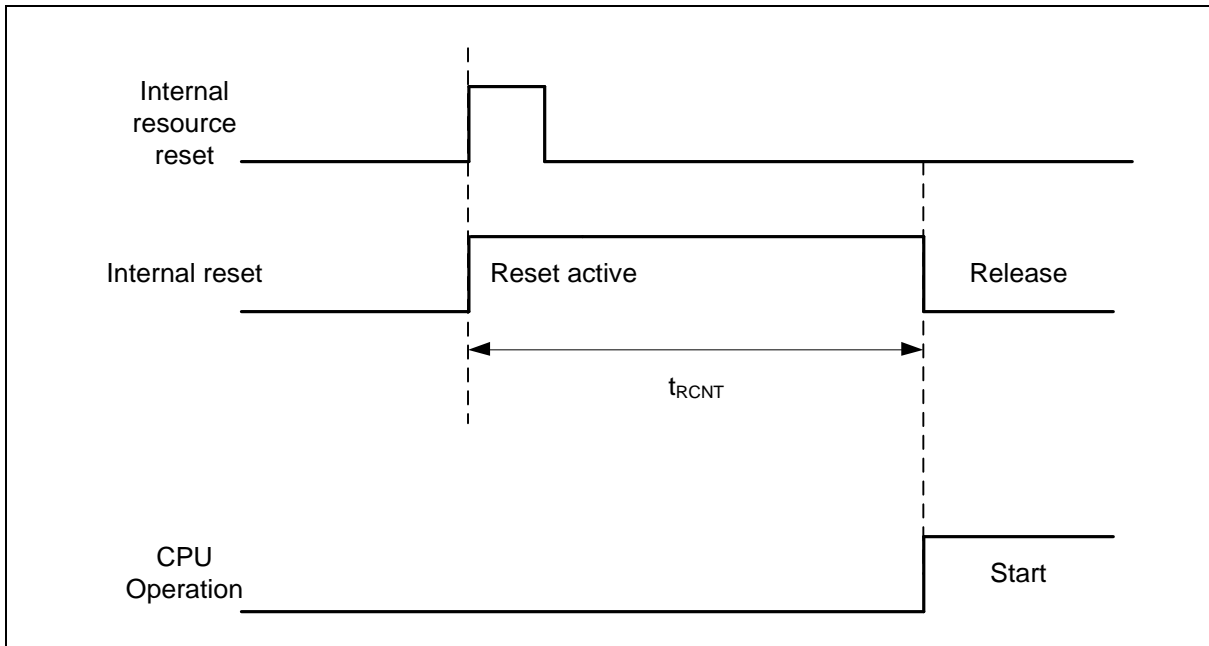
復帰カウント時間

($V_{CC} = 2.7V \sim 5.5V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

項目	記号	規格値		単位	備考
		標準	最大*		
スリープモード	t _{RCNT}	149	264	μs	
高速 CR タイマモード, メインタイマモード, PLL タイマモード		149	264	μs	
低速 CR タイマモード		318	603	μs	
サブタイマモード		308	583	μs	
RTC モード, ストップモード		248	443	μs	

*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(INITX 復帰時)


スタンバイ復帰動作例(内部リソースリセット復帰時*)


*: 低消費電力モードのとき、内部リソースからのリセット発行は復帰要因に含まれません。

<注意事項>

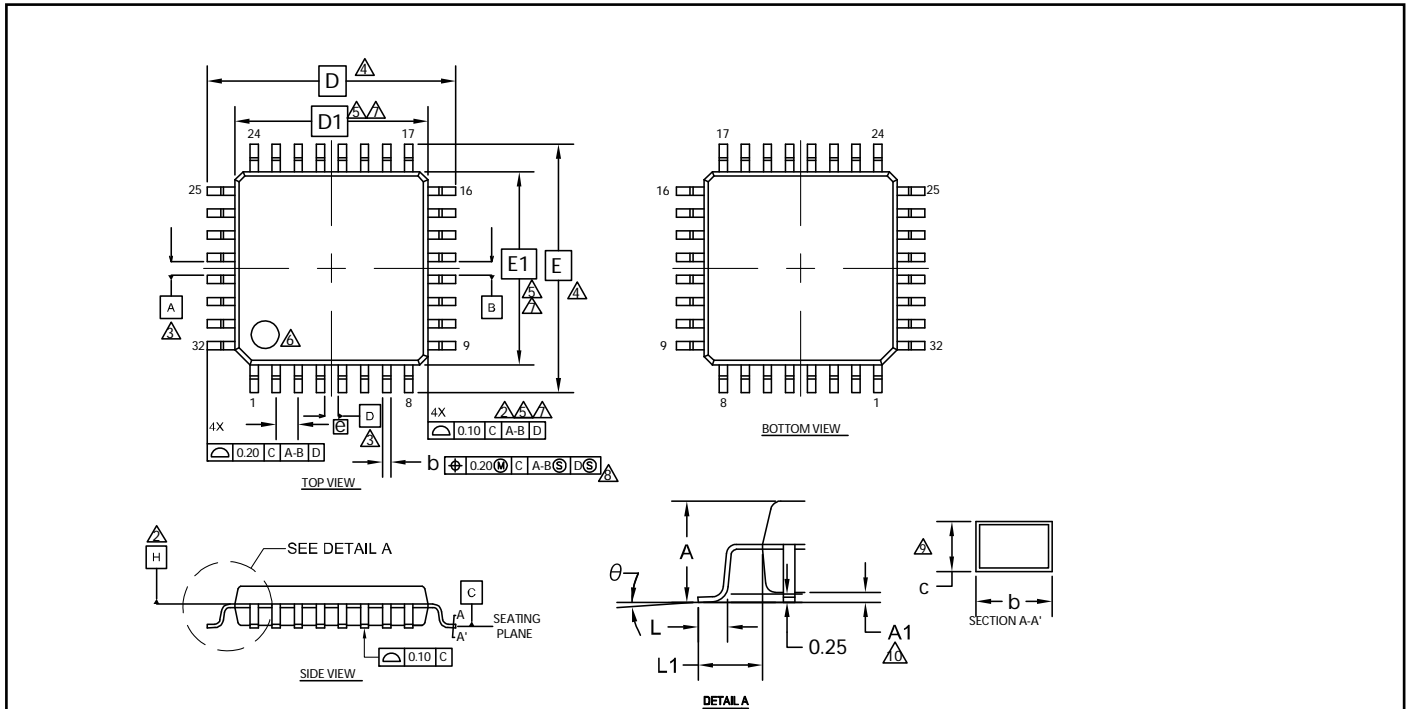
- 復帰要因は低消費電力モードごとに異なります。
各低消費電力モードからの復帰要因は、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- 割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』を参照してください。
- パワーオンリセット/低電圧検出リセット時は、復帰要因には含まれません。パワーオンリセット/低電圧検出リセット時は、「12.電気的特性 12.4 交流規格 12.4.7 パワーオンリセットタイミング」を参照してください。
- リセットからの復帰時、CPU は高速 CR ランモードに遷移します。
メインクロックや PLL クロックを使用する場合、追加でメインクロック発振安定待ち時間や、メイン PLL クロックの安定待ち時間が必要になります。
- 内部リソースリセットとは、ウォッチドッグリセット、CSV リセットを指します。

13. オーダ型格

型格	オンチップ フラッシュ メモリ	オンチップ SRAM	パッケージ	包装
MB9BF121JPMC-G-JNE2	64 Kbyte	8 Kbyte	プラスチック・LQFP (0.8 mm ピッチ),32 ピン (LQB032)	トレイ
MB9BF121JWQN-G-JNE2	64 Kbyte	8 Kbyte	プラスチック・QFN (0.5 mm ピッチ),32 ピン (WNU032)	

14. パッケージ・外形寸法図

Package Type	Package Code
LQFP 32	LQB032

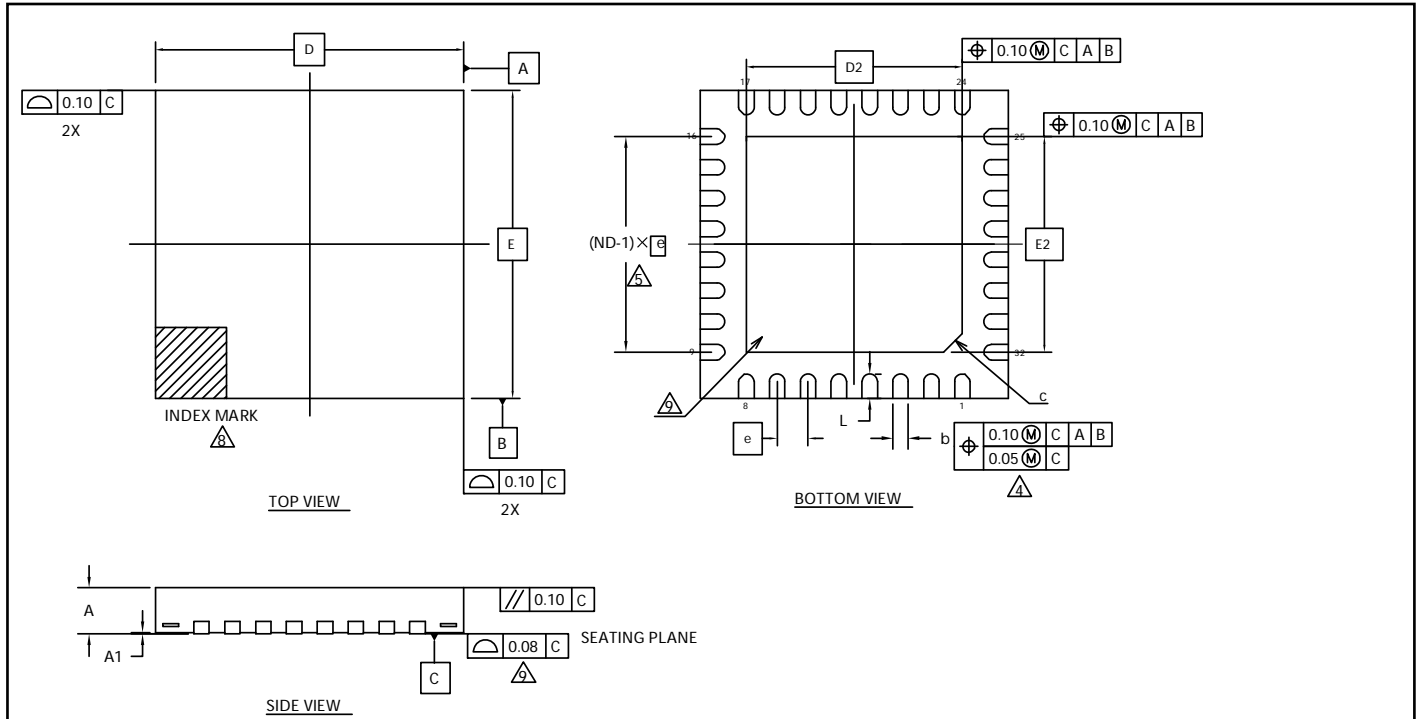


SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.60
A1	0.05	—	0.15
b	0.32	0.35	0.43
c	0.13	—	0.18
D	9.00 BSC		
D1	7.00 BSC		
e	0.80 BSC		
E	9.00 BSC		
E1	7.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
θ	0°	—	8°

NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBER PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

Package Type	Package Code
QFN 32	WNU032



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	0.80
A1	0.00	—	0.05
D	5.00 BSC		
E	5.00 BSC		
b	0.20	0.25	0.30
D2	3.20 BSC		
E 2	3.20 BSC		
e	0.50 BSC		
c	0.25 REF		
L	0.35	0.40	0.45

NOTE

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5-1994.
- N IS THE TOTAL NUMBER OF TERMINALS.
- DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
- ND REFER TO THE NUMBER OF TERMINALS ON D OR E SIDE.
- MAX. PACKAGE WARPAGE IS 0.05mm.
- MAXIMUM ALLOWABLE BURRS IS 0.076mm IN ALL DIRECTIONS.
- PIN #1 ID ON TOP WILL BE LOCATED WITHIN INDICATED ZONE.
- BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- JEDEC SPECIFICATION NO. REF : N/A

002-15907 **

PACKAGE OUTLINE: 32 LEAD QFN
5.00X5.00X0.80MM WNU032 3.20X3.20MM EPAD(SAWN) REV**

15. 主な変更内容

Spanion Publication Number: DS706-00053

ページ	場所	変更箇所
Revision 0.1		
-	-	Initial release
Revision 1.0		
-	-	PRELIMINARY → 正式版
-	-	社名変更および記述フォーマットの変換
3	■特長	I ² C 動作モードの名称を訂正
5	■特長	MFT の A/D 起動コンペアのチャンネル数を訂正
8	■品種構成	<ul style="list-style-type: none"> ・内蔵高速 CR 精度の注釈を追記 ・MFT の A/D 起動コンペアのチャンネル数を訂正
9	■パッケージと品種対応	パッケージコードを訂正
10,11	■端子配列図	パッケージコードを訂正
23	■入出力回路形式	分類 E と F の備考を訂正
32	■ブロックダイアグラム	MFT の A/D 起動コンペアのチャンネル数を訂正
41,43	■電気特性 3. 直流規格 (1) 電流規格	規格値の”TBD”を変更
49	■電気特性 4. 交流規格 (6) パワーリセットオンタイミング	規格値の”TBD”を変更
62	■電気特性 4. 交流規格 (11) I ² C タイミング	<ul style="list-style-type: none"> ・ I²C 動作モードの名称を訂正 ・ ノイズフィルタ規格を訂正 ・ 注釈文を訂正
63	■電気特性 4. 交流規格 (12) SWD タイミング	SWDIO 遅延時間の規格値を追記
64	■電気特性 5. 12 ビット A/D コンバータ A/D 変換部電気特性	<ul style="list-style-type: none"> ・ サンプルング時間の規格値を追記 ・ 注釈の説明文を訂正 ・ 微分直線性誤差の規格値を変更 +/-2.5LSB → +/-3.5LSB ・ (暫定値) の記載を削除
69	■電気特性 7. フラッシュメモリ書き込み/消去特性	<ul style="list-style-type: none"> ・ 規格値の”TBD”を変更 ・ 書き込みサイクルとデータ保持時間の注釈を訂正 ・ (目標値) の記載を削除
70,72	■電気特性 8. スタンバイ復帰時間	規格値の”TBD”を変更
76	■パッケージ・外形寸法図	パッケージコードを訂正
Revision 2.0		
23	■入出力回路形式	+B 入力可能な回路形式に追記
34	■メモリマップ ・メモリマップ(2)	フラッシュメモリのセクタ構成の概略を追記
39, 40	■電気的特性 1. 絶対最大定格	<ul style="list-style-type: none"> ・ 最大クランプ電流を追加。 ・ +B 入力について追加。
41	■電気的特性 2. 推奨動作条件	電源電圧が最小値未満について追記
42, 43	■電気的特性 3. 直流規格 (1) 電流規格	<ul style="list-style-type: none"> ・ 条件の表記を変更 ・ メインタイムモード電流を追加
48	■電気的特性 4. 交流規格 (4-1) メイン PLL の使用条件 (4-2) メイン PLL の使用条件	メイン PLL 接続図を追加
49	■電気的特性 4. 交流規格 (6) パワーオンリセットタイミング	タイミング図を変更

ページ	場所	変更箇所
51-58	■電気的特性 4. 交流規格(7) CSIO/UART タイミング	<ul style="list-style-type: none"> ・ UART タイミング→CSIO/UART タイミングに修正 ・ 内部シフトクロック動作→マスタモードに変更 ・ 外部シフトクロック動作→スレープモードに変更
64	■電気的特性 5. 12 ビット A/D コンバータ	積分/微分直線性誤差、ゼロ/フルスケールトランジション電圧の標準値を追加
74	■オーダ型格	型格の表記をに変更

注意事項: 以降の変更点に関しては、「改訂履歴」を参照してください。

改訂履歴

文書名: MB9B120Jシリーズ 32ビット ARM® Cortex®-M3 FM3 マイクロコントローラ

文書番号: 002-05658

版	ECN 番号	変更者	発行日	変更内容
**	-	AKIH	03/31/2015	サイプレスとしてドキュメントコード002-05658に登録しました。 本版の内容およびフォーマットに変更はありません
*A	5268546	AKIH	05/12/2016	これは英語版の 002-05657 Rev. *A を翻訳した日本語版です。
*B	5544855	YSKA	03/08/2017	これは英語版の 002-05657 Rev. *B を翻訳した日本語版です。 “12.4.7 パワーオンリセット タイミング”の「電源立上り時間(t_{VCCR})[ms]」 を「電源立上り速度(dV/dt)[mV/ μ s]」に変更。また、備考および<注意事項>としてコ メントを追記(49 ページ) “特長”のリアルタイムクロック(RTC:Real Time Clock) のカウント年数を 00~に修 正。割込み機能の指定条件から「秒曜日」を削除(2 ページ) パッケージコードを以下の様に変更(7-9, 41, 74-76ページ) FPT-32P-M30 -> LQB032, LCC-32P-M73 -> WNU032 Added the Baud rate spec in “12.4.9 CSIO/UART Timing”(Page 51, 53, 55, 57)
*C	5779099	YSAT	06/20/2017	これは英語版の 002-05657 Rev. *C を翻訳した日本語版です。 Cypress の新ロゴを適用。