



本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名、品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名、品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcnにアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディング カンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。

MB9B160L シリーズは、高速処理と低コストを求める組み込み制御用途向けに設計された、高集積 32 ビットマイクロコントローラです。本シリーズは、CPU に ARM Cortex-M4F プロセッサを搭載し、フラッシュメモリおよび SRAM のオンチップメモリとともに、周辺機能として、モータ制御用タイマ、A/D コンバータ、各種通信インタフェース(UART, CSIO, I²C, LIN)により構成されます。『FM4 ファミリー パリフェラルマニュアル 本編(002-04857)』において、このデータシートに記載されている製品は、TYPE2-M4 製品に分類されます。

特長

32 ビット ARM Cortex-M4F コア

- プロセッサ版数: r0p1
- 最大動作周波数: 160 MHz
- FPU 搭載
- DSP 命令対応
- メモリ保護ユニット(MPU): 組み込みシステムの信頼性を向上させます。
- ネスト型ベクタ割込みコントローラ(NVIC): 1 チャネルの NMI(ノンマスカプブル割込み)と 128 チャネルの周辺割込みに対応。16 の割込み優先度レベルを設定できます。
- 24 ビットシステムタイマ(Sys Tick): OS タスク管理用のシステムタイマです。

オンチップメモリ

[フラッシュメモリ]

本シリーズは、2つの独立したフラッシュメモリを搭載しません。

- メインフラッシュメモリ
 - 最大 512 K バイト
 - 16 K バイトのトレースバッファメモリを使用した、フラッシュメモリアクセラレータ機能を内蔵
 - フラッシュメモリへのリードアクセスは、動作周波数 72 MHz までは 0 wait-cycle です。72 MHz より大きい場合でも、フラッシュメモリアクセラレータ機能により、0 wait-cycle と同等なアクセスを行えます。
 - コード保護用セキュリティ機能
- ワークフラッシュメモリ
 - 32 K バイト
 - リードサイクル:
 - 6 wait-cycle 動作周波数が 120 MHz を超え、160 MHz 以下の場合
 - 4 wait-cycle 動作周波数が 72 MHz を超え、120 MHz 以下の場合
 - 2 wait-cycle 動作周波数が 40 MHz を超え、72 MHz 以下の場合
 - 0 wait-cycle 動作周波数が 40 MHz 以下の場合
 - セキュリティ機能はコード保護用セキュリティ機能と共有

[SRAM]

本シリーズのオンチップ SRAM は、3つの独立した SRAM (SRAM0, SRAM1, SRAM2) により構成されます。SRAM0 は、Cortex-M4F コアの I-Code バス、D-Code バスに接続します。SRAM1, SRAM2 は、Cortex-M4F コアの System バスに接続します。

- SRAM0: 最大 32 K バイト
- SRAM1: 最大 16 K バイト
- SRAM2: 最大 16 K バイト

マルチファンクションシリアルインタフェース(最大 6 チャンネル)

- 64 バイト FIFO あり(FIFO 段数は通信モード・ビット長の設定により可変)
- チャンネルごとに動作モードを次の中から選択できます。
 - UART
 - CSIO
 - LIN
 - I²C
- UART
 - 全二重ダブルバッファ
 - パリティあり/なし選択可能
 - 専用ポーレートジェネレータ内蔵
 - 外部クロックをシリアルクロックとして使用可能
 - ハードウェアフロー・コントロール: CTS/RTS による送受信自動制御(ch.4 のみ)
 - 豊富なエラー検出機能(パリティエラー, フレーミングエラー, オーバランエラー)
- CSIO
 - 全二重ダブルバッファ
 - 専用ポーレートジェネレータ内蔵
 - オーバランエラー検出機能
 - シリアルチップセレクト機能(ch.6 のみ)
 - 高速 SPI 対応(ch.0, ch.6 のみ)
 - データ長 5~16 ビット

■ LIN

- LIN プロトコル Rev.2.1 対応
- 全二重ダブルバッファ
- マスタ/スレーブモード対応
- LIN break field 生成(13~16 ビット長に変更可能)
- LIN break デリミタ生成(1~4 ビット長に変更可能)
- 豊富なエラー検出機能(パリティエラー, フレーミングエラー, オーバランエラー)

■ I²C

- Standard-mode(最大 100 kbps)/Fast-mode(最大 400 kbps)に対応
- Fast-mode plus(Fm+) (最大 1000 kbps, ch.3=ch.A, ch.4=ch.B のみ)に対応

DMA コントローラ(8 チャンネル)

DMA コントローラは、CPU とは独立した DMA 専用バスを持ち、CPU と並列動作できます。

- 8 つを独自に構成かつ動作可能なチャンネル
- ソフトウェア要求または内蔵周辺機能要求による転送開始可能
- 転送アドレス空間: 32 ビット(4 G バイト)
- 転送モード: ブロック転送/ バースト転送/ デマンド転送
- 転送データタイプ: バイト/ ハーフワード/ ワード
- 転送ブロック数: 1~16
- 転送回数: 1~65536

DSTC (Descriptor System data Transfer Controller) (128 チャンネル)

DSTC は、CPU を介さずにデータを高速に転送できます。Descriptor システム方式を採用しており、あらかじめメモリ上に構築された Descriptor の指定内容に従って、メモリ/Peripheral デバイスに直接アクセスを行い、データ転送動作を実行できます。

ソフトウェア起動, ハードウェア起動, Chain 起動機能サポート

AD コンバータ(最大 15 チャンネル)

- 12 ビット A/D コンバータ
 - 逐次比較型
 - 2 ユニット搭載
 - 変換時間 : 0.5μs @5V
 - 優先変換可能(2 レベルの優先度)
 - スキャン変換モード
 - 変換データ格納用 FIFO 搭載(スキャン変換用: 16 段, 優先変換用: 4 段)

DA コンバータ(最大 2 チャンネル)

- R-2R 型
- 12 ビット分解能

ベースタイマ(最大 8 チャンネル)

チャンネルごとに動作モードを次の中から選択できます。

- 16 ビット PWM タイマ
- 16 ビット PPG タイマ
- 16/32 ビットリロードタイマ
- 16/32 ビット PWC タイマ

汎用 I/O ポート

本シリーズは、端子が外部バスまたは周辺機能に使用されていない場合、汎用 I/O ポートとして使用できます。また、どの I/O ポートに周辺機能を割り当てるかを設定できるポートリロケート機能を搭載しています。

- 端子ごとにブルアップ制御可能
- 端子レベルを直接読出し可能
- ポートリロケート機能
- 最大 48 本の高速汎用 I/O ポート@64pin Package
- 一部のポートは、5V トレラントに対応
該当する端子については「4. 端子機能一覧」と「5. 入出力回路形式」を参照してください。

多機能タイマ(最大 2 ユニット)

多機能タイマは、次のブロックで構成されます。

最小分解能: 6.25 ns

- 16 ビットフリーランタイマ×3 チャンネル / ユニット
- インพุットキャプチャ×4 チャンネル / ユニット
- アウトプットコンペア×6 チャンネル / ユニット
- A/D 起動コンペア×6 チャンネル / ユニット
- 波形ジェネレータ×3 チャンネル / ユニット
- 16 ビット PPG タイマ×3 チャンネル / ユニット

モータ制御を実現するために次の機能を用意しています。

- PWM 信号出力機能
- DC チョップパ波形出力機能
- デッドタイム機能
- インพุットキャプチャ機能
- A/D コンバータ起動機能
- DTIF(モータ緊急停止)割込み機能

リアルタイムクロック(RTC : Real Time Clock)

00年～99年までの年/月/日/時/分/秒/曜日のカウントを行います。

- 日時指定(年/月/日/時/分)での割込み機能、年/月/日/時/分だけの個別設定も可能
- 設定時間後/設定時間ごとのタイマ割込み機能
- カウントを継続して時刻書換え可能
- うるう年の自動カウント

クアッドカウンタ (QPRC : Quadrature Position/Revolution Counter) (1 チャンネル)

クアッドカウンタ(QPRC)は、ポジションエンコーダの位置を測定するために使います。また、設定によりアップダウンカウンタとしても使用できます。

- 3つの外部イベント入力端子 AIN, BIN, ZIN の検出エッジを設定可能
- 16ビット位置カウンタ
- 16ビット回転カウンタ
- 2つの16ビットコンペアレジスタ

デュアルタイマ(32/16ビットダウンカウンタ)

デュアルタイマは、2つのプログラム可能な32/16ビットダウンカウンタで構成されます。

各タイマチャンネルの動作モードを次の中から選択できます。

- フリーランモード
- 周期モード(=リロードモード)
- ワンショットモード

時計カウンタ

時計カウンタは低消費電力モードからのウェイクアップに使用します。クロックソースはメインクロック/サブクロック/内蔵高速CRクロック/内蔵低速CRクロックから選択可能です。

インターバルタイマ: 最大 64s@サブクロック使用時(32.768 kHz)

外部割込み制御ユニット

- 外部割込み入力端子: 最大 16本
- ノンマスクابل割込み(NMI)入力端子: 1本

ウォッチドッグタイマ(2チャンネル)

ウォッチドッグタイマは、タイムアウト値に達すると割込みまたはリセットを発生します。

本シリーズには、"ハードウェア"ウォッチドッグと"ソフトウェア"ウォッチドッグの2つの異なるウォッチドッグがあります。

"ハードウェア"ウォッチドッグタイマは内蔵低速CR発振で動作するため、STOP以外のすべての低消費電力モードで動作します。

CRC (Cyclic Redundancy Check)アクセラレータ

CRCアクセラレータは、ソフト処理負荷の高いCRC計算を行い、受信データおよびストレージの整合性確認処理負荷の軽減を実現します。

CCITT CRC16 と IEEE-802.3 CRC32 をサポートします。

- CCITT CRC16 Generator Polynomial: 0x1021
- IEEE-802.3 CRC32 Generator Polynomial: 0x04C11DB7

クロック/リセット

■クロック

5種類のクロックソース(2種類の外部発振, 2種類の内蔵CR発振, メインPLL)から選択できます。

- メインクロック: 4 MHz～48 MHz
- サブクロック: 32.768 kHz
- 内蔵高速CRクロック: 4 MHz
- 内蔵低速CRクロック: 100 kHz
- メインPLLクロック

■リセット

- INITX 端子からのリセット要求
- 電源投入リセット
- ソフトウェアリセット
- ウォッチドッグタイマリセット
- 低電圧検出リセット
- クロックスーパーバイザリセット

クロック監視機能(CSV : Clock Super Visor)

内蔵CR発振による生成クロックを用いて外部クロックの異常を監視します。

- 外部クロック異常(クロック停止)が検出されると、リセットがアサートされます。
- 外部周波数異常が検出されると、割込みまたはリセットがアサートされます。

低電圧検出機能(LVD : Low-Voltage Detect)

本シリーズは、2段階で VCC の電圧を監視します。設定した電圧より VCC 端子の電圧が下がった場合、低電圧検出機能により割込みまたはリセットが発生します。

- LVD1: 割込みによりエラーを報告
- LVD2: オートリセット動作

低消費電力モード

6種類の低消費電力モードに対応します。

- スリープ
- タイマ
- RTC
- ストップ
- ディープスタンバイ RTC(RAM 保持あり・なし選択可能)
- ディープスタンバイストップ(RAM 保持あり・なし選択可能)

VBAT

RTC(カレンダー回路)/32 kHz 発振回路に独立した電源を供給することで、RTC 動作時の消費電力を低減できます。

VBAT には以下の回路が含まれます。

- RTC
- 32 kHz 発振回路
- パワーオン回路
- バックアップレジスタ: 32 バイト
- ポート回路

デバッグ

- シリアル・ワイヤ JTAG デバッグ・ポート (SWJ-DP)

ユニーク ID

41 ビットのデバイス固有の値を設定済み

電源

2種類の電源(64pin パッケージ使用時)

1種類の電源(48pin パッケージ使用時)

■ワイドレンジ電圧対応: VCC = 2.7V~5.5V

■VBAT 用電源(64pin パッケージのみ):

VBAT = 2.7V~5.5V

Table of Contents

特長	1
1. 品種構成	7
2. パッケージと品種対応	8
3. 端子配列図	9
4. 端子機能一覧	13
5. 入出力回路形式	27
6. 取扱上のご注意	34
6.1 設計上の注意事項	34
6.2 パッケージ実装上の注意事項	35
6.3 使用環境に関する注意事項	37
7. デバイス使用上の注意	38
8. ブロックダイヤグラム	41
9. メモリサイズ	42
10. メモリマップ	42
11. 各 CPU ステートにおける端子状態	45
12. 電気的特性	52
12.1 絶対最大定格	52
12.2 推奨動作条件	53
12.3 直流規格	56
12.3.1 電流規格	56
12.3.2 端子特性	64
12.4 交流規格	66
12.4.1 メインクロック入力規格	66
12.4.2 サブクロック入力規格	67
12.4.3 内蔵 CR 発振規格	67
12.4.4 メイン PLL の使用条件 (PLL の入力クロックにメインクロックを使用)	68
12.4.5 メイン PLL の使用条件 (メイン PLL の入力クロックに内蔵高速 CR クロックを使用)	68
12.4.6 リセット入力規格	68
12.4.7 パワーオンリセットタイミング	69
12.4.8 GPIO 出力規格	70
12.4.9 ベースタイム入力タイミング	71
12.4.10 CSIO/UART タイミング	72
12.4.11 外部入力タイミング	97
12.4.12 クアッドカウンタ タイミング	98
12.4.13 I ² C タイミング	100
12.4.14 JTAG タイミング	103
12.5 12 ビット A/D コンバータ	104
12.6 12 ビット D/A コンバータ	107
12.7 低電圧検出特性	108
12.7.1 低電圧検出リセット	108
12.7.2 低電圧検出割込み	108
12.8 メインフラッシュメモリ書込み/消去特性	109
12.9 ワークフラッシュメモリ書込み/消去特性	109
12.10 スタンバイ復帰時間	110
12.10.1 復帰要因: 割込み/WKUP	110
12.10.2 復帰要因: リセット	112

13. オーダ型格	114
14. パッケージ・外形寸法図	115
15. 主な変更内容	120
改訂履歴	121
セールス, ソリューションおよび法律情報	123

1. 品種構成

メモリサイズ

品種名	MB9BF164K/L	MB9BF165K/L	MB9BF166K/L
メインフラッシュメモリ	256 K バイト	384 K バイト	512 K バイト
ワークフラッシュメモリ	32 K バイト	32 K バイト	32 K バイト
オンチップ SRAM	32 K バイト	48 K バイト	64 K バイト
SRAM0	16 K バイト	24 K バイト	32 K バイト
SRAM1	8 K バイト	12 K バイト	16 K バイト
SRAM2	8 K バイト	12 K バイト	16 K バイト

ファンクション

品種名		MB9BF164K MB9BF165K MB9BF166K	MB9BF164L MB9BF165L MB9BF166L
端子数		48	64
CPU		Cortex-M4F, MPU, NVIC 128ch.	
	周波数	160 MHz	
電源電圧範囲		2.7V~5.5V	
DMAC		8ch.	
DSTC		128ch.	
マルチファンクションシリアル (UART/CSIO/LIN/I ² C)		6ch. (最大) (ch.1 は I ² C のみ使用可能)	6ch. (最大)
ベースタイマ (PWC/リロードタイマ/PWM/PPG)		8ch. (最大)	
多機能タイマ	A/D 起動コンペア	6ch.	1 unit
	インプットキャプチャ	4ch.	
	フリーランタイマ	3ch.	
	アウトプットコンペア	6ch.	
	波形ジェネレータ	3ch.	
	PPG	3ch.	
クアッドカウンタ		1ch.	
デュアルタイマ		1 unit	
リアルタイムクロック		1 unit	
時計カウンタ		1 unit	
CRC アクセラレータ		Yes	
ウォッチドッグタイマ		1ch. (SW) + 1ch. (HW)	
外部割込み		15pin (最大)+ NMI × 1	16pin (最大)+ NMI × 1
I/O ポート		33pin (最大)	48pin (最大)
12 ビット A/D コンバータ		8ch. (2 units)	15ch. (2 units)
12 ビット D/A コンバータ		2 units (最大)	
クロック監視機能(CSV)		Yes	
低電圧検出機能(LVD)		2ch.	
内蔵 CR	高速	4 MHz	
	低速	100 kHz	
デバッグ機能		SWJ-DP	
ユニーク ID		Yes	

<注意事項>

- 各製品に搭載される周辺機能の信号は、パッケージの端子数制限により、すべて割り当ててはできません。ご使用される機能に応じて、I/O ポートのポートリロケート機能を用いて、端子を割り当ててください。
- 内蔵 CR のクロック周波数精度については、『12. 電気的特性 12. 4. 交流規格 12. 4. 3 内蔵 CR 発振規格』を参照してください。

2. パッケージと品種対応

パッケージ \ 品種名	MB9BF164K MB9BF165K MB9BF166K	MB9BF164L MB9BF165L MB9BF166L
LQFP: LQG064 (0.65mm pitch)	-	○
LQFP: LQD064 (0.5mm pitch)	-	○
LQFP: LQA048 (0.5mm pitch)	○	-
QFN: VNC064 (0.5mm pitch)	-	○
QFN: VNA048 (0.5mm pitch)	○	-

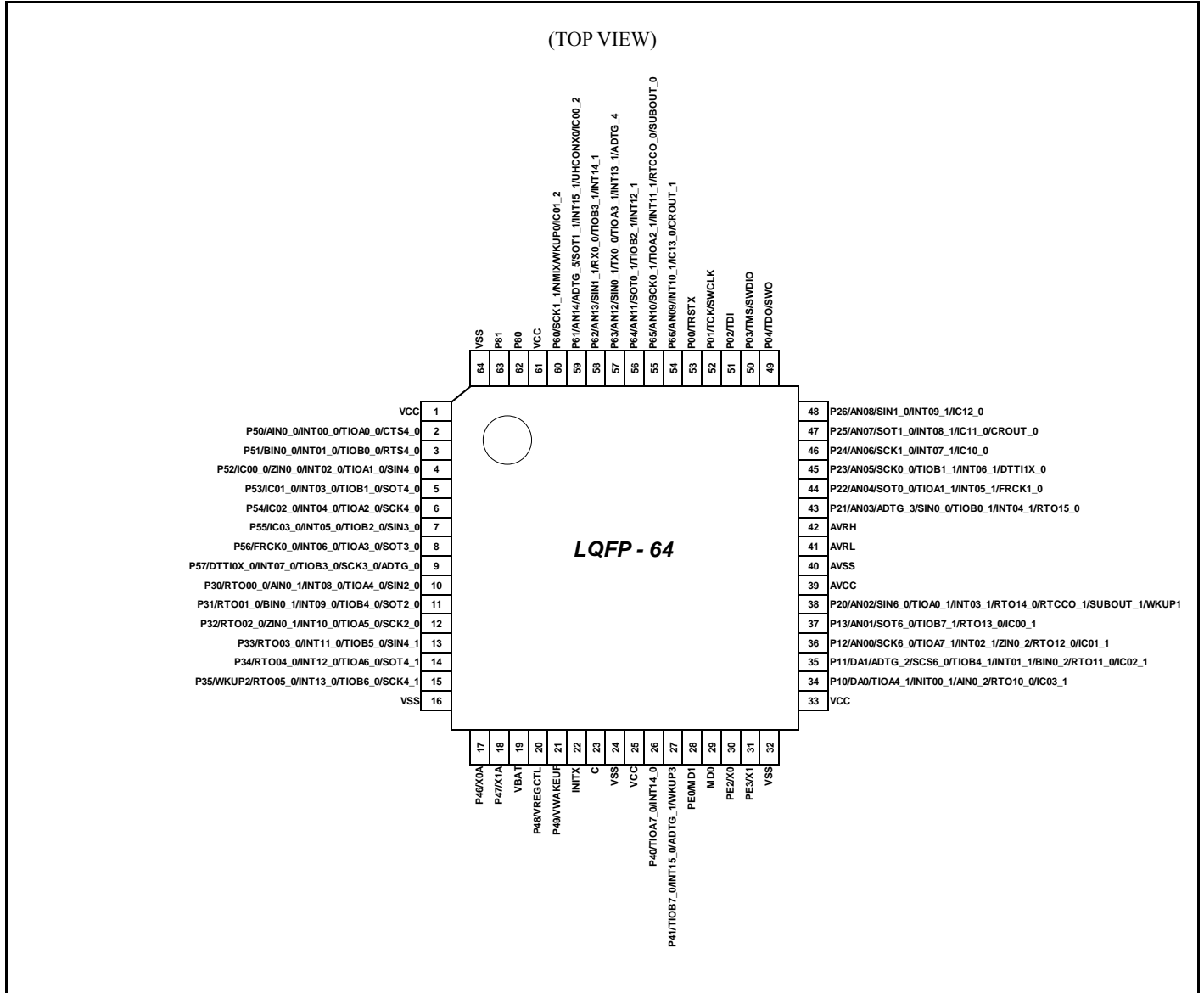
○: 対応

<注意事項>

- 各パッケージの詳細は「14. パッケージ・外形寸法図」を参照してください。

3. 端子配列図

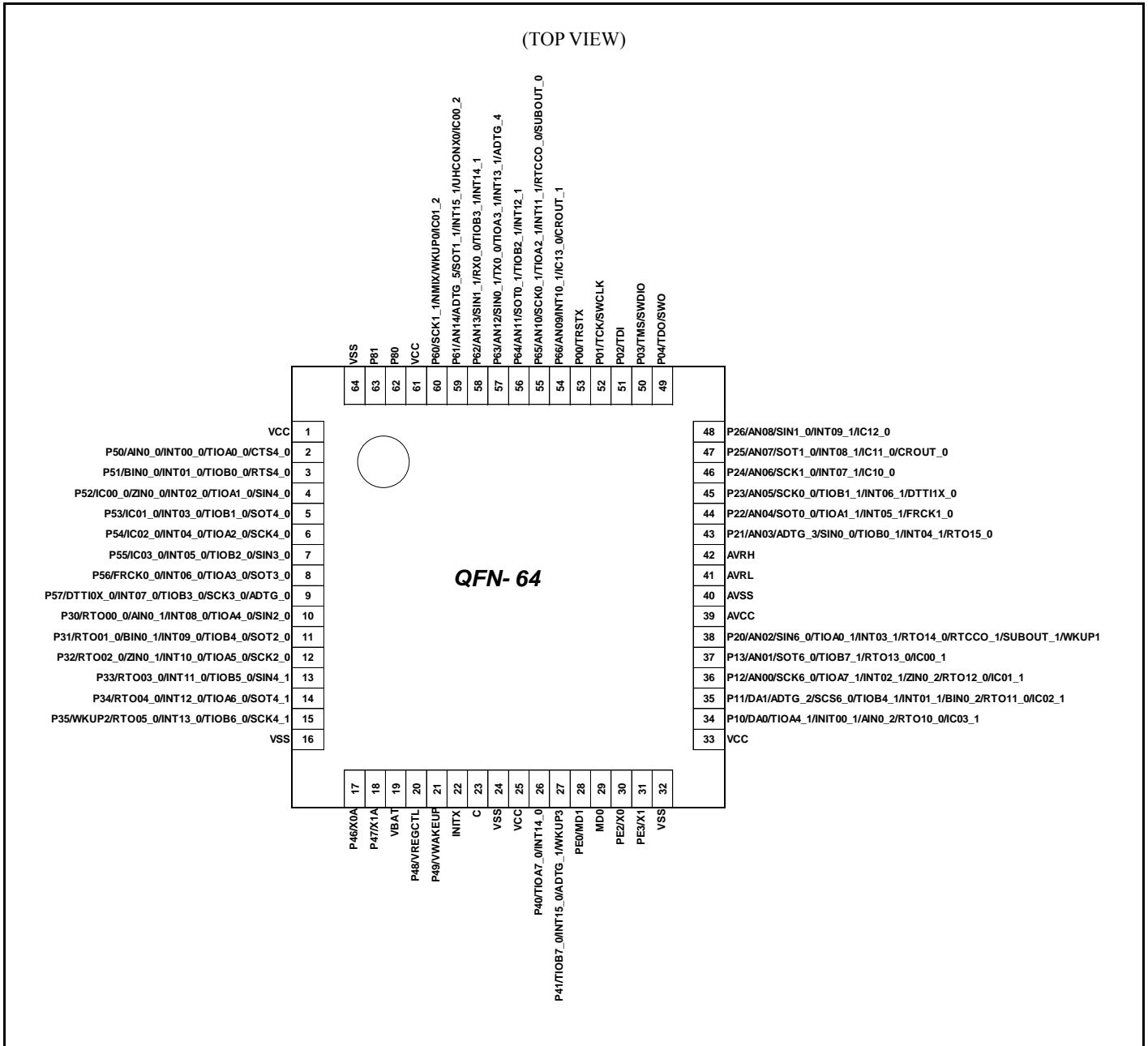
LQD064/LQG064



<注意事項>

- XXX_1, XXX_2 のように「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示していません。
- これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。
- 拡張ポート機能レジスタ(EPFR)によって利用する端子名を選択してください。

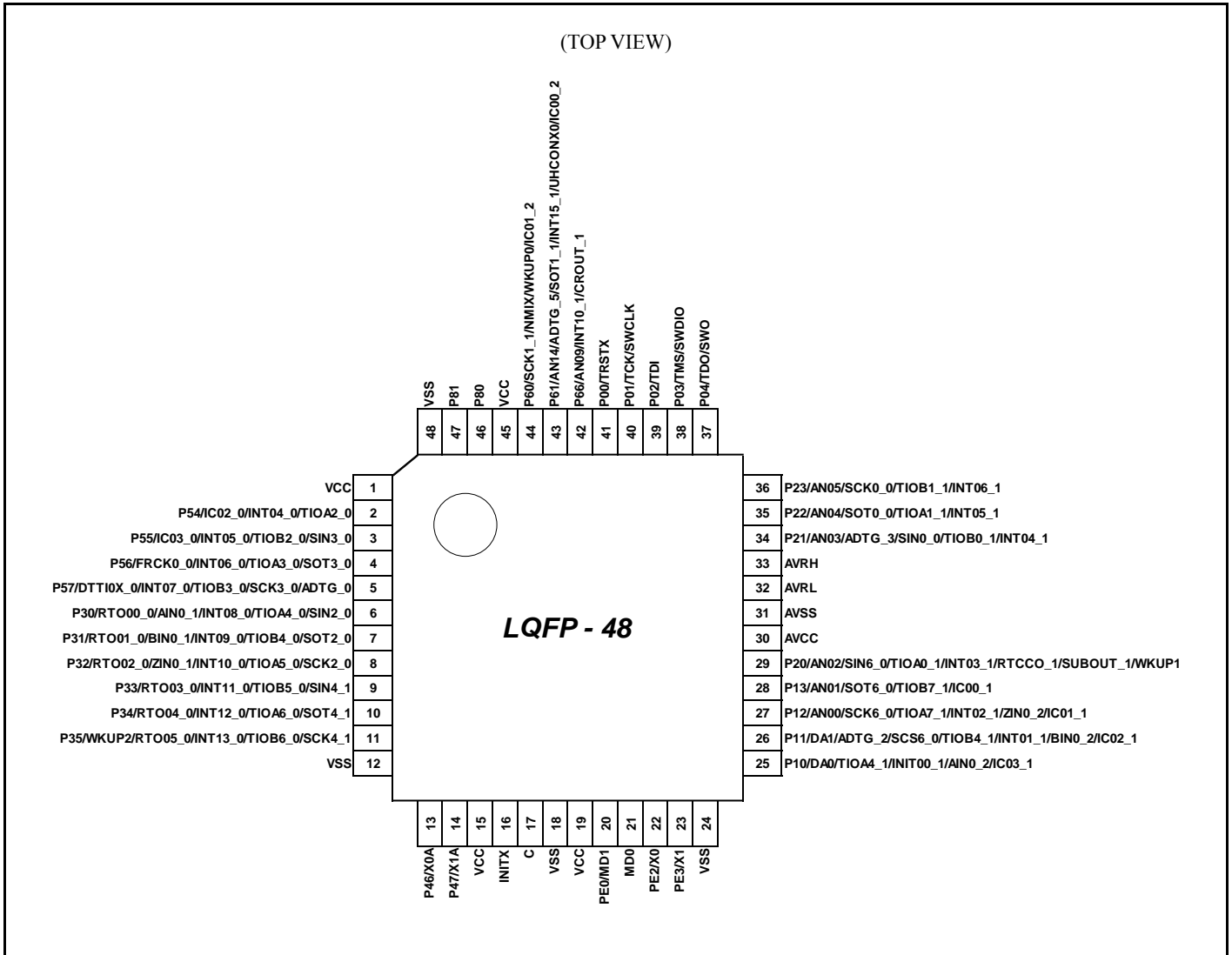
VNC064



<注意事項>

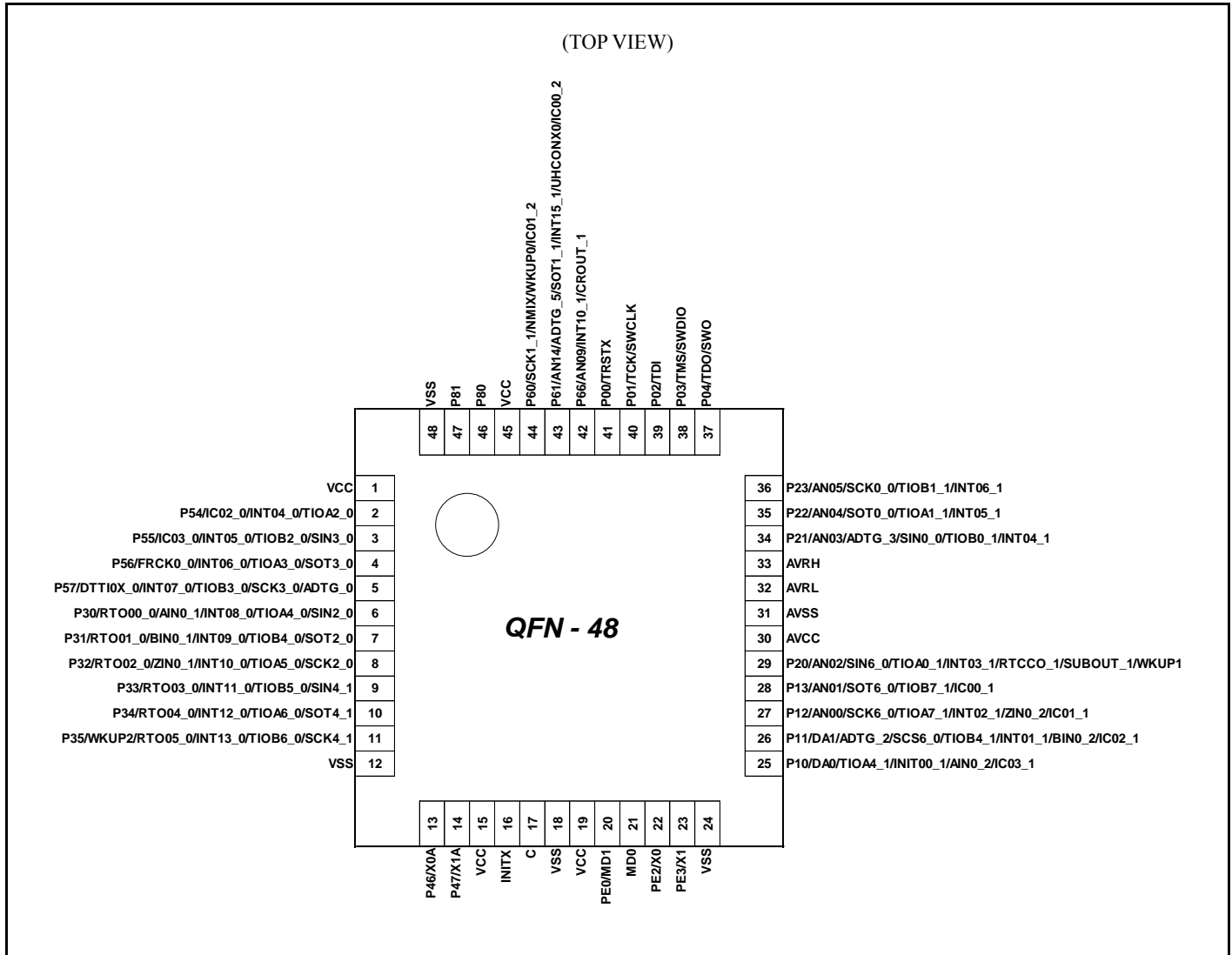
- XXX_1, XXX_2 のように「_ (アンダーバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示していません。
- これらの端子は1つのチャネルに複数の機能があり、それぞれの機能ごとに端子名があります。
- 拡張ポート機能レジスタ(EPFR)によって利用する端子名を選択してください。

LQA048



<注意事項>

- XXX_1, XXX_2 のように「_ (アンダーバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。
- これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。
- 拡張ポート機能レジスタ(EPFR)によって利用する端子名を選択してください。

VNA048

<注意事項>

- XXX_1, XXX_2 のように「_ (アンダーバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。

これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。

拡張ポート機能レジスタ(EPFR)によって利用する端子名を選択してください。

4. 端子機能一覧

端子番号別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。

拡張ポート機能レジスタ(EPFR)によって利用する端子名を選択してください。

端子番号		端子名	入出力回路形式	端子状態形式
LQFP64 QFN64	LQFP48 QFN48			
1	1	VCC	-	-
2	-	P50	E	K
		AIN0_0		
		INT00_0		
		TIOA0_0		
		CTS4_0		
3	-	P51	E	K
		BIN0_0		
		INT01_0		
		TIOB0_0		
		RTS4_0		
4	-	P52	I	K
		IC00_0		
		ZIN0_0		
		INT02_0		
		TIOA1_0		
5	-	P53	N	K
		IC01_0		
		INT03_0		
		TIOB1_0		
		SOT4_0 (SDA4_0)		
6	2	P54	N	K
		IC02_0		
		INT04_0		
	-	TIOA2_0		
		SCK4_0 (SCL4_0)		
7	3	P55	I	K
		IC03_0		
		INT05_0		
		TIOB2_0		
		SIN3_0		
8	4	P56	N	K
		FRCK0_0		
		INT06_0		
		TIOA3_0		
		SOT3_0 (SDA3_0)		

端子番号		端子名	入出力回路形式	端子状態形式
LQFP64 QFN64	LQFP48 QFN48			
9	5	P57	N	K
		DTTIOX_0		
		INT07_0		
		TIOB3_0		
		SCK3_0 (SCL3_0)		
		ADTG_0		
10	6	P30	G	K
		RTO00_0		
		AIN0_1		
		INT08_0		
		TIOA4_0		
		SIN2_0		
11	7	P31	G	K
		RTO01_0		
		BIN0_1		
		INT09_0		
		TIOB4_0		
		SOT2_0 (SDA2_0)		
12	8	P32	G	K
		RTO02_0		
		ZIN0_1		
		INT10_0		
		TIOA5_0		
		SCK2_0 (SCL2_0)		
13	9	P33	G	K
		RTO03_0		
		INT11_0		
		TIOB5_0		
		SIN4_1		
14	10	P34	G	K
		RTO04_0		
		INT12_0		
		TIOA6_0		
		SOT4_1 (SDA4_1)		
15	11	P35	G	Q
		WKUP2		
		RTO05_0		
		INT13_0		
		TIOB6_0		
		SCK4_1 (SCL4_1)		

端子番号		端子名	入出力回路形式	端子状態形式
LQFP64 QFN64	LQFP48 QFN48			
16	12	VSS	-	-
17	13	P46	P	S
		X0A		
18	14	P47	Q	T
		X1A		
19		VBAT	-	-
-	15	VCC	-	-
20	-	P48	O	U
		VREGCTL		
21	-	P49	O	U
		VWAKEUP		
22	16	INITX	B	C
23	17	C	-	-
24	18	VSS	-	-
25	19	VCC	-	-
26	-	P40	E	K
		TIOA7_0		
		INT14_0		
27	-	P41	E	Q
		TIOB7_0		
		INT15_0		
		ADTG_1		
		WKUP3		
28	20	PE0	C	E
		MD1		
29	21	MD0	J	D
30	22	PE2	A	A
		X0		
31	23	PE3	A	B
		X1		
32	24	VSS	-	-
33	-	VCC	-	-
34	25	P10	R	J
		DA0		
		TIOA4_1		
		INT00_1		
		AIN0_2		
	IC03_1			
-	RTO10_0			
35	26	P11	R	J
		DA1		
		ADTG_2		
		SCS6_0		
		TIOB4_1		
		INT01_1		
		BIN0_2		
	IC02_1			
-	RTO11_0			

端子番号		端子名	入出力 回路形式	端子状態 形式
LQFP64 QFN64	LQFP48 QFN48			
36	27	P12	M	M
		AN00		
		SCK6_0		
		TIOA7_1		
		INT02_1		
		ZIN0_2		
		IC01_1		
-	RTO12_0			
37	28	P13	M	L
		AN01		
		SOT6_0 (SDA6_0)		
		TIOB7_1		
		IC00_1		
-	RTO13_0			
38	29	P20	F	O
		AN02		
		SIN6_0		
		TIOA0_1		
		INT03_1		
		RTCCO_1		
		SUBOUT_1		
		WKUP1		
-	RTO14_0			
39	30	AVCC	-	-
40	31	AVSS	-	-
41	32	AVRL	-	-
42	33	AVRH	-	-
43	34	P21	F	M
		AN03		
		ADTG_3		
		SIN0_0		
		TIOB0_1		
		INT04_1		
		-		
44	35	P22	F	M
		AN04		
		SOT0_0 (SDA0_0)		
		TIOA1_1		
		INT05_1		
-	FRCK1_0			
45	36	P23	F	M
		AN05		
		SCK0_0 (SCL0_0)		
		TIOB1_1		
		INT06_1		
		-		

端子番号		端子名	入出力 回路形式	端子状態 形式
LQFP64 QFN64	LQFP48 QFN48			
46	-	P24	F	M
		AN06		
		SCK1_0 (SCL1_0)		
		INT07_1		
		IC10_0		
47	-	P25	F	M
		AN07		
		SOT1_0 (SDA1_0)		
		INT08_1		
		IC11_0 CROUT_0		
48	-	P26	F	M
		AN08		
		SIN1_0		
		INT09_1 IC12_0		
49	37	P04	E	G
		TDO		
		SWO		
50	38	P03	E	G
		TMS		
		SWDIO		
51	39	P02	E	G
		TDI		
52	40	P01	E	G
		TCK		
		SWCLK		
53	41	P00	E	G
		TRSTX		
54	42	P66	F	M
		AN09		
		INT10_1 CROUT_1		
	-	IC13_0		
55	-	P65	L	M
		AN10		
		SCK0_1 (SCL0_1)		
		TIOA2_1		
		INT11_1		
		RTCCO_0 SUBOUT_0		
56	-	P64	L	M
		AN11		
		SOT0_1 (SDA0_1)		
		TIOB2_1		
		INT12_1		

端子番号		端子名	入出力回路形式	端子状態形式
LQFP64 QFN64	LQFP48 QFN48			
57	-	P63	F	M
		AN12		
		SIN0_1		
		TIOA3_1		
		INT13_1		
		ADTG_4		
58	-	P62	F	M
		AN13		
		SIN1_1		
		TIOB3_1		
		INT14_1		
59	43	P61	F	M
		AN14		
		ADTG_5		
		SOT1_1 (SDA1_1)		
		INT15_1		
		IC00_2		
60	44	P60	I	F
		SCK1_1 (SCK1_1)		
		NMIX		
		WKUP0		
		IC01_2		
61	45	VCC	-	-
62	46	P80	H	R
63	47	P81	H	R
64	48	VSS	-	-

端子機能別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。

端子機能	端子名	機能説明	端子番号	
			LQFP64 QFN64	LQFP48 QFN48
ADC	ADTG_0	A/D コンバータ外部トリガ入力端子	9	5
	ADTG_1		27	-
	ADTG_2		35	26
	ADTG_3		43	34
	ADTG_4		57	-
	ADTG_5		59	43
	AN00	A/D コンバータアナログ入力端子。 ANxx は ADC ch.xx を示す。	36	27
	AN01		37	28
	AN02		38	29
	AN03		43	34
	AN04		44	35
	AN05		45	36
	AN06		46	-
	AN07		47	-
	AN08		48	-
	AN09		54	42
	AN10		55	-
	AN11		56	-
	AN12		57	-
	AN13		58	-
AN14	59	43		
ベース タイマ 0	TIOA0_0	ベースタイマ ch.0 の TIOA 端子	2	-
	TIOA0_1		38	29
	TIOB0_0	ベースタイマ ch.0 の TIOB 端子	3	-
	TIOB0_1		43	34
ベース タイマ 1	TIOA1_0	ベースタイマ ch.1 の TIOA 端子	4	-
	TIOA1_1		44	35
	TIOB1_0	ベースタイマ ch.1 の TIOB 端子	5	-
	TIOB1_1		45	36
ベース タイマ 2	TIOA2_0	ベースタイマ ch.2 の TIOA 端子	6	2
	TIOA2_1		55	-
	TIOB2_0	ベースタイマ ch.2 の TIOB 端子	7	3
	TIOB2_1		56	-
ベース タイマ 3	TIOA3_0	ベースタイマ ch.3 の TIOA 端子	8	4
	TIOA3_1		57	-
	TIOB3_0	ベースタイマ ch.3 の TIOB 端子	9	5
	TIOB3_1		58	-
ベース タイマ 4	TIOA4_0	ベースタイマ ch.4 の TIOA 端子	10	6
	TIOA4_1		34	25
	TIOB4_0	ベースタイマ ch.4 の TIOB 端子	11	7
	TIOB4_1		35	26

端子機能	端子名	機能説明	端子番号	
			LQFP64 QFN64	LQFP48 QFN48
ベース タイマ5	TIOA5_0	ベースタイマ ch.5 の TIOA 端子	12	8
	TIOB5_0	ベースタイマ ch.5 の TIOB 端子	13	9
ベース タイマ6	TIOA6_0	ベースタイマ ch.6 の TIOA 端子	14	10
	TIOB6_0	ベースタイマ ch.6 の TIOB 端子	15	11
ベース タイマ7	TIOA7_0	ベースタイマ ch.7 の TIOA 端子	26	-
	TIOA7_1		36	27
	TIOB7_0	ベースタイマ ch.7 の TIOB 端子	27	-
	TIOB7_1		37	28
デバッグ	SWCLK	シリアルワイヤデバッグインタフェース クロック入力端子	52	40
	SWDIO	シリアルワイヤデバッグインタフェース データ入出力端子	50	38
	SWO	シリアルワイヤビューワ出力端子	49	37
	TCK	JTAG テストクロック入力端子	52	40
	TDI	JTAG テストデータ入力端子	51	39
	TDO	JTAG デバッグデータ出力端子	49	37
	TMS	JTAG テストモード状態入出力端子	50	38
TRSTX	JTAG テストリセット入力端子	53	41	
外部 割込み	INT00_0	外部割込み要求 00 の入力端子	2	-
	INT00_1		34	25
	INT01_0	外部割込み要求 01 の入力端子	3	-
	INT01_1		35	26
	INT02_0	外部割込み要求 02 の入力端子	4	-
	INT02_1		36	27
	INT03_0	外部割込み要求 03 の入力端子	5	-
	INT03_1		38	29
	INT04_0	外部割込み要求 04 の入力端子	6	2
	INT04_1		43	34
	INT05_0	外部割込み要求 05 の入力端子	7	3
	INT05_1		44	35
	INT06_0	外部割込み要求 06 の入力端子	8	4
	INT06_1		45	36
	INT07_0	外部割込み要求 07 の入力端子	9	5
	INT07_1		46	-
	INT08_0	外部割込み要求 08 の入力端子	10	6
	INT08_1		47	-
	INT09_0	外部割込み要求 09 の入力端子	11	7
	INT09_1		48	-
	INT10_0	外部割込み要求 10 の入力端子	12	8
	INT10_1		54	42
INT11_0	外部割込み要求 11 の入力端子	13	9	
INT11_1		55	-	

端子機能	端子名	機能説明	端子番号	
			LQFP64 QFN64	LQFP48 QFN48
外部 割込み	INT12_0	外部割込み要求 12 の入力端子	14	10
	INT12_1		56	-
	INT13_0	外部割込み要求 13 の入力端子	15	11
	INT13_1		57	-
	INT14_0	外部割込み要求 14 の入力端子	26	-
	INT14_1		58	-
	INT15_0	外部割込み要求 15 の入力端子	27	-
	INT15_1		59	43
	NMIX	ノンマスカブル割込み入力端子	60	44
GPIO	P00	汎用入出力ポート 0	53	41
	P01		52	40
	P02		51	39
	P03		50	38
	P04		49	37
	P10	汎用入出力ポート 1	34	25
	P11		35	26
	P12		36	27
	P13		37	28
	P20	汎用入出力ポート 2	38	29
	P21		43	34
	P22		44	35
	P23		45	36
	P24		46	-
	P25		47	-
	P26		48	-
	P30	汎用入出力ポート 3	10	6
	P31		11	7
	P32		12	8
	P33		13	9
	P34		14	10
	P40	汎用入出力ポート 4	26	-
	P41		27	-
	P46		17	13
	P47		18	14
	P48		20	-
	P49	21	-	
	P50	汎用入出力ポート 5	2	-
	P51		3	-
	P52		4	-
	P53		5	-
	P54		6	2
P55	7		3	
P56	8		4	
P57	9		5	

端子機能	端子名	機能説明	端子番号	
			LQFP64 QFN48	LQFP48 QFN48
GPIO	P60	汎用入出力ポート 6	60	44
	P61		59	43
	P62		58	-
	P63		57	-
	P64		56	-
	P65		55	-
	P66	54	42	
	P80	汎用入出力ポート 8	62	46
	P81		63	47
	PE0	汎用入出力ポート E	28	20
	PE2		30	22
	PE3		31	23
マルチファンクションシリアル 0	SIN0_0	マルチファンクションシリアルインタフェース ch.0 の入力端子	43	34
	SIN0_1		57	-
	SOT0_0 (SDA0_0)	マルチファンクションシリアルインタフェース ch.0 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときには SOT0 として、I ² C 端子(動作モード 4)として使用するときには SDA0 として機能します。	44	35
	SOT0_1 (SDA0_1)		56	-
	SCK0_0 (SCL0_0)	マルチファンクションシリアルインタフェース ch.0 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときには SCK0 として、I ² C 端子(動作モード 4)として使用するときには SCL0 として機能します。	45	36
SCK0_1 (SCL0_1)	55		-	
マルチファンクションシリアル 1	SIN1_0	マルチファンクションシリアルインタフェース ch.1 の入力端子	48	-
	SIN1_1		58	-
	SOT1_0 (SDA1_0)	マルチファンクションシリアルインタフェース ch.1 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときには SOT1 として、I ² C 端子(動作モード 4)として使用するときには SDA1 として機能します。	47	-
	SOT1_1 (SDA1_1)		59	43
	SCK1_0 (SCL1_0)	マルチファンクションシリアルインタフェース ch.1 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときには SCK1 として、I ² C 端子(動作モード 4)として使用するときには SCL1 として機能します。	46	-
SCK1_1 (SCL1_1)	60		44	

端子機能	端子名	機能説明	端子番号	
			LQFP64 QFN64	LQFP48 QFN48
マルチファンクションシリアル 2	SIN2_0	マルチファンクションシリアルインタフェース ch.2 の入力端子	10	6
	SOT2_0 (SDA2_0)	マルチファンクションシリアルインタフェース ch.2 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときには SOT2 として、I ² C 端子(動作モード 4)として使用するときには SDA2 として機能します。	11	7
	SCK2_0 (SCL2_0)	マルチファンクションシリアルインタフェース ch.2 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときには SCK2 として、I ² C 端子(動作モード 4)として使用するときには SCL2 として機能します。	12	8
マルチファンクションシリアル 3	SIN3_0	マルチファンクションシリアルインタフェース ch.3 の入力端子	7	3
	SOT3_0 (SDA3_0)	マルチファンクションシリアルインタフェース ch.3 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときには SOT3 として、I ² C 端子(動作モード 4)として使用するときには SDA3 として機能します。	8	4
	SCK3_0 (SCL3_0)	マルチファンクションシリアルインタフェース ch.3 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときには SCK3 として、I ² C 端子(動作モード 4)として使用するときには SCL3 として機能します。	9	5
マルチファンクションシリアル 4	SIN4_0	マルチファンクションシリアルインタフェース ch.4 の入力端子	4	-
	SIN4_1		13	9
	SOT4_0 (SDA4_0)	マルチファンクションシリアルインタフェース ch.4 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときには SOT4 として、I ² C 端子(動作モード 4)として使用するときには SDA4 として機能します。	5	-
	SOT4_1 (SDA4_1)		14	10
	SCK4_0 (SCL4_0)	マルチファンクションシリアルインタフェース ch.4 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときには SCK4 として、I ² C 端子(動作モード 4)として使用するときには SCL4 として機能します。	6	-
	SCK4_1 (SCL4_1)		15	11
	CTS4_0	マルチファンクションシリアルインタフェース ch.4 の CTS 入力端子	2	-
RTS4_0	マルチファンクションシリアルインタフェース ch.4 の RTS 出力端子	3	-	

端子機能	端子名	機能説明	端子番号	
			LQFP64 QGN64	LQFP48 QFN48
マルチファンクションシリアル6	SIN6_0	マルチファンクションシリアルインタフェース ch.6 の入力端子	38	29
	SOT6_0 (SDA6_0)	マルチファンクションシリアルインタフェース ch.6 の出力端子。UART/CSIO/LIN 端子(動作モード 0~3)として使用するときには SOT6 として、I ² C 端子(動作モード 4)として使用するときには SDA6 として機能します。	37	28
	SCK6_0 (SCL6_0)	マルチファンクションシリアルインタフェース ch.6 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときには SCK6 として、I ² C 端子(動作モード 4)として使用するときには SCL6 として機能します。	36	27
	SCS6_0	マルチファンクションシリアルインタフェース ch.6 のシリアルチップセレクト端子	35	26
多機能タイマ0	DTTIOX_0	多機能タイマ0の RTO00~RTO05 出力を制御する波形ジェネレータの入力信号	9	5
	FRCK0_0	16ビットフリーランタイム ch.0 の外部クロック入力端子	8	4
	IC00_0	多機能タイマ0の16ビットインプットキャプチャの入力端子。 ICxx は、チャンネル数を示します。	4	-
	IC00_1		37	28
	IC00_2		59	43
	IC01_0		5	-
	IC01_1		36	27
	IC01_2		60	44
	IC02_0		6	2
	IC02_1		35	26
	IC03_0		7	3
	IC03_1		34	25
	RTO00_0 (PPG00_0)	多機能タイマ0の波形ジェネレータ出力端子。PPG0 出力モードで使用するときには、PPG00 として機能します。	10	6
	RTO01_0 (PPG00_0)	多機能タイマ0の波形ジェネレータ出力端子。PPG0 出力モードで使用するときには、PPG00 として機能します。	11	7
	RTO02_0 (PPG02_0)	多機能タイマ0の波形ジェネレータ出力端子。PPG0 出力モードで使用するときには、PPG02 として機能します。	12	8
	RTO03_0 (PPG02_0)	多機能タイマ0の波形ジェネレータ出力端子。PPG0 出力モードで使用するときには、PPG02 として機能します。	13	9
	RTO04_0 (PPG04_0)	多機能タイマ0の波形ジェネレータ出力端子。PPG0 出力モードで使用するときには、PPG04 として機能します。	14	10
RTO05_0 (PPG04_0)	多機能タイマ0の波形ジェネレータ出力端子。PPG0 出力モードで使用するときには、PPG04 として機能します。	15	11	

端子機能	端子名	機能説明	端子番号	
			LQFP64 QGN64	LQFP48 QFN48
多機能 タイマ1	DTT1X_0	多機能タイマ1のRTO10~RTO15出力を制御する波形ジェネレータの入力信号	45	-
	FRCK1_0	16ビットフリーランタイムch.1の外部クロック入力端子	44	-
	IC10_0	多機能タイマ1の16ビットインプットキャプチャの入力端子。 ICxxは、チャンネル数を示します。	46	-
	IC11_0		47	-
	IC12_0		48	-
	IC13_0		54	-
	RTO10_0 (PPG10_0)	多機能タイマ1の波形ジェネレータ出力端子。 PPG1出力モードで使用するときは、PPG10として機能します。	34	-
	RTO11_0 (PPG10_0)	多機能タイマ1の波形ジェネレータ出力端子。 PPG1出力モードで使用するときは、PPG10として機能します。	35	-
	RTO12_0 (PPG12_0)	多機能タイマ1の波形ジェネレータ出力端子。 PPG1出力モードで使用するときは、PPG12として機能します。	36	-
	RTO13_0 (PPG12_0)	多機能タイマ1の波形ジェネレータ出力端子。 PPG1出力モードで使用するときは、PPG12として機能します。	37	-
	RTO14_0 (PPG14_0)	多機能タイマ1の波形ジェネレータ出力端子。 PPG1出力モードで使用するときは、PPG14として機能します。	38	-
RTO15_0 (PPG14_0)	多機能タイマ1の波形ジェネレータ出力端子。 PPG1出力モードで使用するときは、PPG14として機能します。	43	-	
クアッド カウンタ 0	AIN0_0	QPRC ch.0のAIN入力端子	2	-
	AIN0_1		10	6
	AIN0_2		34	25
	BIN0_0	QPRC ch.0のBIN入力端子	3	-
	BIN0_1		11	7
	BIN0_2		35	26
	ZIN0_0	QPRC ch.0のZIN入力端子	4	-
	ZIN0_1		12	8
ZIN0_2	36		36	

端子機能	端子名	機能説明	端子番号			
			LQFP64 QGN64	LQFP48 QFN48		
リアルタイムクロック	RTCCO_0	リアルタイムクロックの 0.5 秒パルス出力端子	55	-		
	RTCCO_1		38	29		
	SUBOUT_0	サブクロック出力端子	55	-		
	SUBOUT_1		38	29		
低消費電力	WKUP0	ディープスタンバイモード復帰信号入力端子 0	60	44		
	WKUP1	ディープスタンバイモード復帰信号入力端子 1	38	29		
	WKUP2	ディープスタンバイモード復帰信号入力端子 2	15	11		
	WKUP3	ディープスタンバイモード復帰信号入力端子 3	27	-		
DAC	DA0	D/A コンバータ ch.0 のアナログ出力端子	34	25		
	DA1	D/A コンバータ ch.1 のアナログ出力端子	35	26		
VBAT	VREGCTL	オンボードレギュレータ制御用端子	20	-		
	VWAKEUP	ハイバネーション状態からの復帰信号入力端子	21	-		
Reset	INITX	外部リセット入力端子。 INITX=L のとき、リセットが有効。	22	16		
Mode	MD1	モード 1 端子。 フラッシュメモリのシリアル書込み時は、MD1=L を入力してください。	28	20		
	MD0	モード 0 端子。 通常動作時は、MD0=L を入力してください。フラッシュメモリのシリアル書込み時は、MD0=H を入力してください。	29	21		
Power	VCC	電源端子	1	1		
			-	15		
			25	19		
			33	-		
GND	VSS	GND 端子	61	45		
			16	12		
			24	18		
			32	24		
Clock			64	48		
			X0	メインクロック(発振)入力端子	30	22
			X1	メインクロック(発振) I/O 端子	31	23
			X0A	サブクロック(発振)入力端子	17	13
Analog Power	AVCC	A/D コンバータ, D/A コンバータのアナログ電源端子	X1A	サブクロック(発振) I/O 端子	18	14
			CROUT_0	高速内蔵 CR 発振クロック出力ポート	47	-
	CROUT_1	54	42			
VBAT Power	VBAT	VBAT 電源端子バックアップ電源(電池など)やシステム電源からの供給	42	33		
			19	-		
Analog GND	AVSS	A/D コンバータ, D/A コンバータの GND 端子	40	31		
			41	32		
C 端子	C	電源安定化容量端子	23	17		

<注意事項>

- 本デバイスには、JTAG 標準のテストアクセスポート(TAP)が搭載されていますが、IEEE 1149.1-2001 に完全に準拠していません。32bit の ID 番号は、他シリーズの ID 番号と重なる場合があります。また、JTAG 端子は TAP コントローラへのアクセス以外の目的に対しても使用されます。

5. 入出力回路形式

分類	回路	備考
A		<p>メイン発振/GPIO 切換え可能</p> <p>メイン発振機能選択時</p> <ul style="list-style-type: none"> - 発振帰還抵抗: 約 1 MΩ - スタンバイ制御あり <p>GPIO 機能選択時</p> <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗: 約 50 kΩ - I_{OH} = -4 mA, I_{OL} = 4 mA
B		<ul style="list-style-type: none"> - CMOS レベルヒステリシス入力 - ブルアップ抵抗: 約 50 kΩ

分類	回路	備考
C		<ul style="list-style-type: none"> - オープンドレイン出力 - CMOS レベルヒステリシス入力
E		<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$
F		<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - 入力制御あり - アナログ入力 - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。

分類	回路	備考
G	<p>The diagram for category G shows a pull-up resistor R connected to a node. This node is connected to the gates of two transistors: a P-ch transistor and an N-ch transistor. The P-ch transistor's source is connected to a supply rail, and its drain is connected to a digital output. The N-ch transistor's source is connected to ground, and its drain is also connected to the digital output. A digital input is connected to the node through an AND gate, which is controlled by a standby mode control signal.</p>	<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - $I_{OH} = -12 \text{ mA}$, $I_{OL} = 12 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
H	<p>The diagram for category H shows a pull-up resistor R connected to a node. This node is connected to the gates of two transistors: a P-ch transistor and an N-ch transistor. The P-ch transistor's source is connected to a supply rail, and its drain is connected to a digital output. The N-ch transistor's source is connected to ground, and its drain is also connected to the digital output. A digital input is connected to the node through an AND gate, which is controlled by a standby mode control signal.</p>	<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - スタンバイ制御あり - $I_{OH} = -20.5 \text{ mA}$, $I_{OL} = 18.5 \text{ mA}$

分類	回路	備考
I		<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - ブルアップ抵抗制御あり - 5V トレラント - スタンバイ制御あり - ブルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - PZR レジスタ制御可能 - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
J		CMOS レベルヒステリシス入力
L		<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗: 約 50 kΩ - $I_{OH} = -8 \text{ mA}$, $I_{OL} = 8 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。

分類	回路	備考
M	<p>The diagram for mode M shows a pull-up resistor connected to a P-ch transistor. The output of this P-ch transistor is labeled 'Digital output'. The gate of this P-ch transistor is connected to a P-ch transistor whose gate is connected to a pull-up resistor and labeled 'Pull-up resistor control'. The output of this second P-ch transistor is labeled 'Digital output'. The gate of this second P-ch transistor is connected to an AND gate labeled 'Digital input'. The output of this AND gate is labeled 'Standby mode control'. The output of the AND gate is also connected to an inverter, whose output is connected to the gate of an N-ch transistor labeled 'Analog input'. The output of this N-ch transistor is labeled 'Input control'.</p>	<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - 入力制御あり - アナログ入力 - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗: 約 50 kΩ - $I_{OH} = -8 \text{ mA}$, $I_{OL} = 8 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
N	<p>The diagram for mode N shows a pull-up resistor connected to a P-ch transistor. The output of this P-ch transistor is labeled 'Pull-up resistor control'. The gate of this P-ch transistor is connected to a P-ch transistor whose gate is connected to a pull-up resistor and labeled 'Digital output'. The output of this second P-ch transistor is labeled 'Digital output'. The gate of this second P-ch transistor is connected to an AND gate labeled 'Digital input'. The output of this AND gate is labeled 'Standby mode control'. The output of the AND gate is also connected to the gates of two N-ch transistors. The output of the first N-ch transistor is labeled 'Fast mode control'. The output of the second N-ch transistor is labeled 'Digital output'.</p>	<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ (GPIO) - $I_{OL} = 20 \text{ mA}$ (Fast Mode Plus) - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。

分類	回路	備考
O	<p style="text-align: right;"> Pull-up resistor control Digital output Digital output Digital input Standby mode control </p>	<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - 5V トレラント - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - IO の設定は『ペリフェラルマニュアル 本編(002-04857)』の『VBAT ドメイン』の章を参照してください
P	<p style="text-align: right;"> Pull-up resistor control Digital output Digital output Digital input Standby mode control OSC </p>	<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - IO の設定は『ペリフェラルマニュアル 本編(002-04857)』の『VBAT ドメイン』の章を参照してください。

分類	回路	備考
Q		<p>サブ発振/GPIO 切換え可能</p> <p>サブ発振機能選択時</p> <ul style="list-style-type: none"> - 発振帰還抵抗: 約 10 MΩ - スタンバイ制御あり <p>GPIO 機能選択時</p> <ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗: 約 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - IO の設定は『ペリフェラルマニユアル 本編(002-04857)』の『VBAT ドメイン』の章を参照してください
R		<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - 入力制御あり - アナログ出力 - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗: 約 50 kΩ - $I_{OH} = -12 \text{ mA}$, $I_{OL} = 12 \text{ mA}$ (4.5V~5.5V) - $I_{OH} = -8 \text{ mA}$, $I_{OL} = 8 \text{ mA}$ (2.7V~4.5V)

6. 取扱上のご注意

半導体デバイスは、ある確率で故障します。また、半導体デバイスの故障は、使用される条件(回路条件、環境条件など)によっても大きく左右されます。

以下に、半導体デバイスをより信頼性の高い状態で使用していただくために、注意・配慮しなければならない事項について説明します。

6.1 設計上の注意事項

ここでは、半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

絶対最大定格の遵守

半導体デバイスは、過剰なストレス (電圧、電流、温度など) が加わると破壊する可能性があります。この限界値を定めたものが絶対最大定格です。従って、定格を一項目でも超えることのないようご注意ください。

推奨動作条件の遵守

推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、全てこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を越えて使用すると、信頼性に悪影響を及ぼすことがあります。

本資料に記載されていない項目、使用条件、論理組み合わせでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

端子の処理と保護

半導体デバイスには、電源および各種入出力端子があります。これらに対して以下の注意が必要です。

(1) 過電圧・過電流の防止

各端子に最大定格を超える電圧・電流が印加されると、デバイスの内部に劣化が生じ、著しい場合には破壊に至ります。機器の設計の際には、このような過電圧・過電流の発生を防止してください。

(2) 出力端子の保護

出力端子を電源端子または他の出力端子とショートしたり、大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので、このような接続はしないようにしてください。

(3) 未使用入力端子の処理

インピーダンスの非常に高い入力端子は、オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

ラッチアップ

半導体デバイスは、基板上に P 型と N 型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合、内部の寄生 PNP 接合 (サイリスタ構造) が導通して、数百 mA を越える大電流が電源端子に流れ続けることがあります。これをラッチアップと呼びます。この現象が起きるとデバイスの信頼性を損ねるだけでなく、破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために、以下の点にご注意ください。

(1) 最大定格以上の電圧が端子に加わることが無いようにしてください。異常なノイズ、サージ等にも注意してください。

(2) 電源投入シーケンスを考慮し、異常な電流が流れないようにしてください。

安全等の規制と規格の遵守

世界各国では、安全や、電磁妨害等の各種規制と規格が設けられています。お客様が機器を設計するに際しては、これらの規制と規格に適合するようお願いします。

フェイル・セーフ設計

半導体デバイスは、ある確率で故障が発生します。半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないように、お客様は、装置の冗長設計、延焼対策設計、過電流防止設計、誤動作防止設計などの安全設計をお願いします。

用途に関する注意

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。当社は、これらの用途に当該製品が使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

6.2 パッケージ実装上の注意事項

パッケージには、リード挿入形と表面実装形があります。いずれの場合も、はんだ付け時の耐熱性に関する品質保証は、当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

リード挿入形

リード挿入形パッケージのプリント板への実装方法は、プリント板へ直接はんだ付けする方法とソケットを使用してプリント板に実装する方法とがあります。

プリント板へ直接はんだ付けする場合は、プリント板のスルーホールにリード挿入後、噴流はんだによるフローはんだ方法（ウェーブソルダーリング法）が一般的に使用されます。この場合、はんだ付け実装時には、通常最大定格の保存温度を上回る熱ストレスがリード部分に加わります。当社の実装推奨条件で実装してください。

ソケット実装方法でご使用になる場合、ソケットの接点の表面処理と IC のリードの表面処理が異なるとき、長時間経過後、接触不良を起こすことがあります。このため、ソケットの接点の表面処理と IC のリードの表面処理の状態を確認してから実装することをお勧めします。

表面実装形

表面実装形パッケージは、リード挿入形と比較して、リードが細く薄いため、リードが変形し易い性質をもっています。また、パッケージの多ピン化に伴い、リードピッチも狭く、リード変形によるオープン不良や、はんだブリッジによるショート不良が発生しやすいため、適切な実装技術が必要となります。

当社ははんだリフロー方法を推奨し、製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

鉛フリーパッケージ

BGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合、使用状況により接合強度が低下することがありますのでご注意願います。

半導体デバイスの保管について

プラスチックパッケージは樹脂でできているため、自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合、界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください。

- (1) 急激な温度変化のある所では製品に水分の結露が起こります。このような環境を避けて、温度変化の少ない場所に保管してください。
- (2) 製品の保管場所はドライボックスの使用を推奨します。相対湿度 70%RH 以下、温度 5°C～30°C で保管をお願いします。ドライパッケージを開封した場合には湿度 40%～70%RH を推奨いたします。
- (3) 当社では必要に応じて半導体デバイスの梱包材として防湿性の高いアルミラミネート袋を用い、乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。
- (4) 腐食性ガスの発生する場所や塵埃の多い所は避けてください。

ベーキングについて

吸湿したパッケージはベーキング (加熱乾燥) を実施することにより除湿することが可能です。ベーキングは、当社の推奨する条件で実施してください。

条件:125°C/24 時間

静電気

半導体デバイスは静電気による破壊を起こしやすいため、以下の点についてご注意ください。

- (1) 作業環境の相対湿度は 40%～70%RH にしてください。
除電装置 (イオン発生装置) の使用なども必要に応じて検討してください。
- (2) 使用するコンベア、半田槽、半田ゴテ、および周辺付帯設備は大地に接地してください。
- (3) 人体の帯電防止のため、指輪または腕輪などから高抵抗 (1 MΩ 程度) で大地に接地したり、導電性の衣服・靴を着用し、床に導電マットを敷くなど帯電電荷を最小限に保つようにしてください。
- (4) 治具、計器類は、接地または帯電防止化を実施してください。
- (5) 組立完了基板の収納時、発泡スチロールなどの帯電しやすい材料の使用は避けてください。

6.3 使用環境に関する注意事項

半導体デバイスの信頼性は、先に述べました周囲温度とそれ以外の環境条件にも依存します。ご使用にあたっては、以下の点にご注意ください。

(1) 湿度環境

高湿度環境下での長期の使用は、デバイス自身だけでなくプリント基板等にもリーク性の不具合が発生する場合があります。高湿度が想定される場合は、防湿処理を施す等の配慮をお願いします。

(2) 静電気放電

半導体デバイスの直近に高電圧に帯電したものが存在すると、放電が発生し誤動作の原因となることがあります。このような場合、帯電の防止または放電の防止の処置をお願いします。

(3) 腐食性ガス、塵埃、油

腐食性ガス雰囲気中や、塵埃、油等がデバイスに付着した状態で使用すると、化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でご使用の場合は、防止策についてご検討ください。

(4) 放射線・宇宙線

一般のデバイスは、設計上、放射線、宇宙線にさらされる環境を想定しておりません。したがって、これらを遮蔽してご使用ください。

(5) 発煙・発火

樹脂モールド型のデバイスは、不燃性ではありません。発火物の近くでは、ご使用にならないでください。発煙・発火しますと、その際に毒性を持ったガスが発生する恐れがあります。

その他、特殊な環境下でのご使用をお考えの場合は、営業部門にご相談ください。

7. デバイス使用上の注意

電源端子について

VCC, VSS 端子が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にすべきものどうしを接続してありますが、不要輻射の低減・グランドレベルの上昇によるストロブ信号の誤動作の防止・総出力電流規格を遵守などのために、必ずそれらすべてを外部で電源およびグランドに接続してください。また、電流供給源からできる限り低インピーダンスで本デバイスの各電源端子と GND 端子に接続してください。

さらに、本デバイスの近くで各電源端子 と GND 端子の間に 0.1 μF 程度のセラミックコンデンサをバイパスコンデンサとして接続することを推奨します。

電源端子について

電源電圧の変動が VCC の推奨動作条件内においても、急激な変化があると誤動作することがあります。安定化の基準として VCC は、商用周波数 (50 Hz~60 Hz) におけるリップル変動(ピークピーク値) を推奨動作条件内の 10%以内にしてください。かつ電源切換えによる瞬間変動の過渡変動率は 0.1 V/ μs 以下にしてください。

水晶発振回路について

X0/X1, X0A/X1A 端子の近辺のノイズは本デバイスの誤動作の原因となります。X0/X1, X0A/X1A 端子および水晶発振子さらにグランドへのバイパスコンデンサはできる限り近くに配置するようにプリント板を設計してください。

また、X0/X1, X0A/X1A 端子の周りをグランドで囲むようなプリント板アートワークは安定した動作を期待できるため、強く推奨します。

実装基板にて、使用する水晶振動子の発振評価を実施してください。

サブクロック用水晶振動子について

本シリーズのサブクロック発振回路は消費電流を低く抑えた設計を行っており、増幅度が低い回路となっています。安定した発振をさせるためサブクロック用水晶振動子には、以下の条件を満たす水晶振動子の使用を推奨します。

■表面実装タイプ

サイズ: 3.2 mm \times 1.5 mm 以上
負荷容量: 6 pF~7 pF 程度

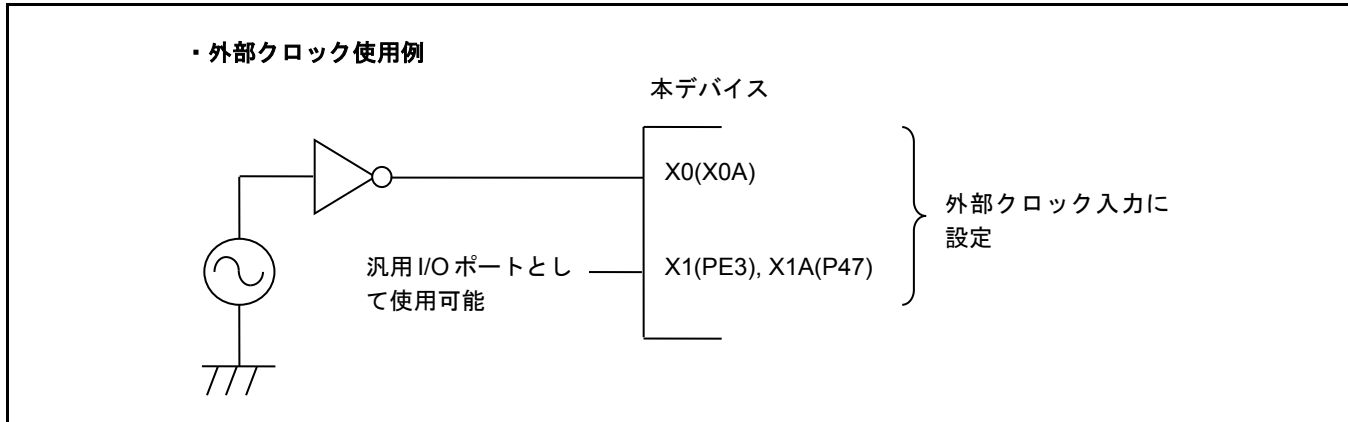
■リードタイプ

負荷容量: 6 pF~7 pF 程度

外部クロック使用時の注意

メインクロックの入力として外部クロックを使用する場合は、X0/X1 端子を外部クロック入力に設定し、X0 端子にクロックを入力してください。X1(PE3)端子は汎用 I/O ポートとして使用できます。

同様にサブクロックの入力として外部クロックを使用する場合は、X0A/X1A 端子を外部クロック入力に設定し、X0A 端子にクロックを入力してください。X1A(P47)端子は汎用 I/O ポートとして使用できます。



マルチファンクションシリアル端子を I²C 端子として使用する場合の扱いについて

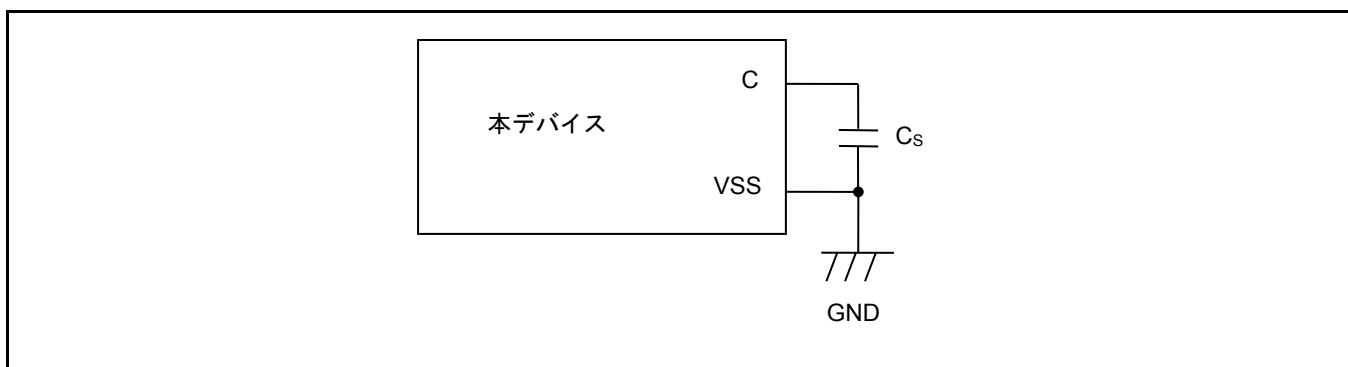
マルチファンクションシリアル端子を I²C 端子として使用する場合、デジタル出力 P-ch トランジスタは常にディセーブルです。しかし、I²C 端子もほかの端子と同様に、デバイスの電気的特性を守り、電源をオフにしたまま外部 I²C バスシステムへ接続してはいけません。

C 端子について

本シリーズはレギュレータを内蔵しています。必ず C 端子と GND 端子の間にレギュレータ用の平滑コンデンサ(C_s)を接続してください。平滑コンデンサにはセラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。

なお、積層セラミックコンデンサは、温度による容量値の変化幅に特性(F 特性, Y5V 特性)を持つものがあります。コンデンサの温度特性を確認し、使用条件において規格値を満たすコンデンサを使用してください。

本シリーズでは 4.7 μF 程度の平滑コンデンサを推奨します。



モード端子(MD0)について

モード端子(MD0)は VCC 端子または VSS 端子に直接接続してください。内蔵フラッシュメモリ書換えなどの目的で、モード端子レベルを変更できるようにプルアップまたはプルダウンをする場合には、ノイズによりデバイスが意図せずテストモードに入るのを防止するため、プルアップまたはプルダウンに使用する抵抗値はできるだけ低く抑えると共に、モード端子から VCC 端子または VSS 端子への距離を最小にし、できるだけ低インピーダンスで接続するようにプリント基板を設計してください。

電源投入時について

電源を投入/切断する際は同時か、あるいは次の順番で投入/切断を行ってください。すべての電源の投入後に正常動作します。64pin パッケージ使用の場合、VBAT のみ電源オンするには、全電源オンしてハイバネーション制御してから VBAT 以外を電源オフすることで可能です。ハイバネーション制御については、『FM4 ファミリー パリフェラルマニュアル (002-04857)』の CHAPTER 7-2: VBAT ドメイン(A) 章を参照ください。

なお、A/D コンバータおよび D/A コンバータを使用しない場合でも、AVCC = VCC レベル、AVSS = VSS レベルに接続してください。

投入時: VBAT → VCC
 VCC → AVCC → AVRH
切断時: AVRH → AVCC → VCC
 VCC → VBAT

シリアル通信について

シリアル通信においては、ノイズなどにより間違ったデータを受信する可能性があります。そのため、ノイズを抑えるボードの設計をしてください。

また、万が一ノイズなどの影響により誤ったデータを受信した場合を考慮し、最後にデータのチェックサムなどを付加してエラー検出を行ってください。エラーが検出された場合には、再送を行うなどの処理をしてください。

メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品の特性差について

メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品ではチップレイアウトやメモリ構造の違いにより消費電流や ESD, ラッチアップ, ノイズ特性, 発振特性等を含めた電気的特性が異なります。

お客様にて同一シリーズの別製品に切り換えて使用する際は、電気的特性の評価を行ってください。

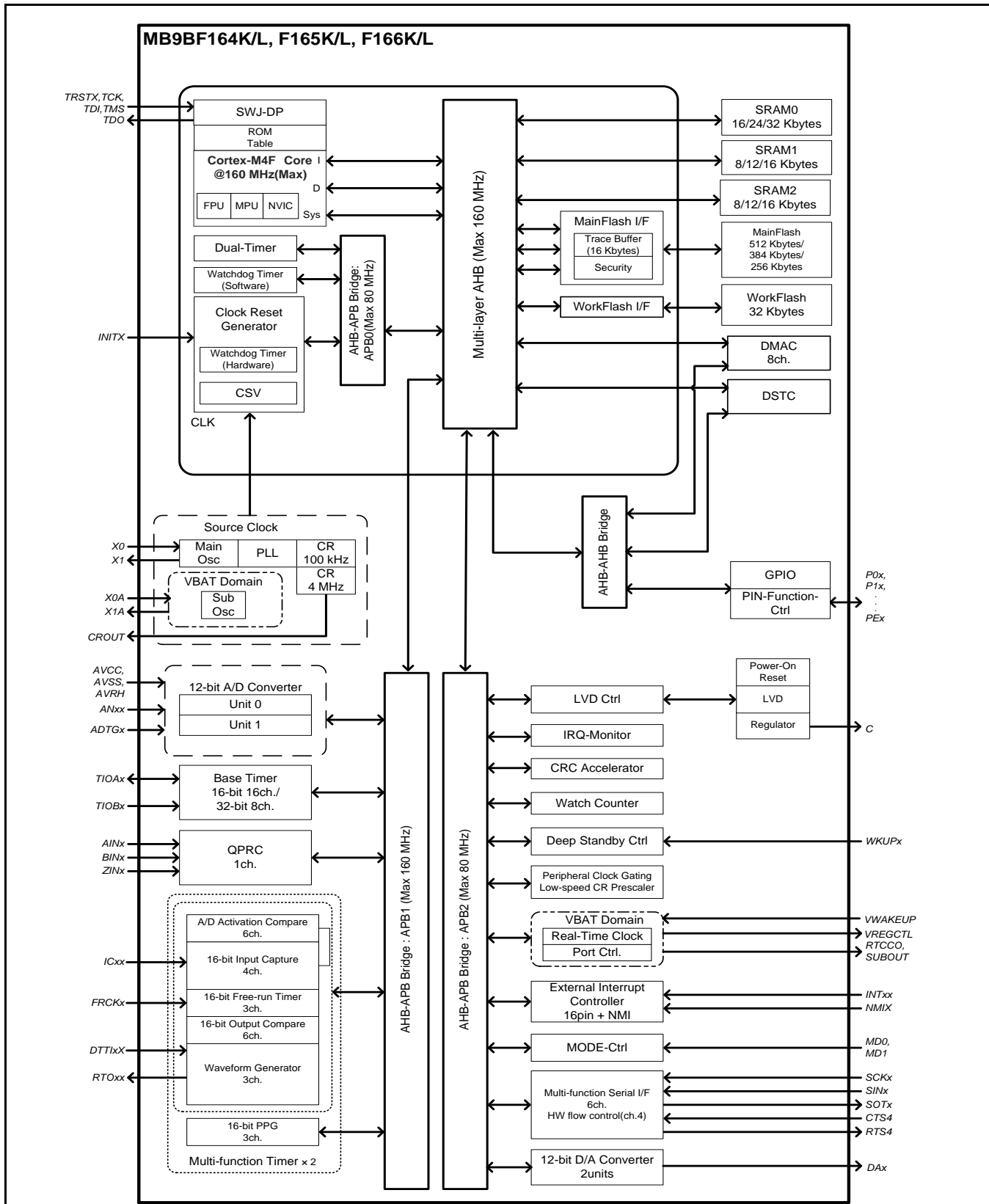
5V トレラント I/O のプルアップ機能について

5V トレラント I/O のプルアップ機能使用時は VCC 電圧以上の信号を入力してはいけません。

デバッグ機能を兼用している端子について

TDO/TMS/TDI/TCK/TRSTX, SWO/SWDIO/SWCLK と兼用している端子は出力のみで使用してください。入力として使用してはいけません。

8. ブロックダイアグラム

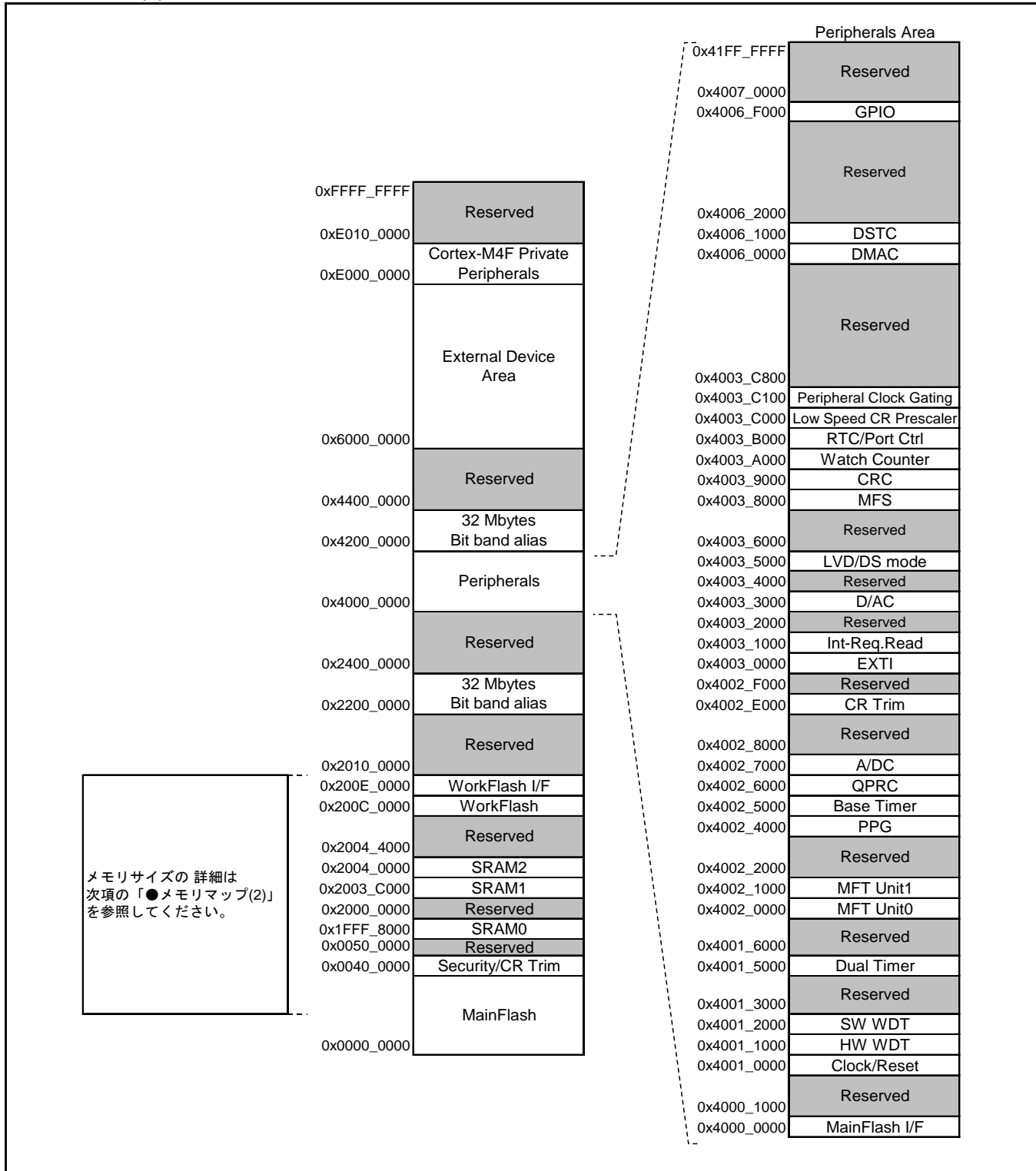


9. メモリサイズ

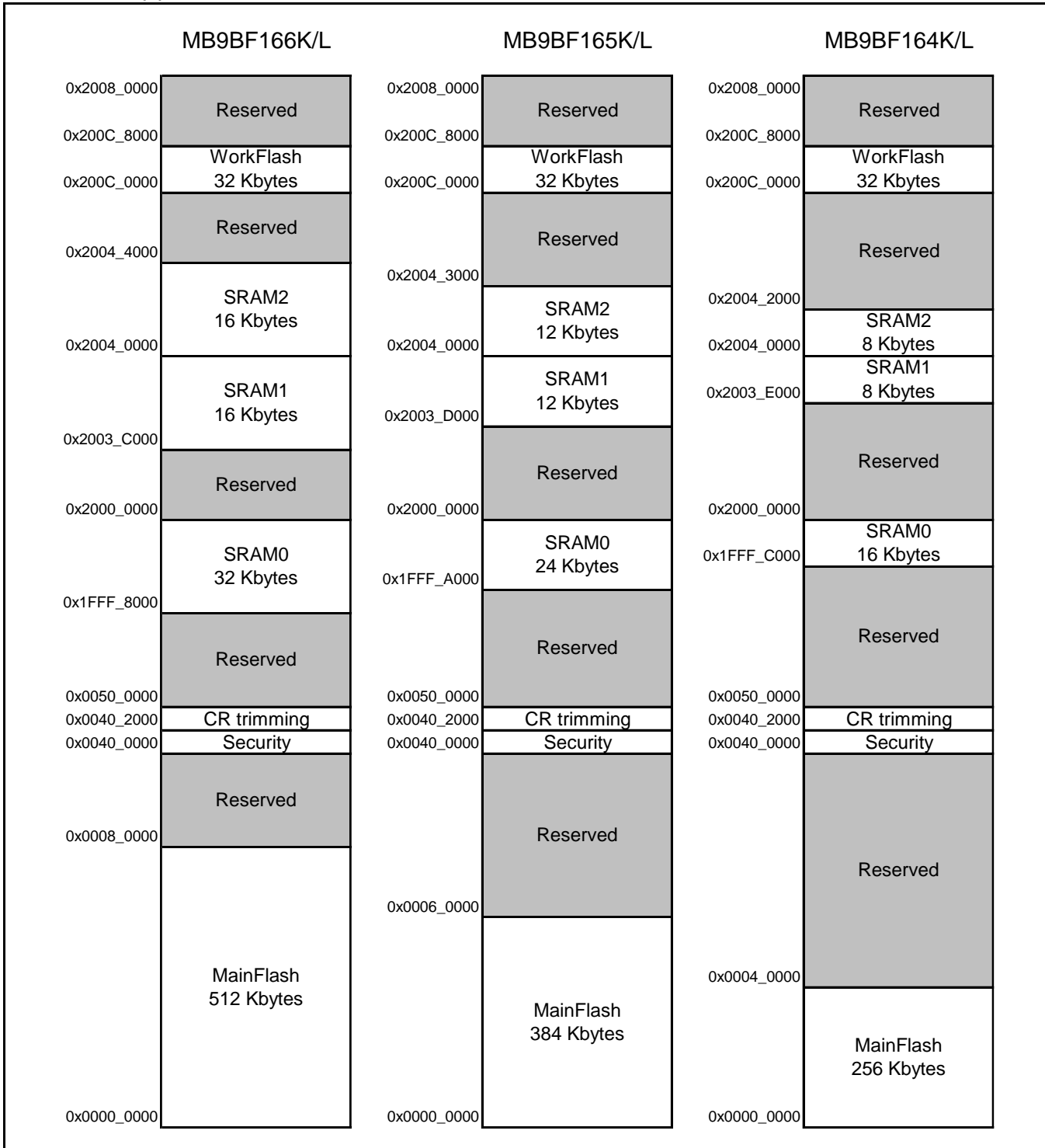
メモリサイズについては、「1. 品種構成」の「メモリサイズ」を参照してください。

10. メモリマップ

メモリマップ (1)



メモリマップ (2)



ペリフェラル・アドレスマップ

スタート アドレス	エンド アドレス	バス	周辺機能	
0x4000_0000	0x4000_0FFF	AHB	MainFlash I/F レジスタ	
0x4000_1000	0x4000_FFFF		予約	
0x4001_0000	0x4001_0FFF	APB0	クロック・リセット制御	
0x4001_1000	0x4001_1FFF		ハードウェアウォッチドッグタイマ	
0x4001_2000	0x4001_2FFF		ソフトウェアウォッチドッグタイマ	
0x4001_3000	0x4001_4FFF		予約	
0x4001_5000	0x4001_5FFF		デュアルタイマ	
0x4001_6000	0x4001_FFFF		予約	
0x4002_0000	0x4002_0FFF		APB1	多機能タイマ unit0
0x4002_1000	0x4002_1FFF	多機能タイマ unit1		
0x4002_2000	0x4003_FFFF	予約		
0x4002_4000	0x4002_4FFF	PPG		
0x4002_5000	0x4002_5FFF	ベースタイマ		
0x4002_6000	0x4002_6FFF	クアッドカウンタ		
0x4002_7000	0x4002_7FFF	A/D コンバータ		
0x4002_8000	0x4002_DFFF	予約		
0x4002_E000	0x4002_EFFF	内蔵 CR トリミング		
0x4002_F000	0x4002_FFFF	予約		
0x4003_0000	0x4003_0FFF	APB2		外部割込み
0x4003_1000	0x4003_1FFF		割込み要因確認レジスタ	
0x4003_2000	0x4003_4FFF		予約	
0x4003_3000	0x4003_3FFF		D/A コンバータ	
0x4003_4000	0x4003_4FFF		予約	
0x4003_5000	0x4003_57FF		低電圧検出	
0x4003_5800	0x4003_5FFF		ディープスタンバイ制御部	
0x4003_6000	0x4003_7FFF		予約	
0x4003_8000	0x4003_8FFF		マルチファンクションシリアル	
0x4003_9000	0x4003_9FFF		CRC	
0x4003_A000	0x4003_AFFF		時計カウンタ	
0x4003_B000	0x4003_BFFF		RTC/Port Ctrl	
0x4003_C000	0x4003_C0FF		低速 CR 補正	
0x4003_C100	0x4003_C7FF		周辺クロック停止	
0x4003_C800	0x4003_FFFF		予約	
0x4004_0000	0x4005_FFFF		AHB	予約
0x4006_0000	0x4006_0FFF			DMAC レジスタ
0x4006_1000	0x4006_1FFF	DSTC レジスタ		
0x4006_2000	0x4006_EFFF	予約		
0x4006_F000	0x4006_FFFF	GPIO		
0x4006_7000	0x41FF_FFFF	予約		
0x200E_0000	0x200E_FFFF	WorkFlash I/F レジスタ		

11. 各 CPU ステートにおける端子状態

端子の状態として使用している語句は、以下の意味を持ちます。

■INITX=0

INITX 端子が"L"レベルの期間です。

■INITX=1

INITX 端子が"H"レベルの期間です。

■SPL=0

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が"0"に設定された状態です。

■SPL=1

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が"1"に設定された状態です。

■入力可

入力機能が使用可能な状態です。

■内部入力"0"固定

入力機能が使用できない状態です。内部入力は"L"に固定されます。

■Hi-Z

端子駆動用トランジスタを駆動禁止状態にし、端子を Hi-Z にします。

■設定不可

設定できません。

■直前状態保持

本モードに遷移する直前の状態を保持します。

内蔵されている周辺機能が動作中であれば、その周辺機能にしたがいます。

ポートとして使用している場合は、その状態を保持します。

■アナログ入力可

アナログ入力が許可されています。

■トレース出力

トレース機能が使用可能な状態です。

■GPIO 選択

ディープスタンバイモード時、汎用 I/O ポートに切り換わります。

■設定禁止

仕様制限により設定禁止です。

端子状態一覧表

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード, RTCモードまたはストップモード状態		ディープスタンバイRTCモードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
A	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	メイン水晶発振入力端子 / 外部メインクロック入力選択時	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
B	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	外部メインクロック入力選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力 "0"固定	直前状態保持	Hi-Z/ 内部入力 "0"固定	直前状態保持
	メイン水晶発振出力端子	Hi-Z/ 内部入力 "0"固定 または 入力可	Hi-Z/ 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	直前状態保持/ 発振停止時*1はHi-Z/ 内部入力"0"固定					
C	INITX入力端子	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可
D	モード入力端子	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
E	モード入力端子	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 入力可	GPIO 選択	Hi-Z/ 入力可	GPIO 選択

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード, RTCモードまたはストップモード状態		ディープスタンバイRTCモードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態	
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定	
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1	
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-	
F	NMIX 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	WKUP 入力可	Hi-Z/ WKUP 入力可	GPIO 選択	
	上記以外のリソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入力 "0"固定				直前状態保持
	GPIO 選択時						直前状態保持				
G	JTAG 選択時	Hi-Z	プルアップ/ 入力可	プルアップ/ 入力可	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	
	GPIO 選択時	設定不可	設定不可	設定不可			Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択	
J	アナログ出力選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	*2	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択	
	外部割込み許可選択時						*3				直前状態保持
	上記以外のリソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入力 "0"固定				
	GPIO 選択時						直前状態保持				
K	外部割込み許可選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択	
	上記以外のリソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入力 "0"固定				
	GPIO 選択時						直前状態保持				

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード, RTCモードまたはストップモード状態		ディープスタンバイRTCモードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
L	アナログ入力選択時	Hi-Z	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可
	上記以外のリソース選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	Hi-Z/ 内部入力 "0"固定	GPIO 選 択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	GPIO 選択時									
M	アナログ入力選択時	Hi-Z	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可
	外部割込み許可選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	GPIO 選 択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	上記以外のリソース選択時									
	GPIO 選択時									

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード, RTCモードまたはストップモード状態		ディープスタンバイRTCモードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
O	アナログ入力選択時	Hi-Z	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可
	WKUP許可時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	WKUP 入力可	WKUP 入力可	GPIO 選択
	外部割込み許可選択時							GPIO 選 択 内部入力 "0"固定	Hi-Z/ 内部入 力 "0"固定	
	上記以外のリソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入 力 "0"固定	Hi-Z/ 内部入 力 "0"固定		
GPIO 選択時										
P	アナログ入力選択時	Hi-Z	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	
	WKUP許可時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	WKUP 入力可	Hi-Z/ WKUP 入力可	GPIO 選択
	上記以外のリソース選択時						Hi-Z/ 内部入 力 "0"固定	GPIO 選 択 内部入力 "0"固定	Hi-Z/ 内部入 力 "0"固定	
	GPIO 選択時									
GPIO 選択時										
Q	WKUP許可時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	WKUP 入力可	Hi-Z/ WKUP 入力可	GPIO 選択
	外部割込み許可選択時							GPIO 選 択 内部入力 "0"固定	Hi-Z/ 内部入 力 "0"固定	
	上記以外のリソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入 力 "0"固定	Hi-Z/ 内部入 力 "0"固定		
	GPIO 選択時									

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX 入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード, RTC モードまたはストップモード状態		ディープスタンバイ RTC モードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
R	GPIO 選択時	Hi-Z	Hi-Z/入力可	Hi-Z/入力可	直前状態保持	直前状態保持	Hi-Z/内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/内部入力 "0"固定	GPIO 選択

- *1: サブタイマ, 低速 CR タイマモード, ストップモード, RTC モード, ディープスタンバイ RTC モード, ディープスタンバイストップモードは発振が停止します。
- *2: タイマモード状態は直前状態保持、RTC モードまたはストップモード状態は GPIO 選択/内部入力"0"固定です。
- *3: タイマモード状態は直前状態保持、RTC モードまたはストップモード状態は Hi-Z/内部入力"0"固定です。

VBAT ドメイン端子状態一覧表

VBAT 端子状態形式	グループ機能名	パワーオンリセット*1	INITX 入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード, RTC モードまたはストップモード状態		ディープスタンバイ RTC モードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態	VBAT RTC モード状態	VBAT RTC モード復帰直後状態
		電源不安定	電源安定	電源安定	電源安定	電源安定		電源安定		電源安定	電源安定	電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1	-	-
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-	-	-
S	GPIO 選択時	設定不可	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	設定禁止	-
	サブ水晶発振入力端子/外部サブクロック入力選択時	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	直前状態保持	直前状態保持
T	GPIO 選択時	設定不可	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	設定禁止	-
	外部サブクロック入力選択時	設定不可	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持
	サブ水晶発振出力端子	Hi-Z/内部入力"0"固定または入力可	直前状態保持	直前状態保持	直前状態保持	直前状態保持/発振停止時は Hi-Z*2	直前状態保持/発振停止時は Hi-Z*2	直前状態保持/発振停止時は Hi-Z*2	直前状態保持/発振停止時は Hi-Z*2	直前状態保持	直前状態保持	直前状態保持
U	リソース選択時	Hi-Z	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持
	GPIO 選択時											

*1: VBAT, VCC 電源投入状態

*2: WTOSCCNT レジスタの連携制御ビット(SOSCNTRL)が” 0” の場合は、直前状態保持。 WTOSCCNT レジスタの連携制御ビット(SOSCNTRL)が” 1” の場合は、ストップモード、ディープスタンバイストップモード時に発振が停止します。

12. 電気的特性

12.1 絶対最大定格

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧*1,*2	V _{CC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
電源電圧(V _{BAT}) *1,*3	V _{BAT}	V _{SS} - 0.5	V _{SS} + 6.5	V	
アナログ電源電圧*1,*4	AV _{CC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
アナログ基準電圧*1,*4	AV _{RH}	V _{SS} - 0.5	V _{SS} + 6.5	V	
入力電圧*1	V _I	V _{SS} - 0.5	V _{CC} + 0.5 (≦6.5V)	V	
		V _{SS} - 0.5	V _{SS} + 6.5	V	5V トレラント
アナログ端子入力電圧*1	V _{IA}	V _{SS} - 0.5	AV _{CC} + 0.5 (≦6.5V)	V	
出力電圧*1	V _O	V _{SS} - 0.5	V _{CC} + 0.5 (≦6.5V)	V	
"L"レベル最大出力電流*5	I _{OL}	-	10	mA	4mA タイプ
			20	mA	8mA タイプ
			20	mA	12mA タイプ
			22.4	mA	I ² C Fm+
"L"レベル平均出力電流*6	I _{OLAV}	-	4	mA	4mA タイプ
			8	mA	8mA タイプ
			12	mA	12mA タイプ
			20	mA	I ² C Fm+
"L"レベル最大総出力電流	∑I _{OL}	-	100	mA	
"L"レベル平均総出力電流*7	∑I _{OLAV}	-	50	mA	
"H"レベル最大出力電流*5	I _{OH}	-	- 10	mA	4mA タイプ
			- 20	mA	8mA タイプ
			- 20	mA	12mA タイプ
"H"レベル平均出力電流*6	I _{OHAV}	-	- 4	mA	4mA タイプ
			- 8	mA	8mA タイプ
			- 12	mA	12mA タイプ
"H"レベル最大総出力電流	∑I _{OH}	-	- 100	mA	
"H"レベル平均総出力電流*7	∑I _{OHAV}	-	- 50	mA	
保存温度	T _{STG}	- 55	+ 150	°C	

*1: V_{SS} = AV_{SS} = 0V を基準にした値です。

*2: V_{CC} は V_{SS} - 0.5V より低くならないでください。

*3: V_{BAT} は V_{SS} - 0.5V より低くならないでください。

*4: 電源投入時など V_{CC} + 0.5V を超えてはいけません。

*5: 最大出力電流は、該当する端子 1 本のピーク値を規定します。

*6: 平均出力電流は、該当する端子 1 本に流れる電流の 100ms の期間内での平均電流を規定します。

*7: 平均総出力電流は、該当する端子すべてに流れる電流の 100ms の期間内での平均電流を規定します。

<注意事項>

- 絶対最大定格を超えるストレス (電圧, 電流, 温度など) の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

12.2 推奨動作条件

項目	記号	条件	規格値		単位	備考
			最小	最大		
電源電圧	V _{CC}	-	2.7 *3	5.5	V	
電源電圧(VBAT)	V _{BAT}	-	2.7	5.5	V	
アナログ電源電圧	AV _{CC}	-	2.7	5.5	V	AV _{CC} =V _{CC}
アナログ基準電圧	AVRH	-	*1	AV _{CC}	V	
平滑コンデンサ容量	C _s	-	1	10	μF	内蔵レギュレータ用*4
動作温度	ジャンクション温度	T _j	-	- 40	+ 125	°C
	周囲温度	T _A	-	- 40	*2	°C

*1: アナログ基準電圧は、コンパイクロック周期によって規格値が異なります。

詳細は 「5.12 ビット A/D コンバータ」を参照してください。

*2: 周囲温度(T_A)の最大温度は、ジャンクション温度(T_j)を超えない範囲まで保証可能です。

周囲温度(T_A)の計算式を以下に示します。

$$T_A(\text{Max}) = T_j(\text{Max}) - P_d(\text{Max}) \times \theta_{ja}$$

P_d: 消費電力(W)

θ_{ja}: パッケージ熱抵抗(°C/W)

$$P_d(\text{Max}) = V_{CC} \times I_{CC}(\text{Max}) + \Sigma(I_{OL} \times V_{OL}) + \Sigma((V_{CC} - V_{OH}) \times (-I_{OH}))$$

I_{OL}: "L"レベル出力電流

I_{OH}: "H"レベル出力電流

V_{OL}: "L"レベル出力電圧

V_{OH}: "H"レベル出力電圧

*3: 電源電圧が最小値未満かつ低電圧リセット/割込み検出電圧以上の間は、内蔵高速 CR クロック(メイン

PLL 使用含む)または内蔵低速 CR クロックでの命令実行と低電圧検出のみ動作可能です。

*4: 平滑コンデンサの接続方法は、「デバイス使用上の注意」の「C 端子について」を参照してください。

各パッケージにおけるパッケージ熱抵抗と最大許容電力を以下に示します。

半導体デバイスは最大許容電力以下で動作が保証されます。

パッケージ熱抵抗と最大許容電力表

パッケージ	基板	熱抵抗 θ _{ja} (°C/W)	最大許容電力(mW)	
			T _A =+85°C	T _A =+105°C
LQA048 (0.5mm pitch)	単層両面	87	460	230
	4層	53	755	377
VNA048 (0.5mm pitch)	単層両面	30	1333	667
	4層	24	1667	833
LQD064 (0.5mm pitch)	単層両面	70	571	286
	4層	45	889	444
LQG064 (0.65mm pitch)	単層両面	61	656	328
	4層	40	1000	500
VNC064 (0.5mm pitch)	単層両面	24	1667	833
	4層	21	1905	952

<注意事項>

- 推奨動作条件は、半導体デバイスの正常な動作を確保するための条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。

データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

消費電力(Pd)の算出方法

消費電力は以下の式で表されます。

$$P_d = V_{CC} \times I_{CC} + \sum (I_{OL} \times V_{OL}) + \sum ((V_{CC} - V_{OH}) \times (-I_{OH}))$$

I_{OL} : "L"レベル出力電流
 I_{OH} : "H"レベル出力電流
 V_{OL} : "L"レベル出力電圧
 V_{OH} : "H"レベル出力電圧

I_{CC} はデバイス内で消費される電流です。
以下に分解できます。

$$I_{CC} = I_{CC}(INT) + \sum I_{CC}(IO)$$

$I_{CC}(INT)$: レギュレータを通して内部 Logic, メモリなどで消費される電流

$\sum I_{CC}(IO)$: 出力端子にて消費される電流(I/O スイッチング電流)の合計

$I_{CC}(INT)$ については「12.3 直流規格」の「12.3.1 電流規格」によって予測できます (本規格の値は端子固定時の値のため、 $I_{CC}(IO)$ は含んでいません)。

$I_{CC}(IO)$ についてはお客様のシステムに依存します。

以下の計算式により算出してください。

$$I_{CC}(IO) = (C_{INT} + C_{EXT}) \times V_{CC} \times f_{sw}$$

C_{INT} : 端子内部負荷容量
 C_{EXT} : 出力端子の外部負荷容量
 f_{sw} : 端子スイッチング周波数

項目	記号	条件	容量値
端子内部負荷容量	C_{INT}	4mA タイプ	1.93pF
		8mA タイプ	3.45pF
		12mA タイプ	3.42pF

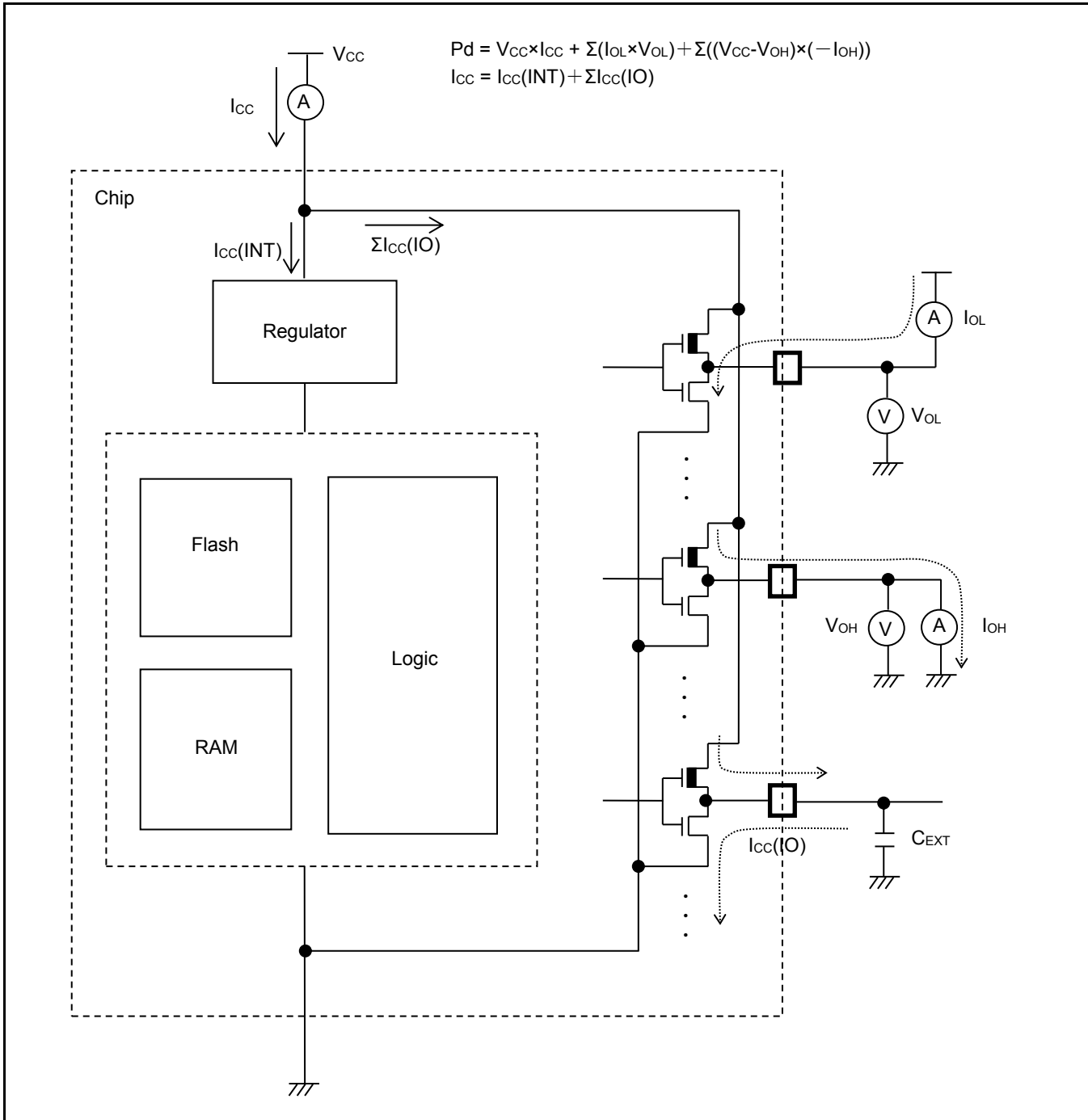
お客様ご自身で消費電力を評価可能な場合には、 $I_{CC}(Max)$ の値は以下のように算出してください。

- 常温(+25°C)にて電流値 $I_{CC}(Typ)$ を測定
- (1)の値に動作時最大リーク電流値 $I_{CC}(leak_max)$ を加算

$$I_{CC}(Max) = I_{CC}(Typ) + I_{CC}(leak_max)$$

項目	記号	条件	電流値
動作時最大リーク電流	$I_{CC}(leak_max)$	$T_j = +125^\circ C$	28 mA
		$T_j = +105^\circ C$	17 mA
		$T_j = +85^\circ C$	13 mA

電流説明図



12.3 直流規格
12.3.1 電流規格

項目	記号	端子名	条件		周波数 ^{*4}	規格値		単位	備考			
						標準 ^{*1}	最大 ^{*2}					
電源電流	I _{cc}	VCC	通常動作 (PLL)	*5, *6	160 MHz	44	72	mA	*3 周辺クロック すべて ON 時			
					144 MHz	40	67					
					120 MHz	34	60					
					100 MHz	29	55					
					80 MHz	23	48					
					60 MHz	18	42					
					40 MHz	13	37					
					20 MHz	7.7	31					
					8 MHz	4.6	27					
					4 MHz	3.6	26					
								160 MHz	30	58	mA	*3 周辺クロック すべて OFF 時
								144 MHz	27	54		
								120 MHz	23	49		
								100 MHz	20	46		
								80 MHz	16	41		
								60 MHz	13	38		
								40 MHz	9	33		
								20 MHz	5.7	30		
								8 MHz	3.7	27		
								4 MHz	3	26		

項目	記号	端子名	条件		周波数 ^{*7}	規格値		単位	備考			
						標準 ^{*1}	最大 ^{*2}					
電源電流	I _{cc}	VCC	通常動作 (PLL)	*8	160 MHz	64	101	mA	*3 周辺クロック すべて ON 時			
					144 MHz	60	96					
					120 MHz	52	88					
					100 MHz	46	81					
					80 MHz	39	73					
					60 MHz	32	65					
					40 MHz	25	58					
					20 MHz	15	47					
					8 MHz	7.8	39					
					4 MHz	5.2	36					
								160 MHz	47	80	mA	*3 周辺クロック すべて OFF 時
								144 MHz	43	75		
								120 MHz	39	71		
								100 MHz	35	66		
								80 MHz	30	61		
								60 MHz	25	55		
								40 MHz	20	50		
								20 MHz	13	42		
								8 MHz	6.7	36		
								4 MHz	4.6	34		

*1: T_A=+25°C, V_{CC}=3.3V

*2: T_j=+125°C, V_{CC}=5.5V

*3: すべてのポートが入力であり、「0」に固定される場合

*4: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK/2。

*5: フラッシュアクセラレータモード, トレースバッファ機能動作 (FRWTR.RWT = 10, FBFCR.BE = 1) のとき

*6: メインフラッシュメモリへのデータアクセスなし。

*7: 周波数は HCLK の値です。PCLK0=PCLK2=HCLK/2, PCLK1=HCLK。

*8: フラッシュアクセラレータモード, トレースバッファ機能停止 (FRWTR.RWT = 10, FBFCR.BE = 0) のとき

項目	記号	端子名	条件		周波数*4	規格値		単位	備考
						標準*1	最大*2		
電源電流	Icc	VCC	通常動作 (PLL)	*5	72 MHz	41	75	mA	*3 周辺クロック すべて ON 時
					60 MHz	36	69		
					48 MHz	31	64		
					36 MHz	25	57		
					24 MHz	18	50		
					12 MHz	11	42		
					8 MHz	8.1	39		
					4 MHz	5.4	37		
					72 MHz	32	63	mA	*3 周辺クロック すべて OFF 時
					60 MHz	28	58		
					48 MHz	24	54		
					36 MHz	20	50		
					24 MHz	15	45		
					12 MHz	9.1	38		
					8 MHz	6.9	36		
					4 MHz	4.6	34		

*1: TA=+25°C, Vcc=3.3V

*2: Tj=+125°C, Vcc=5.5V

*3: すべてのポートが入力であり、「0」に固定される場合

*4: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK。

*5: 0 wait-cycle (FRWTR.RWT = 00, FSYNDN.SD = 000) のとき

項目	記号	端子名	条件		周波数*4	規格値		単位	備考
						標準*1	最大*2		
電源電流	I _{cc}	VCC	通常動作 (内蔵高速 CR)	*5	4 MHz	3.3	29	mA	*3 周辺クロック すべて ON 時
						2.8	29	mA	*3 周辺クロック すべて OFF 時
			通常動作 (サブ発振)	*5	32 kHz	0.51	27	mA	*3 周辺クロック すべて ON 時
						0.50	27	mA	*3 周辺クロック すべて OFF 時
			通常動作 (内蔵低速 CR)	*5	100 kHz	0.54	27	mA	*3 周辺クロック すべて ON 時
						0.52	27	mA	*3 周辺クロック すべて OFF 時

*1: T_A=+25°C, V_{CC}=3.3V

*2: T_j=+125°C, V_{CC}=5.5V

*3: すべてのポートが入力であり、「0」に固定される場合

*4: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK/2。

*5: 0 wait-cycle (FRWTR.RWT = 00, FSYNDN.SD = 000) のとき

項目	記号	端子名	条件	周波数*4	規格値		単位	備考
					標準*1	最大*2		
電源電流	I _{ccs}	VCC	Sleep 動作 (PLL)	160 MHz	28	58	mA	*3 周辺クロック すべて ON 時
				144 MHz	25	55		
				120 MHz	21	50		
				100 MHz	18	46		
				80 MHz	15	43		
				60 MHz	12	39		
				40 MHz	8.8	36		
				20 MHz	5.6	32		
				8 MHz	3.8	30		
				4 MHz	3.2	29	mA	*3 周辺クロック すべて OFF 時
				160 MHz	14	44		
				144 MHz	13	43		
				120 MHz	11	40		
				100 MHz	9.7	38		
				80 MHz	8.1	36		
				60 MHz	6.7	34		
				40 MHz	5.2	32		
				20 MHz	3.7	30		
8 MHz	2.9	29						
4 MHz	2.6	29						

項目	記号	端子名	条件	周波数*5	規格値		単位	備考
					標準*1	最大*2		
電源電流	I _{ccs}	VCC	Sleep 動作 (PLL)	72 MHz	19	47	mA	*3 周辺クロック すべて ON 時
				60 MHz	16	43		
				48 MHz	13	40		
				36 MHz	10	37		
				24 MHz	7.8	34		
				12 MHz	5.2	31		
				8 MHz	4.3	30		
				4 MHz	3.5	29		
				72 MHz	8.8	36		
				60 MHz	7.7	35		
				48 MHz	6.6	34		
				36 MHz	5.5	32		
				24 MHz	4.4	31		
				12 MHz	3.4	30		
				8 MHz	3	29		
				4 MHz	2.7	29		

*1: T_A=+25°C, V_{CC}=3.3V

*2: T_j=+125°C, V_{CC}=5.5V

*3: すべてのポートが入力であり、「0」に固定される場合

*4: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK/2。

*5: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK。

項目	記号	端子名	条件	周波数*4	規格値		単位	備考
					標準*1	最大*2		
電源電流	Iccs	VCC	Sleep 動作 (内蔵高速 CR)	4 MHz	1.3	27	mA	*3 周辺クロック すべて ON 時
					0.91	27	mA	*3 周辺クロック すべて OFF 時
			Sleep 動作 (サブ発振)	32 kHz	0.49	27	mA	*3 周辺クロック すべて ON 時
					0.48	27	mA	*3 周辺クロック すべて OFF 時
			Sleep 動作 (内蔵低速 CR)	100 kHz	0.51	27	mA	*3 周辺クロック すべて ON 時
					0.49	27	mA	*3 周辺クロック すべて OFF 時

*1: T_A=+25°C, V_{CC}=3.3V

*2: T_j=+125°C, V_{CC}=5.5V

*3: すべてのポートが入力であり、「0」に固定される場合

*4: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK/2。

項目	記号	端子名	条件	周波数	規格値		単位	備考
					標準*1	最大*2		
電源電流	I _{CCH}	VCC	ストップモード	-	0.25	1.0	mA	*3, *4 T _A = +25°C
					-	11	mA	*3, *4 T _A = +85°C
					-	14	mA	*3, *4 T _A = +105°C
	I _{CC1}		タイマモード (内蔵高速 CR)	4 MHz	0.54	1.54	mA	*3, *4 T _A = +25°C
					-	12	mA	*3, *4 T _A = +85°C
					-	15	mA	*3, *4 T _A = +105°C
			タイマモード (サブ発振)	32 kHz	0.25	1.0	mA	*3, *4 T _A = +25°C
					-	11	mA	*3, *4 T _A = +85°C
					-	14	mA	*3, *4 T _A = +105°C
	タイマモード (内蔵低速 CR)		100 kHz	0.26	1.0	mA	*3, *4 T _A = +25°C	
				-	11	mA	*3, *4 T _A = +85°C	
				-	14	mA	*3, *4 T _A = +105°C	
	I _{CCR}		RTC モード (サブ発振)	32 kHz	0.25	1.0	mA	*3, *4 T _A = +25°C
					-	11	mA	*3, *4 T _A = +85°C
					-	14	mA	*3, *4 T _A = +105°C

*1 : V_{CC}=3.3V

*2 : V_{CC}=5.5V

*3 : すべてのポートが入力であり、「0」に固定される場合

*4 : LVD OFF 時

項目	記号	端子名	条件	周波数	規格値		単位	備考
					標準*1	最大*2		
電源電流	ICCHD	VCC	ディープスタンバイストップモード (RAM OFF 時) *6	-	27	140	μA	*3, *4 T _A = +25°C
					-	590	μA	*3, *4 T _A = +85°C
					-	770	μA	*3, *4 T _A = +105°C
			32		180	μA	*3, *4 T _A = +25°C	
			-		870	μA	*3, *4 T _A = +85°C	
			-		1200	μA	*3, *4 T _A = +105°C	
	ICCRD		ディープスタンバイ RTC モード (RAM OFF 時) *7	32kHz	27	140	μA	*3, *4 T _A = +25°C
					-	590	μA	*3, *4 T _A = +85°C
					-	770	μA	*3, *4 T _A = +105°C
			32		180	μA	*3, *4 T _A = +25°C	
			-		870	μA	*3, *4 T _A = +85°C	
			-		1200	μA	*3, *4 T _A = +105°C	
	ICCVBAT	RTC 停止 *9	-	0.015	0.14	μA	*3, *4, *5 T _A = +25°C	
				-	4.0	μA	*3, *4, *5 T _A = +85°C	
				-	9.4	μA	*3, *4, *5 T _A = +105°C	
RTC 動作 *8, *9		32kHz		1.3	2.4	μA	*3, *4 T _A = +25°C	
				-	6.2	μA	*3, *4 T _A = +85°C	
				-	12	μA	*3, *4 T _A = +105°C	

*1: V_{CC}=3.3V

*2: V_{CC}=5.5V

*3: すべてのポートが入力であり、「0」に固定される場合

*4: LVD OFF 時

*5: サブ発振 OFF 時

*6: 48pin パッケージを使用の場合、RTC 停止の電源電流を加えてください

*7: 48pin パッケージを使用の場合、RTC 動作の電源電流を加えてください

*8: 水晶振動(32KHz)使用時(発振回路の消費電流を含む)

*9: VCC 電源投入後、RTC の設定を行った場合

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
低電圧 検出回路 (LVD) 電源電流	ICCLVD	VCC	動作時	-	4	7	μA	割込み発生用
メインフラッシュメモリ 書込み/消去電流	ICCFLASH		書込み/ 消去時	-	13.4	15.9	mA	
ワークフラッシュメモリ 書込み/消去電流	ICCWFLASH		書込み/ 消去時	-	11.5	13.6	mA	

ペリフェラル消費電流

クロック 系列	ペリフェラル	単位	周波数(MHz)			単位	備考
			40	80	160		
HCLK	GPIO	全ポート	0.21	0.43	0.92	mA	
	DMAC	-	0.71	1.43	2.74		
	DSTC	-	0.36	0.72	1.46		
PCLK1	ベースタイマ	4ch.	0.18	0.36	0.70	mA	
	多機能タイマ/PPG	1unit/4ch.	0.57	1.13	2.24		
	クアッドカウンタ	1unit	0.04	0.08	0.16		
	A/DC	1unit	0.21	0.40	0.79		
PCLK2	マルチファンクション シリアル	1ch.	0.33	0.67	-	mA	

12.3.2 端子特性

 (V_{CC} = AV_{CC} = 2.7V ~ 5.5V, V_{SS} = AV_{SS} = 0V)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
"H"レベル 入力電圧 (ヒステリシス入 力)	V _{IHS}	CMOS ヒステリシス入力端 子, MD0, MD1	-	V _{CC} × 0.8	-	V _{CC} + 0.3	V	
		5V トレラント 入力端子	-	V _{CC} × 0.8	-	V _{SS} + 5.5	V	
		I ² C Fm+兼用 入力端子	-	V _{CC} × 0.7	-	V _{SS} + 5.5	V	
"L"レベル 入力電圧 (ヒステリシス入 力)	V _{ILS}	CMOS ヒステリシス入力端 子, MD0, MD1	-	V _{SS} - 0.3	-	V _{CC} × 0.2	V	
		5V トレラント 入力端子	-	V _{SS} - 0.3	-	V _{CC} × 0.2	V	
		I ² C Fm+兼用 入力端子	-	V _{SS}	-	V _{CC} × 0.3	V	
"H"レベル 出力電圧	V _{OH}	4mA タイプ	V _{CC} ≥ 4.5 V, I _{OH} = - 4 mA	V _{CC} - 0.5	-	V _{CC}	V	
			V _{CC} < 4.5 V, I _{OH} = - 2 mA					
		8mA タイプ	V _{CC} ≥ 4.5 V, I _{OH} = - 8 mA	V _{CC} - 0.5	-	V _{CC}	V	
			V _{CC} < 4.5 V, I _{OH} = - 4 mA					
		12mA タイプ	V _{CC} ≥ 4.5 V, I _{OH} = - 12 mA	V _{CC} - 0.5	-	V _{CC}	V	
			V _{CC} < 4.5 V, I _{OH} = - 8 mA					
		I ² C Fm+ 兼用	V _{CC} ≥ 4.5 V, I _{OH} = - 4 mA	V _{CC} - 0.5	-	V _{CC}	V	GPIO 時
			V _{CC} < 4.5 V, I _{OH} = - 3 mA					

項目	記号	端子名	条件	規格値			単位	備考	
				最小	標準	最大			
"L"レベル 出力電圧	V _{OL}	4mA タイプ	V _{CC} ≥ 4.5 V, I _{OL} = 4 mA	V _{SS}	-	0.4	V		
			V _{CC} < 4.5 V, I _{OL} = 2 mA						
		8mA タイプ	V _{CC} ≥ 4.5 V, I _{OH} = 8 mA	V _{SS}	-	0.4	V		
			V _{CC} < 4.5 V, I _{OH} = 4 mA						
		12mA タイプ	V _{CC} ≥ 4.5 V, I _{OL} = 12 mA	V _{SS}	-	0.4	V		
			V _{CC} < 4.5 V, I _{OL} = 8 mA						
		I ² C Fm+ 兼用	V _{CC} ≥ 4.5 V, I _{OH} = 4 mA	V _{SS}	-	0.4	V		GPIO 時
			V _{CC} < 4.5 V, I _{OH} = 3 mA						
			V _{CC} ≤ 5.5 V, I _{OH} = 20 mA						I ² C Fm+時
		入力リーク 電流	I _{IL}	-	-	- 5	-		+5
プルアップ 抵抗値	R _{PU}	プルアップ 端子	V _{CC} ≥ 4.5 V	25	50	100	kΩ		
			V _{CC} < 4.5 V	30	80	200			
入力容量	C _{IN}	V _{CC} , VBAT, V _{SS} , AV _{CC} , AV _{SS} , AVRH 以外	-	-	5	15	pF		

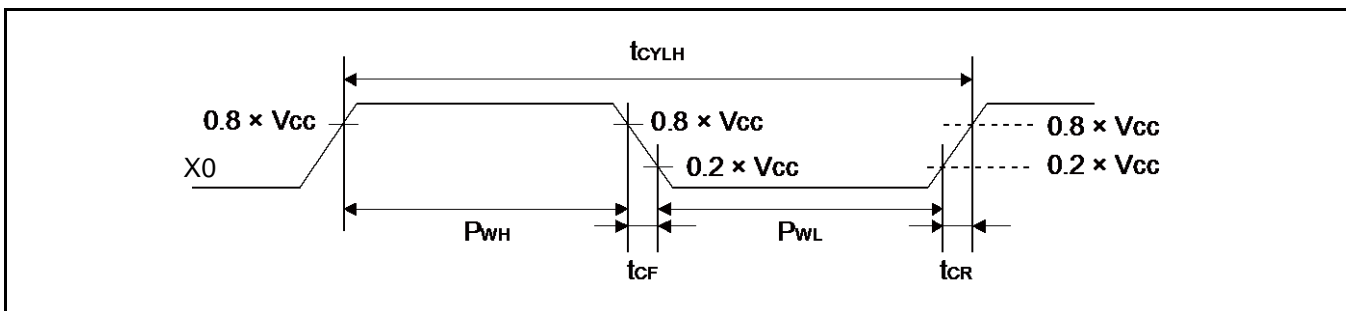
12.4 交流規格
12.4.1 メインクロック入力規格

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考	
				最小	最大			
入力周波数	F _{CH}	X0, X1	V _{CC} ≥ 4.5V	4	48	MHz	水晶発振子接続時	
			V _{CC} < 4.5V	4	20			
			V _{CC} ≥ 4.5V	4	48	MHz	外部クロック時	
			V _{CC} < 4.5V	4	20			
入力クロック周期	t _{CYLH}		V _{CC} ≥ 4.5V	20.83	250	ns	外部クロック時	
			V _{CC} < 4.5V	50	250			
入力クロックパルス幅	-			P _{WH} /t _{CYLH} , P _{WL} /t _{CYLH}	45	55	%	外部クロック時
入力クロック立上り, 立下り時間	t _{CF} , t _{CR}			-	-	5	ns	外部クロック時
内部動作クロック*1 周波数	F _{CC}	-	-	-	160	MHz	ベースクロック (HCLK/FCLK)	
	F _{CP0}	-	-	-	80	MHz	APB0 バスクロック*2	
	F _{CP1}	-	-	-	160	MHz	APB1 バスクロック*2	
	F _{CP2}	-	-	-	80	MHz	APB2 バスクロック*2	
内部動作クロック*1 サイクル時間	t _{CYCC}	-	-	6.25	-	ns	ベースクロック (HCLK/FCLK)	
	t _{CYCP0}	-	-	12.5	-	ns	APB0 バスクロック*2	
	t _{CYCP1}	-	-	6.25	-	ns	APB1 バスクロック*2	
	t _{CYCP2}	-	-	12.5	-	ns	APB2 バスクロック*2	

*1: 各内部動作クロックの詳細については、『FM4 ファミリー パリフェラルマニュアル本編(002-04857)』の『CHAPTER 2-1:クロック』を参照してください。

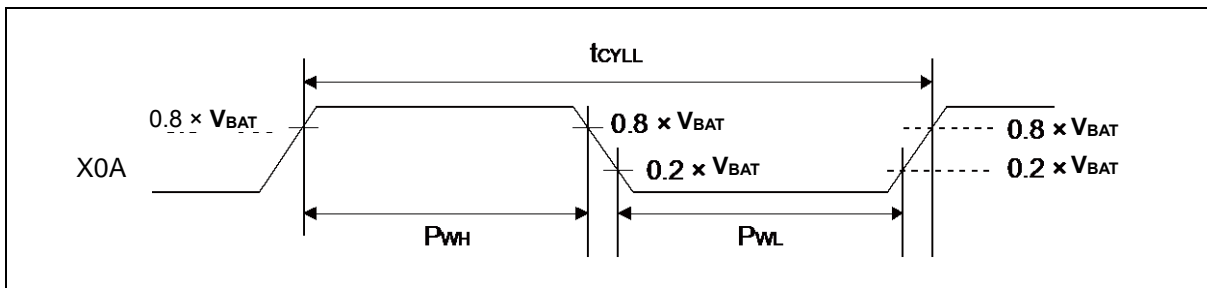
*2: 各パリフェラルが接続されている APB バスについては「8. ブロックダイアグラム」を参照してください。



12.4.2 サブクロック入力規格

 (V_{BAT} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
入力周波数	1/ t _{CYLL}	X0A, X1A	-	-	32.768	-	kHz	水晶発振接続時
			-	32	-	100		kHz
入力クロック周期	t _{CYLL}		-	10	-	31.25	μs	外部クロック時
入力クロックパルス幅	-		P _{WH} /t _{CYLL} , P _{WL} /t _{CYLL}	45	-	55	%	外部クロック時


 48pin パッケージの場合、V_{BAT} は V_{CC} と読み替えてください。

12.4.3 内蔵 CR 発振規格
内蔵高速 CR

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	FCRH	T _j = -20°C ~ +105°C	3.92	4	4.08	MHz	トリミング時*
		T _j = -40°C ~ +125°C	3.88	4	4.12		非トリミング時
		T _j = -40°C ~ +125°C	3	4	5		
周波数安定時間	t _{CRWT}	-	-	-	30	μs	*2

*1: 出荷時に設定されるフラッシュメモリ内の CR トリミング領域の値を周波数トリミング値/温度トリミング値に使用した場合

*2: トリミング値設定後に高速 CR クロックの周波数が安定するまでの時間です。なお、トリミング値設定後、周波数安定時間が経過するまでの期間も高速 CR クロックをソースクロックとして使用できます。

内蔵低速 CR

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	FCRL	-	50	100	150	kHz	

12.4.4 メインPLLの使用条件 (PLLの入カクロックにメインクロックを使用)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間*1 (LOCK UP 時間)	t _{LOCK}	200	-	-	μs	
PLL 入力クロック周波数	F _{PLLI}	4	-	16	MHz	
PLL 逡倍率	-	13	-	80	逡倍	
PLL マクロ発振クロック周波数	F _{PLLO}	200	-	320	MHz	
メイン PLL クロック周波数*2	F _{CLKPLL}	-	-	160	MHz	

*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック(CLKPLL)の詳細については、『FM4 ファミリ ペリフェラルマニュアル本編(002-04857)』の『CHAPTER 2-1:クロック』を参照してください。

12.4.5 メインPLLの使用条件 (メインPLLの入カクロックに内蔵高速CRクロックを使用)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間*1 (LOCK UP 時間)	t _{LOCK}	200	-	-	μs	
PLL 入力クロック周波数	F _{PLLI}	3.8	4	4.2	MHz	
PLL 逡倍率	-	50	-	75	逡倍	
PLL マクロ発振クロック周波数	F _{PLLO}	190	-	320	MHz	
メイン PLL クロック周波数*2	F _{CLKPLL}	-	-	160	MHz	

*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック(CLKPLL)の詳細については、『FM4 ファミリ ペリフェラルマニュアル本編(002-04857)』の『CHAPTER 2-1: クロック』を参照してください。

<注意事項>

- メインPLL のソースクロックには、必ず周波数トリミングおよび温度トリミングを行った高速CRクロック(CLKHC)を入力してください。

12.4.6 リセット入力規格

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
リセット入力時間	t _{INITX}	INITX	-	500	-	ns	

12.4.7 パワーオンリセットタイミング

 (V_{SS} = 0V, T_A = - 40°C to + 85°C)

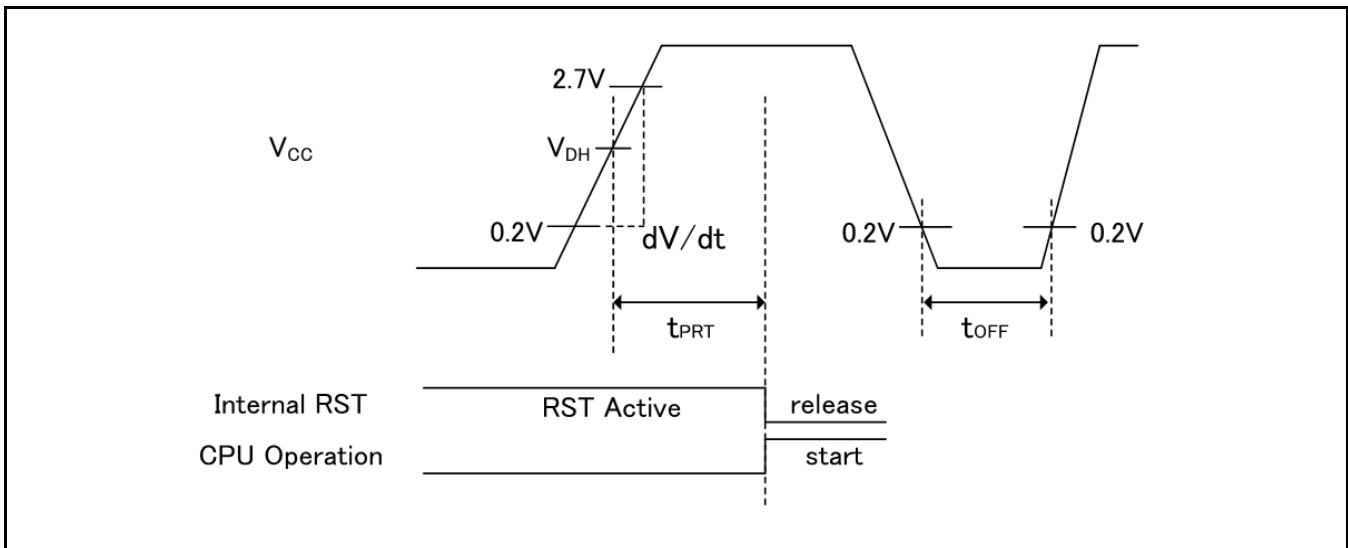
項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源断時間	t _{OFF}	VCC	-	50	-	-	ms	*1
電源立上り速度	dV/dt		V _{CC} : 0.2V ~ 2.70V	1.3	-	1000	mV/μs	*2
パワーオンリセット解除までの時間	T _{prt}		-	0.33	-	0.60	ms	

*1: V_{CC} は t_{OFF} 最小期間中 0.2V 以下である必要があります。この状態が満たせない場合、誤った初期化が発生する可能性があります。

*2: この dV/dt 規格は cold start (t_{OFF}>50ms) のパワーオン時に適用されます。

<注意事項>

- t_{OFF} は必ず満たす必要があります。t_{OFF} が満たせないようなパワーオン時や電圧低下時には外部リセット(INITX)をアサートしてください。


用語解説

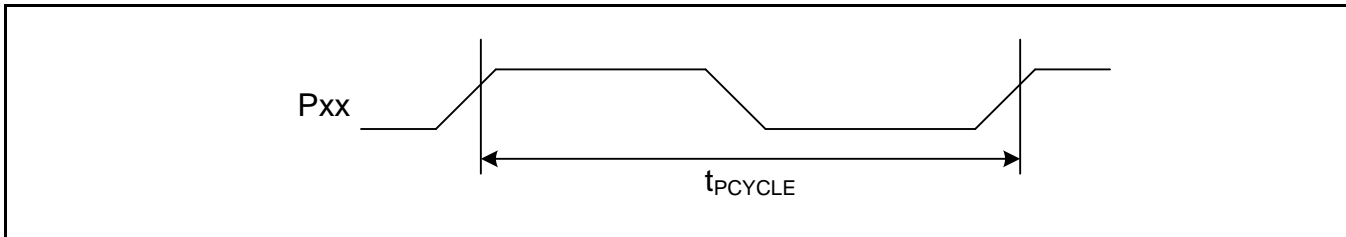
- V_{DH}: 低電圧検出リセット解除電圧 「12.7 低電圧検出特性」を参照してください。

12.4.8 GPIO 出力規格

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
出力周波数	t _{PCYCLE}	P _{XX} *	V _{CC} ≥ 4.5 V	-	50	MHz
			V _{CC} < 4.5 V	-	32	MHz

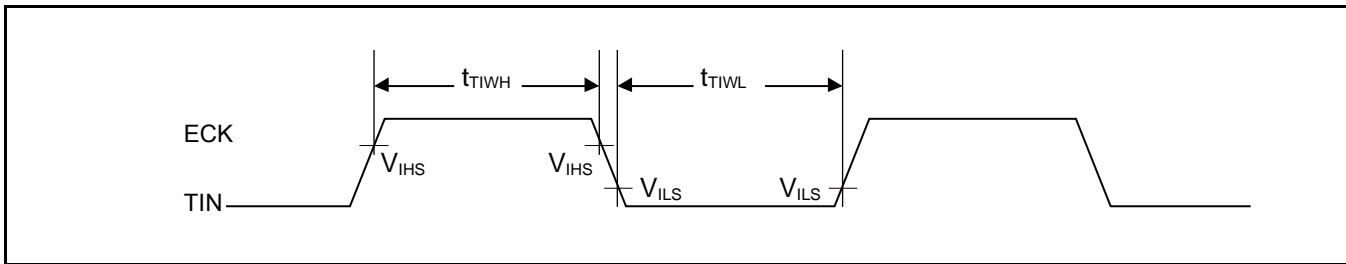
*: GPIO が対象です。



12.4.9 ベースタイマ入カタイミング
タイマ入カタイミング

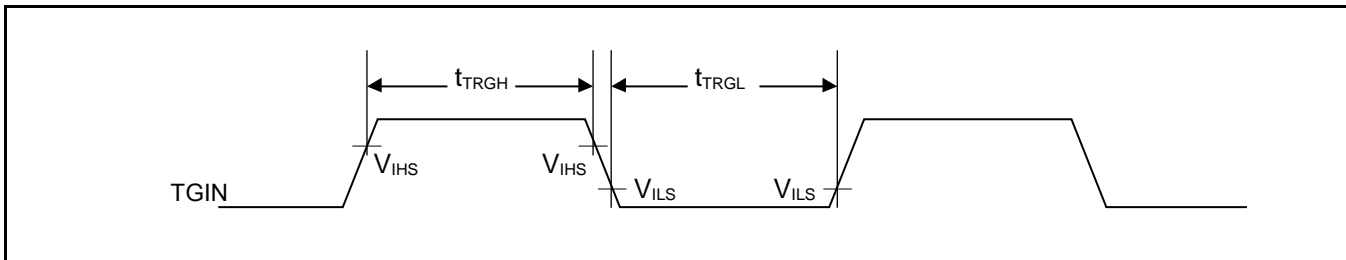
 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t _{TIWH} , t _{TIWL}	TIOAn/TIOBn (ECK, TIN として使 用するとき)	-	2t _{cyCP}	-	ns	


トリガ入カタイミング

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t _{TRGH} , t _{TRGL}	TIOAn/TIOBn (TGIN として 使用するとき)	-	2t _{cyCP}	-	ns	


<注意事項>

- t_{cyCP} は、APB バスクロックのサイクル時間です。
ベースタイマが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。

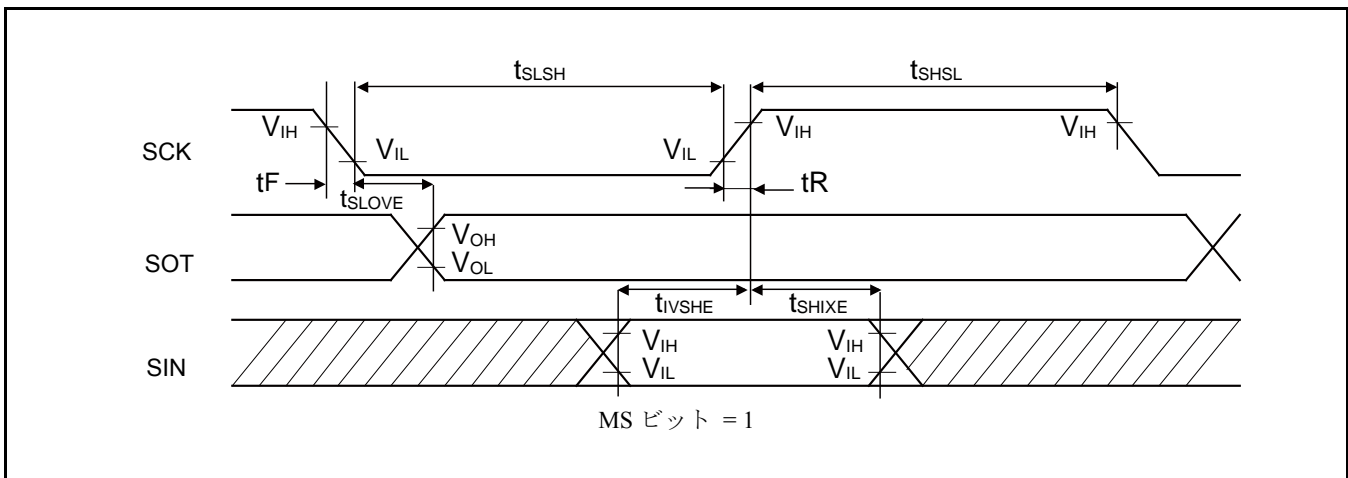
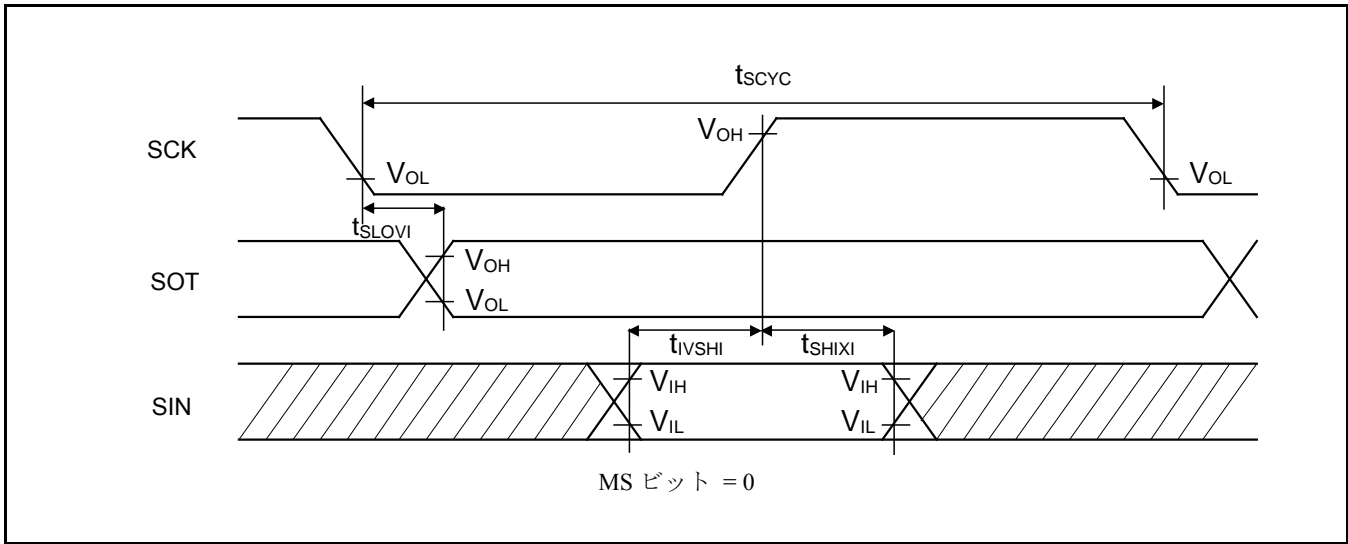
12.4.10 CSIO/UART タイミング
同期シリアル(SPI = 0, SCINV = 0)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	tSCYC	SCK _X	内部シフト クロック動作	4tCYCP	-	4tCYCP	-	ns
SCK ↓ → SOT 遅延時間	tSLOVI	SCK _X , SOT _X		-30	+30	-20	+20	ns
SIN → SCK ↑ セットアップ時間	tIVSHI	SCK _X , SIN _X		50	-	30	-	ns
SCK ↑ → SIN ホールド時間	tSHIXI	SCK _X , SIN _X		0	-	0	-	ns
シリアルクロック "L"パルス幅	tSLSH	SCK _X	外部シフト クロック動作	2tCYCP - 10	-	2tCYCP - 10	-	ns
シリアルクロック "H"パルス幅	tSHSL	SCK _X		tCYCP + 10	-	tCYCP + 10	-	ns
SCK ↓ → SOT 遅延時間	tSLOVE	SCK _X , SOT _X		-	50	-	30	ns
SIN → SCK ↑ セットアップ時間	tIVSHE	SCK _X , SIN _X		10	-	10	-	ns
SCK ↑ → SIN ホールド時間	tSHIXE	SCK _X , SIN _X		20	-	20	-	ns
SCK 立下り時間	tF	SCK _X		-	5	-	5	ns
SCK 立上り時間	tR	SCK _X		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- tCYCP は、APB バスクロックのサイクル時間です。
UART が接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{X_0}, SOT_{X_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30pF 時



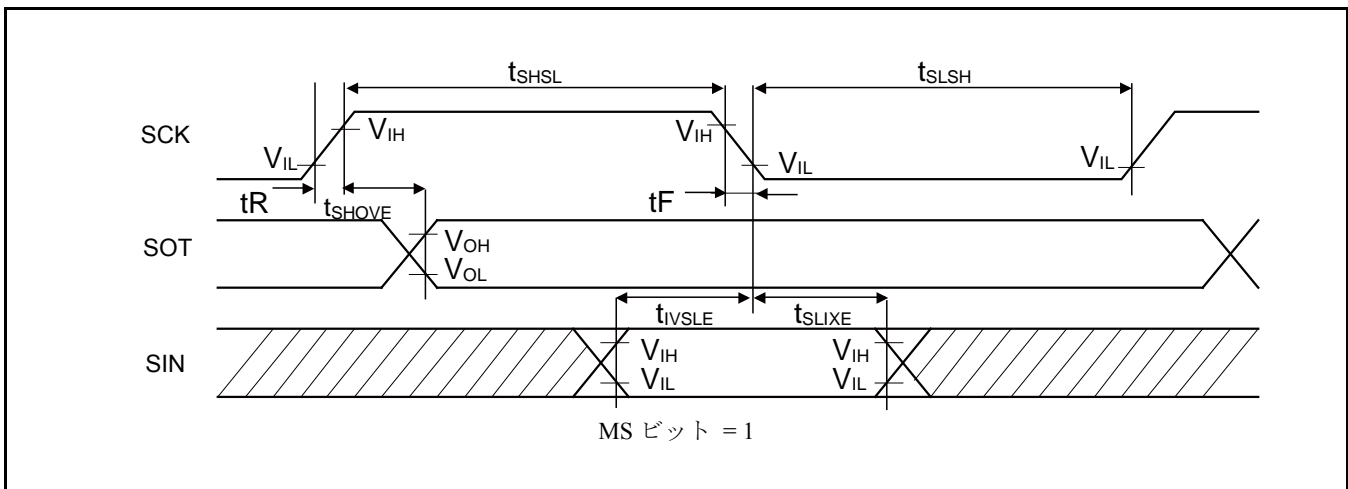
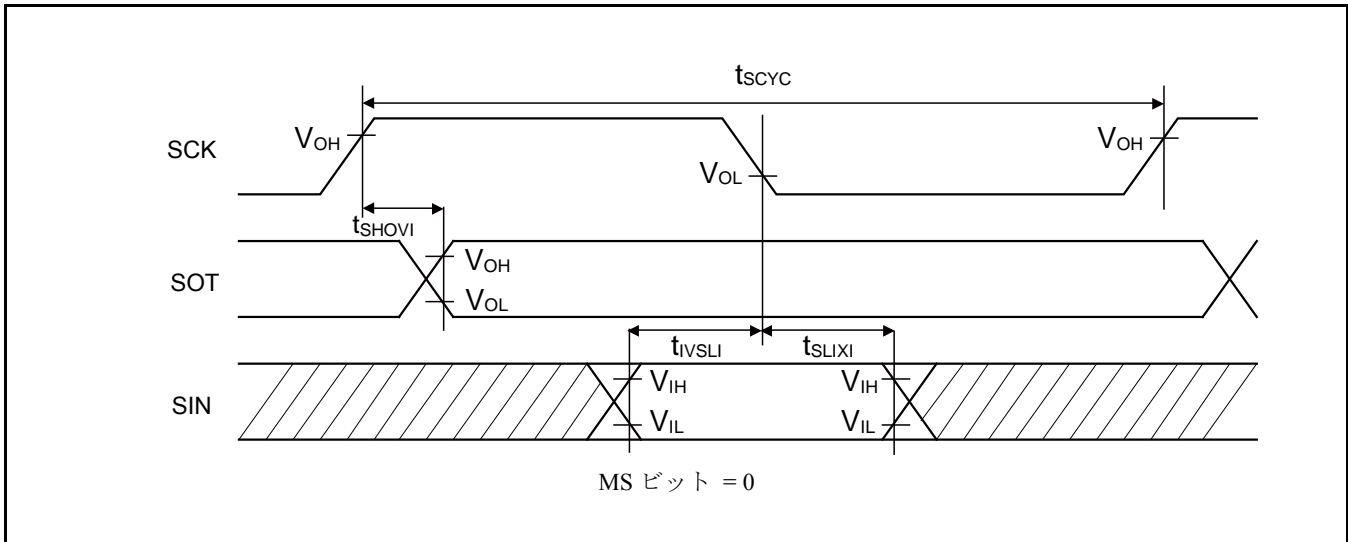
同期シリアル(SPI = 0, SCINV = 1)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t _{SCYC}	SCK _X	内部シフト クロック動作	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVI}	SCK _X , SOT _X		-30	+30	-20	+20	ns
SIN → SCK ↓ セットアップ時間	t _{VSLE}	SCK _X , SIN _X		50	-	30	-	ns
SCK ↓ → SIN ホールド時間	t _{SLXI}	SCK _X , SIN _X		0	-	0	-	ns
シリアルクロック "L"パルス幅	t _{LSH}	SCK _X	外部シフト クロック動作	2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック "H"パルス幅	t _{HSL}	SCK _X		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVE}	SCK _X , SOT _X		-	50	-	30	ns
SIN → SCK ↓ セットアップ時間	t _{VSLE}	SCK _X , SIN _X		10	-	10	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXE}	SCK _X , SIN _X		20	-	20	-	ns
SCK 立下り時間	t _F	SCK _X		-	5	-	5	ns
SCK 立上り時間	t _R	SCK _X		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
UART が接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{X_0}, SOT_{X_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30pF 時



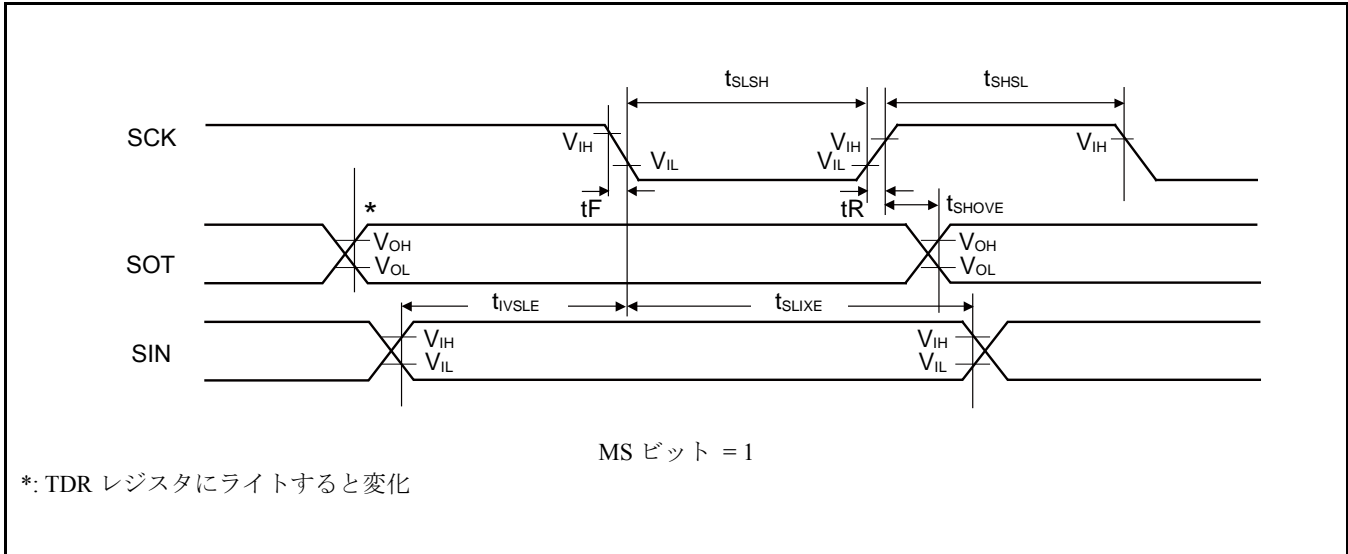
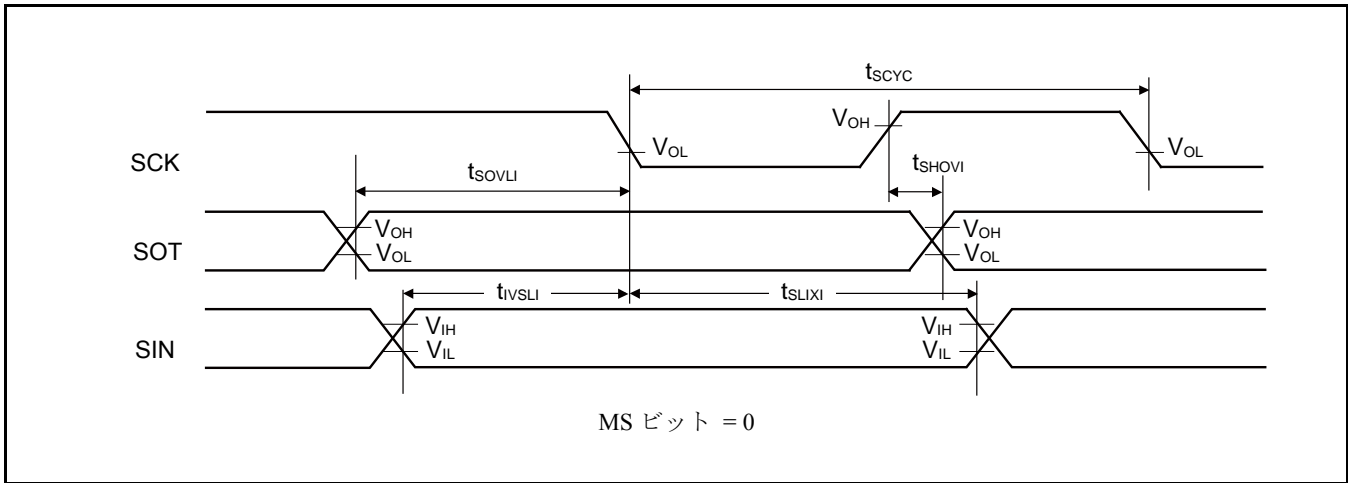
同期シリアル(SPI = 1, SCINV = 0)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t _{SCYC}	SCK _x	内部シフト クロック動作	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVI}	SCK _x , SOT _x		-30	+30	-20	+20	ns
SIN → SCK ↓ セットアップ時間	t _{VSLE}	SCK _x , SIN _x		50	-	30	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXI}	SCK _x , SIN _x		0	-	0	-	ns
SOT → SCK ↓ 遅延時間	t _{SOVLI}	SCK _x , SOT _x		2t _{CYCP} - 30	-	2t _{CYCP} - 30	-	ns
シリアルクロック "L"パルス幅	t _{LSH}	SCK _x		2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック "H"パルス幅	t _{HSL}	SCK _x	t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns	
SCK ↑ → SOT 遅延時間	t _{SHOVE}	SCK _x , SOT _x	外部シフト クロック動作	-	50	-	30	ns
SIN → SCK ↓ セットアップ時間	t _{VSLE}	SCK _x , SIN _x		10	-	10	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXE}	SCK _x , SIN _x		20	-	20	-	ns
SCK 立下り時間	t _F	SCK _x		-	5	-	5	ns
SCK 立上り時間	t _R	SCK _x		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
UART が接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{x_0}, SOT_{x_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30pF 時



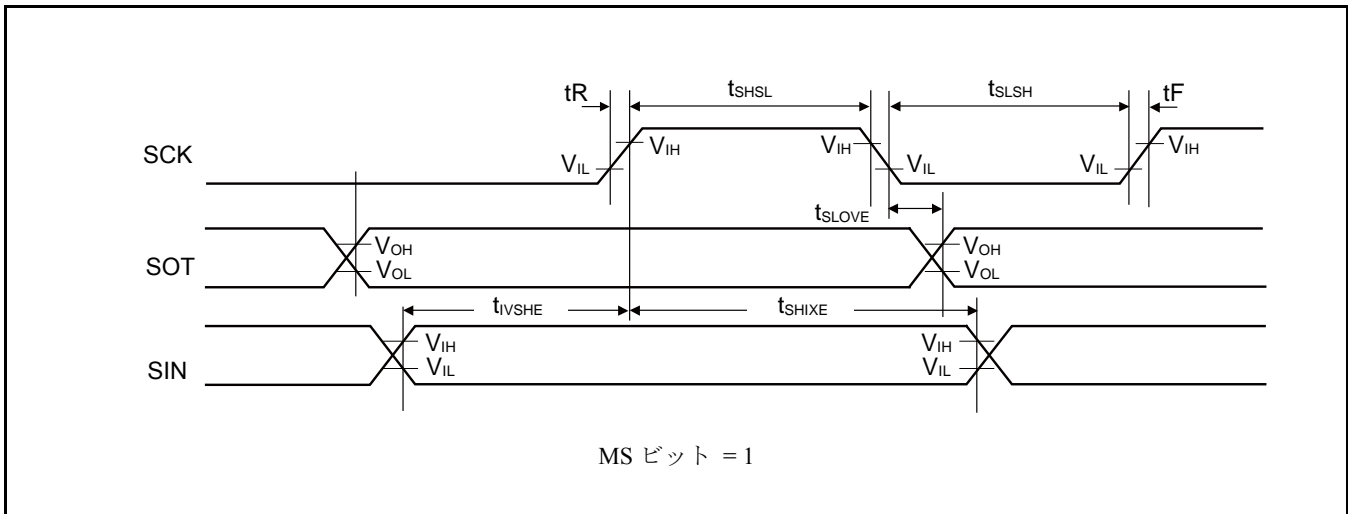
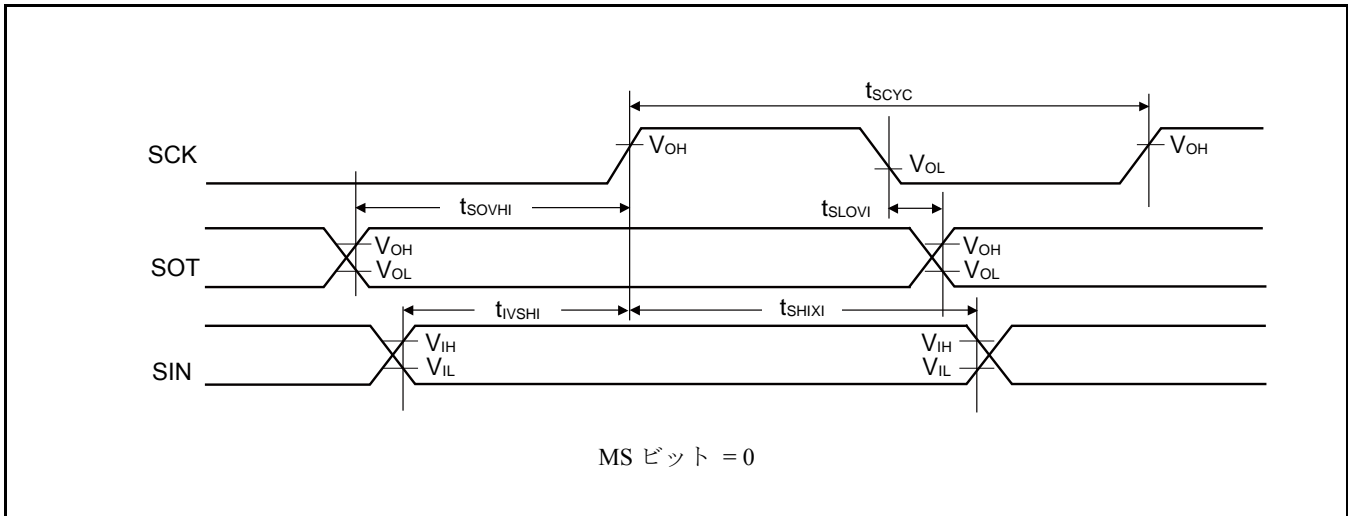
同期シリアル(SPI = 1, SCINV = 1)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t _{SCYC}	SCK _X	内部シフト クロック動作	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↓ → SOT 遅延時間	t _{SLOVI}	SCK _X , SOT _X		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↑ セットアップ時間	t _{IVSHI}	SCK _X , SIN _X		50	-	30	-	ns
SCK ↑ → SIN ホールド時間	t _{SHIXI}	SCK _X , SIN _X		0	-	0	-	ns
SOT → SCK ↑ 遅延時間	t _{SOVHI}	SCK _X , SOT _X		2t _{CYCP} - 30	-	2t _{CYCP} - 30	-	ns
シリアルクロック "L"パルス幅	t _{LSLH}	SCK _X		2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック "H"パルス幅	t _{HSLL}	SCK _X	t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns	
SCK ↓ → SOT 遅延時間	t _{SLOVE}	SCK _X , SOT _X	外部シフト クロック動作	-	50	-	30	ns
SIN → SCK ↑ セットアップ時間	t _{IVSHE}	SCK _X , SIN _X		10	-	10	-	ns
SCK ↑ → SIN ホールド時間	t _{SHIXE}	SCK _X , SIN _X		20	-	20	-	ns
SCK 立下り時間	t _F	SCK _X		-	5	-	5	ns
SCK 立上り時間	t _R	SCK _X		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
UART が接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{X_0}, SOT_{X_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30pF 時



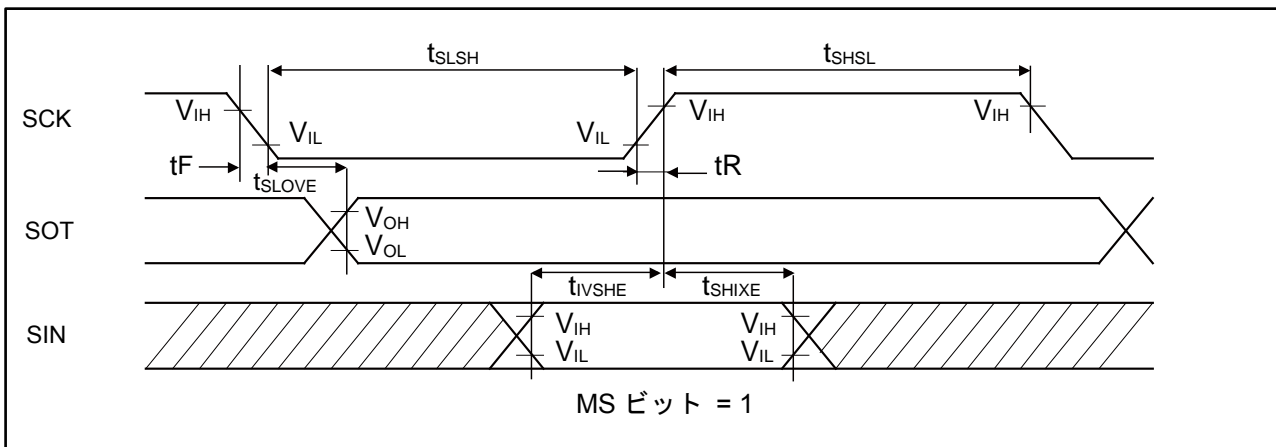
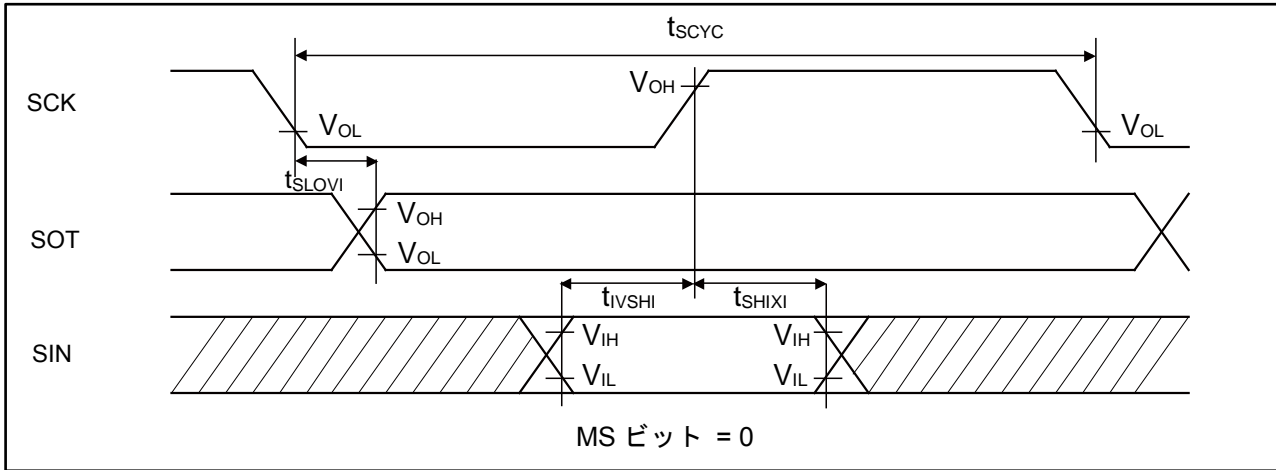
高速同期シリアル(SPI = 0, SCINV = 0)

(Vcc = 2.7V ~ 5.5V, Vss = 0V)

項目	記号	端子名	条件	Vcc < 4.5V		Vcc ≥ 4.5V		単位
				最小	最大	最小	最大	
シリアルクロック サイクルタイム	tscyC	SCKx	内部 シフト クロック 動作	4tcycP	-	4tcycP	-	ns
SCK ↓ → SOT 遅延時間	tsLOVI	SCKx, SOTx		- 10	+ 10	- 10	+ 10	ns
SIN → SCK ↑ セットアップ時間	tVSHI	SCKx, SINx		14	-	12.5	-	ns
				12.5*				
SCK ↑ → SIN ホールド時間	tSHIXI	SCKx, SINx	5	-	5	-	ns	
シリアルクロック "L"パルス幅	tsLSH	SCKx	外部 シフト クロック 動作	2tcycP - 5	-	2tcycP - 5	-	ns
シリアルクロック "H"パルス幅	tSHSL	SCKx		tcycP + 10	-	tcycP + 10	-	ns
SCK ↓ → SOT 遅延時間	tsLOVE	SCKx, SOTx		-	15	-	15	ns
SIN → SCK ↑ セットアップ時間	tVSHI	SCKx, SINx		5	-	5	-	ns
SCK ↑ → SIN ホールド時間	tSHIXE	SCKx, SINx		5	-	5	-	ns
SCK 立下り時間	tF	SCKx		-	5	-	5	ns
SCK 立上り時間	tR	SCKx		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- tcycP は、APB バスクロックのサイクル時間です。
UART が接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- 本規格は以下の端子のみの保証です。
 - ・ チップセレクトなし : SIN0_1, SOT0_1, SCK0_1
 - ・ チップセレクトあり : SIN6_0, SOT6_0, SCK6_0, SCS6_0
- 外部負荷容量 CL = 30pF 時 (* は CL=10pF 時)



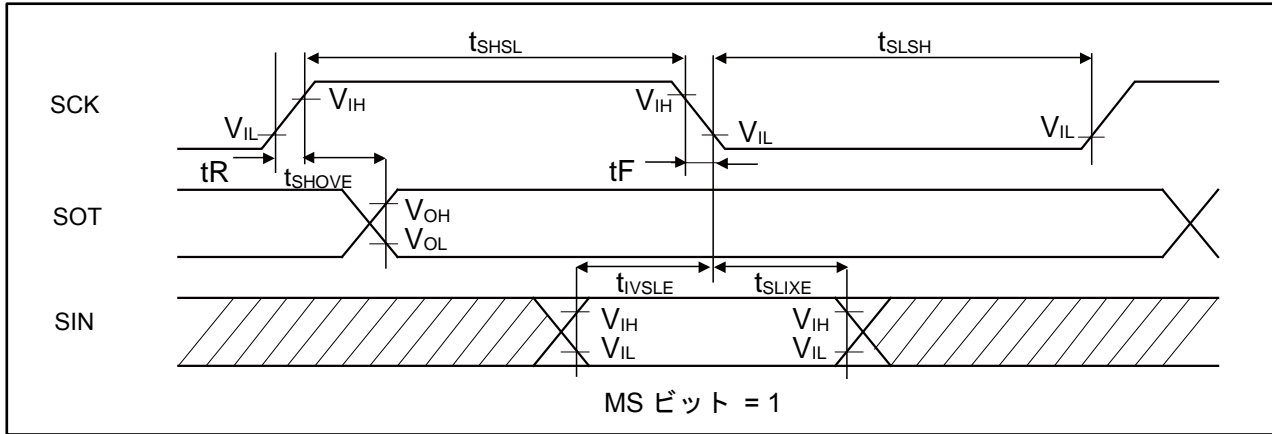
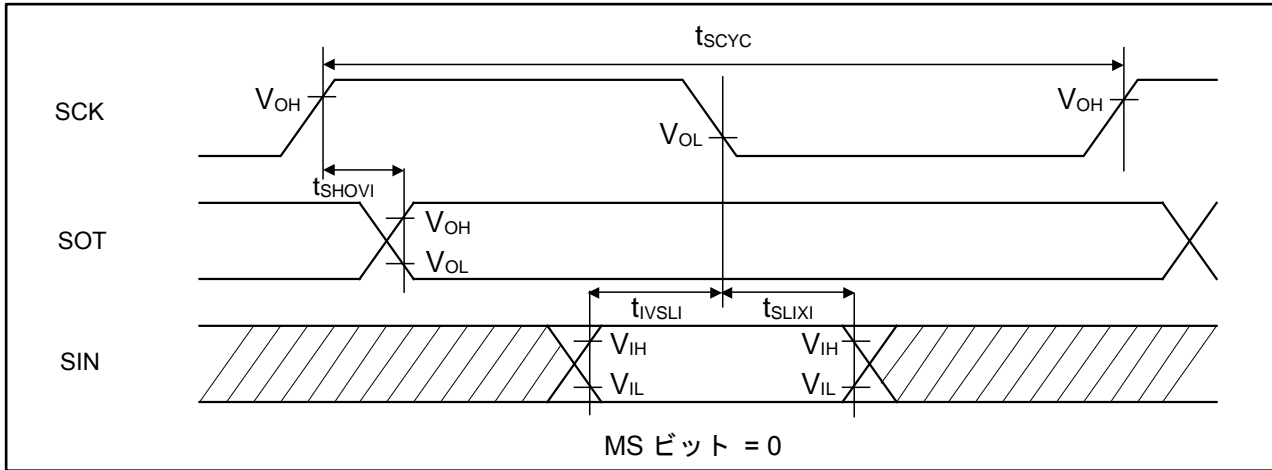
高速同期シリアル(SPI = 0, SCINV = 1)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		単位
				最小	最大	最小	最大	
シリアルクロック サイクルタイム	t _{SCYC}	SCK _X	内部 シフト クロック 動作	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVI}	SCK _X , SOT _X		- 10	+ 10	- 10	+ 10	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLI}	SCK _X , SIN _X		14 12.5*	-	12.5	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXI}	SCK _X , SIN _X		5	-	5	-	ns
シリアルクロック "L"パルス幅	t _{LSLH}	SCK _X	外部 シフト クロック 動作	2t _{CYCP} - 5	-	2t _{CYCP} - 5	-	ns
シリアルクロック "H"パルス幅	t _{HSL}	SCK _X		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVE}	SCK _X , SOT _X		-	15	-	15	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLE}	SCK _X , SIN _X		5	-	5	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXE}	SCK _X , SIN _X		5	-	5	-	ns
SCK 立下り時間	t _F	SCK _X		-	5	-	5	ns
SCK 立上り時間	t _R	SCK _X		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
UART が接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- 本規格は以下の端子のみの保証です。
 - ・ チップセレクトなし : SIN0_1, SOT0_1, SCK0_1
 - ・ チップセレクトあり : SIN6_0, SOT6_0, SCK6_0, SCS6_0
- 外部負荷容量 C_L = 30pF 時 (* は C_L = 10pF 時)



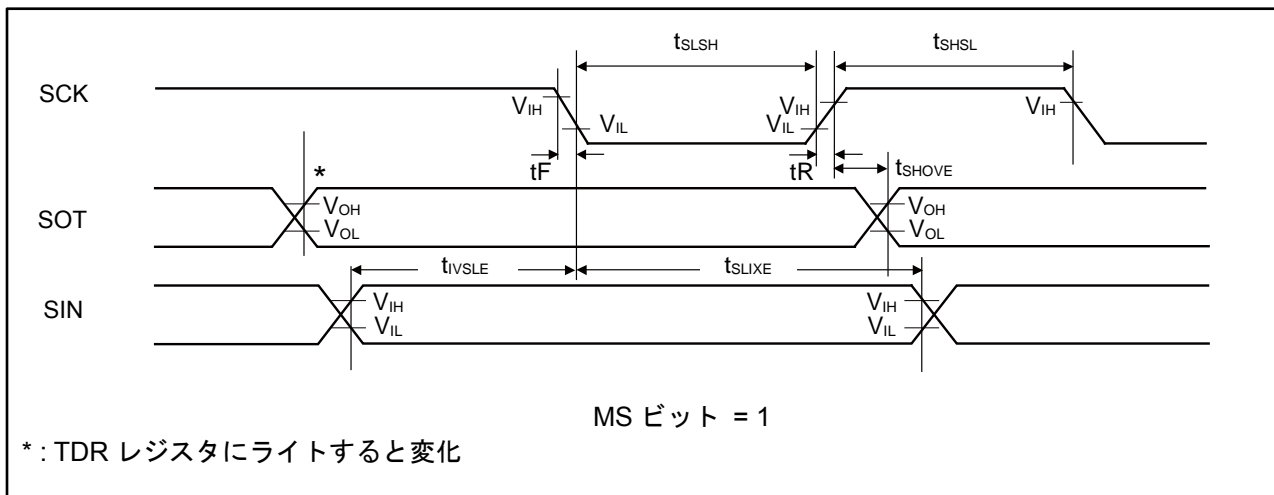
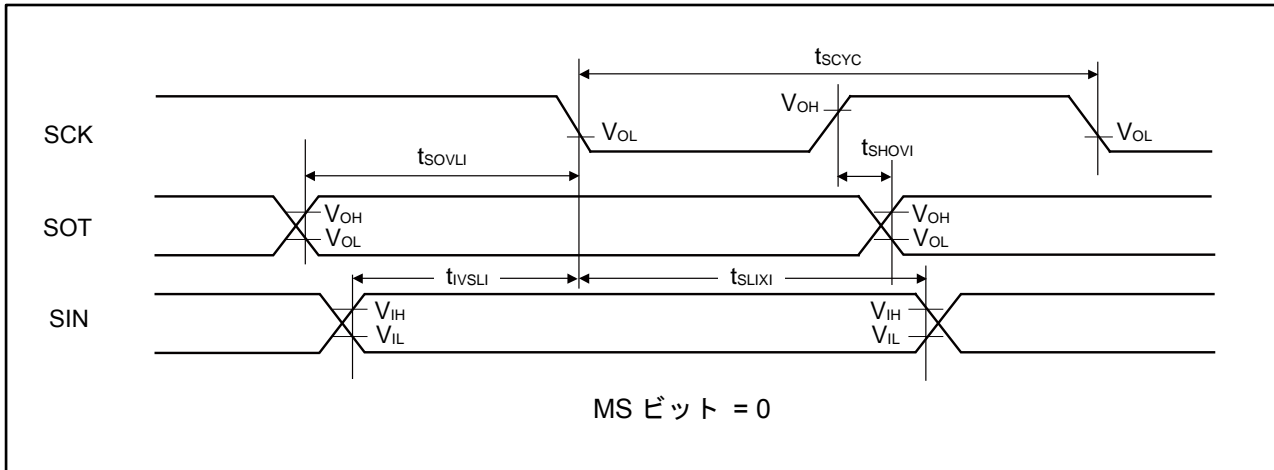
高速同期シリアル(SPI = 1, SCINV = 0)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		単位
				最小	最大	最小	最大	
シリアルクロック サイクルタイム	t _{SCYC}	SCK _X	内部 シフト クロック 動作	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVI}	SCK _X , SOT _X		- 10	+ 10	- 10	+ 10	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLI}	SCK _X , SIN _X		14 12.5*	-	12.5	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXI}	SCK _X , SIN _X		5	-	5	-	ns
SOT → SCK ↓ 遅延時間	t _{SOVLI}	SCK _X , SOT _X		2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック "L"パルス幅	t _{LSH}	SCK _X		2t _{CYCP} - 5	-	2t _{CYCP} - 5	-	ns
シリアルクロック "H"パルス幅	t _{SHSL}	SCK _X	t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns	
SCK ↑ → SOT 遅延時間	t _{SHOVE}	SCK _X , SOT _X	外部 シフト クロック 動作	-	15	-	15	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLE}	SCK _X , SIN _X		5	-	5	-	ns
SCK ↓ → SIN ホールド時間	t _{SLIXE}	SCK _X , SIN _X SCK _X		5	-	5	-	ns
SCK 立下り時間	t _F	SCK _X		-	5	-	5	ns
SCK 立上り時間	t _R	SCK _X		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
UART が接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は以下の端子のみの保証です。
 - ・ チップセレクトなし : SIN0_1, SOT0_1, SCK0_1
 - ・ チップセレクトあり : SIN6_0, SOT6_0, SCK6_0, SCS6_0
- 外部負荷容量 C_L = 30pF 時 (* は C_L = 10pF 時)



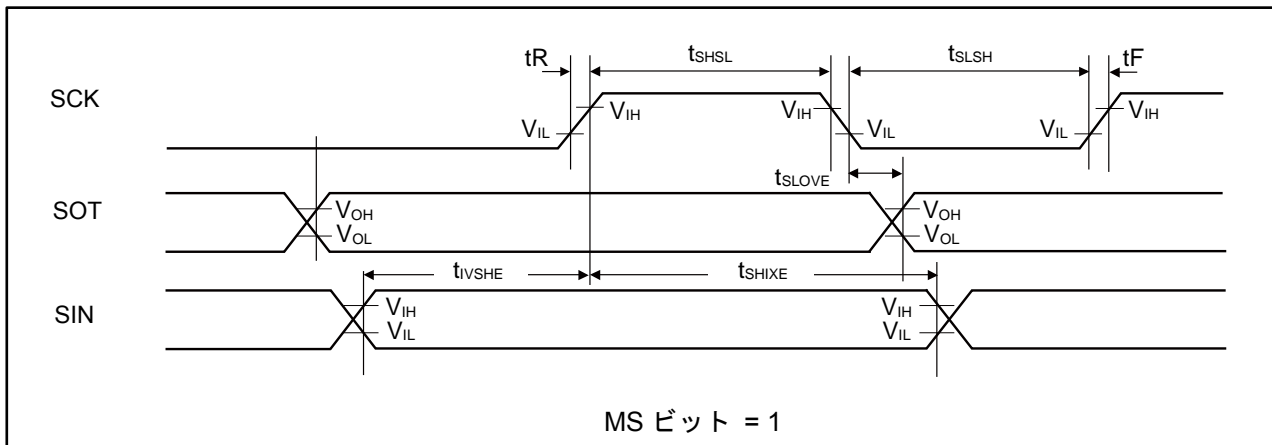
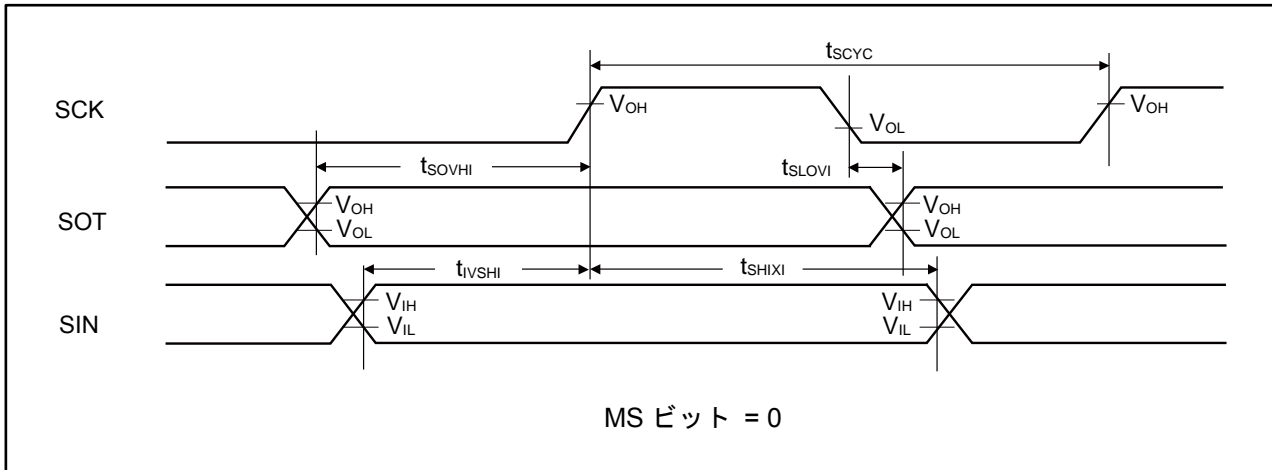
高速同期シリアル(SPI = 1, SCINV = 1)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		単位
				最小	最大	最小	最大	
シリアルクロック サイクルタイム	t _{SCYC}	SCK _X	内部 シフト クロック 動作	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↓ → SOT 遅延時間	t _{SLOVI}	SCK _X , SOT _X		- 10	+ 10	- 10	+ 10	ns
SIN → SCK ↑ セットアップ時間	t _{VS_{HI}}	SCK _X , SIN _X		14	-	12.5	-	ns
				12.5*				
SCK ↑ → SIN ホールド時間	t _{SHIXI}	SCK _X , SIN _X		5	-	5	-	ns
SOT → SCK ↑ 遅延時間	t _{SOVHI}	SCK _X , SOT _X		2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック "L"パルス幅	t _{LSH}	SCK _X	外部 シフト クロック 動作	2t _{CYCP} - 5	-	2t _{CYCP} - 5	-	ns
シリアルクロック "H"パルス幅	t _{SHSL}	SCK _X		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↓ → SOT 遅延時間	t _{SLOVE}	SCK _X , SOT _X		-	15	-	15	ns
SIN → SCK ↑ セットアップ時間	t _{VS_{HE}}	SCK _X , SIN _X		5	-	5	-	ns
SCK ↑ → SIN ホールド時間	t _{SHIXE}	SCK _X , SIN _X SCK _X		5	-	5	-	ns
SCK 立下り時間	t _F	SCK _X		-	5	-	5	ns
SCK 立上り時間	t _R	SCK _X		-	5	-	5	ns

<注意事項>

- CLK 同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
UART が接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は以下の端子のみの保証です。
 - ・ チップセレクトなし : SIN_{0_1}, SOT_{0_1}, SCK_{0_1}
 - ・ チップセレクトあり : SIN_{6_0}, SOT_{6_0}, SCK_{6_0}, SCS_{6_0}
- 外部負荷容量 C_L = 30pF 時 (* は C_L = 10pF 時)



高速同期シリアル チップセレクト使用時(SCINV = 0, CSLVL=1)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		単位
			最小	最大	最小	最大	
SCS ↓ → SCK ↓ セットアップ時間	t _{CSSU}	内部 シフト クロック 動作	(*1)-20	(*1)+0	(*1)-20	(*1)+0	ns
SCK ↑ → SCS ↑ ホールド時間	t _{CSHU}		(*2)+0	(*2)+20	(*2)+0	(*2)+20	ns
SCS ディセレクト時間	t _{CSDI}		(*3)-20+5t _{CYCP}	(*3)+20+5t _{CYCP}	(*3)-20+5t _{CYCP}	(*3)+20+5t _{CYCP}	ns
SCS ↓ → SCK ↓ セットアップ時間	t _{CSSE}	外部 シフト クロック 動作	3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCK ↑ → SCS ↑ ホールド時間	t _{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t _{CSDE}		3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCS ↓ → SOT 遅延時間	t _{DSE}		-	25	-	25	ns
SCS ↑ → SOT 遅延時間	t _{DEE}		0	-	0	-	ns

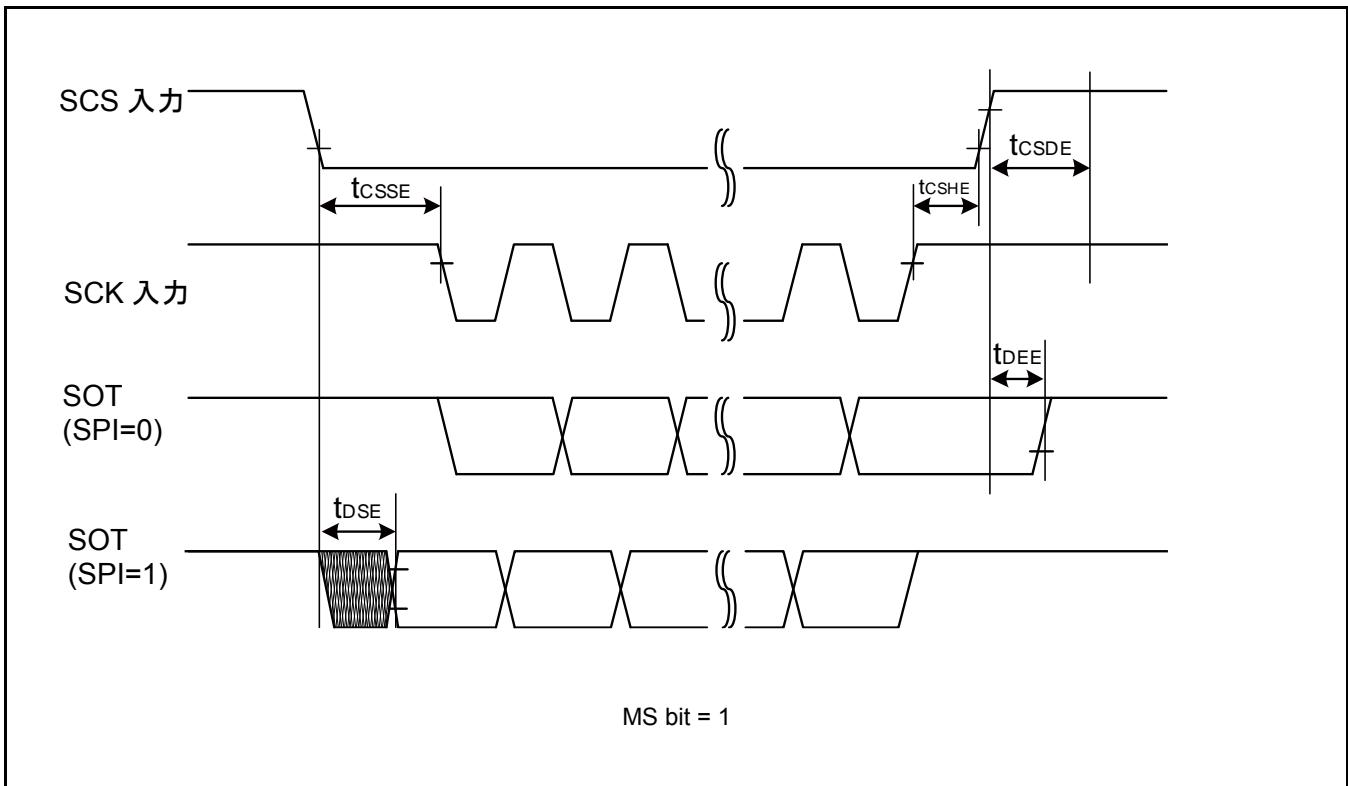
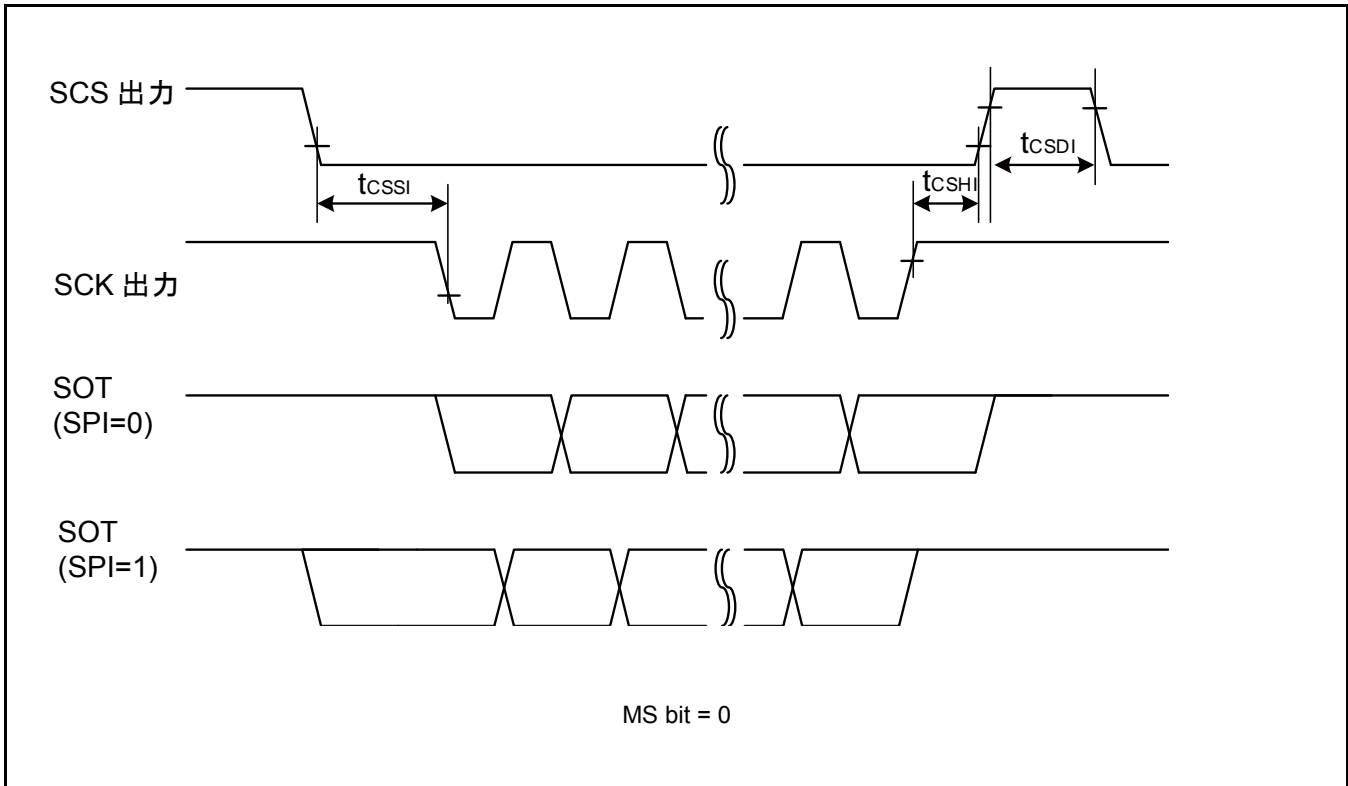
(*1) : CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*2) : CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*3) : CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
UART が接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリー ペリフェラルマニュアル本編 (002-04857)』を参照してください。
- 外部負荷容量 C_L = 30pF 時



高速同期シリアル チップセレクト使用時(SCINV = 1, CSLVL=1)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		単位
			最小	最大	最小	最大	
SCS ↓ → SCK ↑ セットアップ時間	t _{CSSI}	内部シフト クロック 動作	(*1)-20	(*1)+0	(*1)-20	(*1)+0	ns
SCK ↓ → SCS ↑ ホールド時間	t _{CSHI}		(*2)+0	(*2)+20	(*2)+0	(*2)+20	ns
SCS ディセレクト時間	t _{CSDI}		(*3)-20+5t _{CYCP}	(*3)+20+5t _{CYCP}	(*3)-20+5t _{CYCP}	(*3)+20+5t _{CYCP}	ns
SCS ↓ → SCK ↑ セットアップ時間	t _{CSSE}	外部シフト クロック 動作	3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCK ↓ → SCS ↑ ホールド時間	t _{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t _{CSDE}		3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCS ↓ → SOT 遅延時間	t _{DSE}		-	25	-	25	ns
SCS ↑ → SOT 遅延時間	t _{DSE}		0	-	0	-	ns

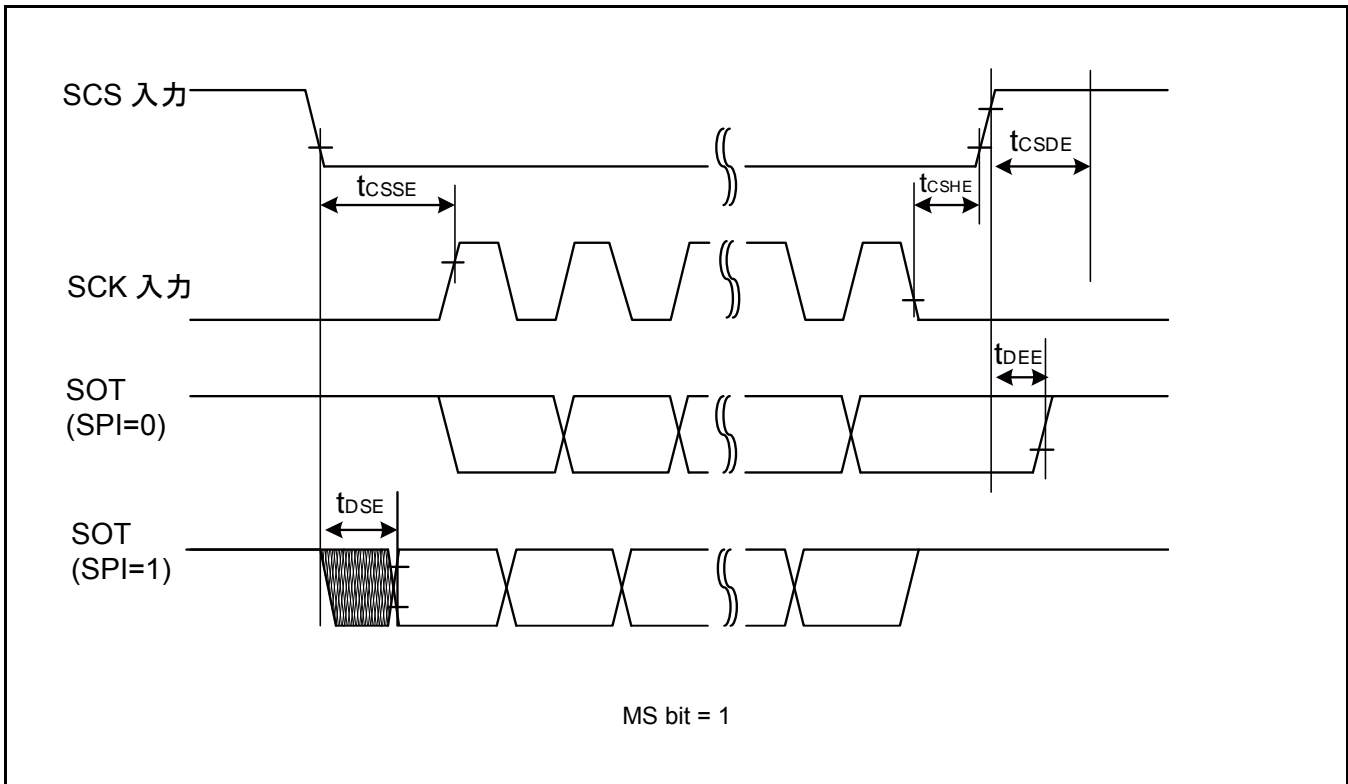
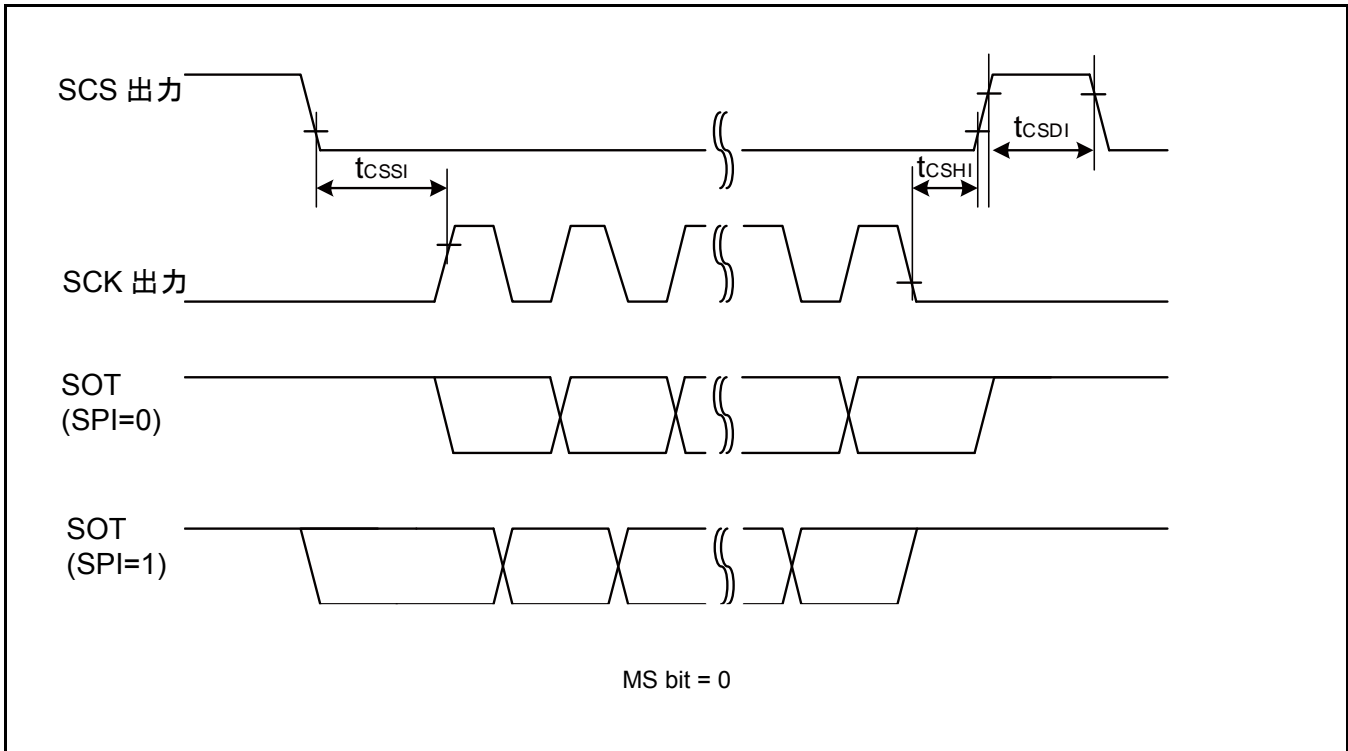
(*1) : CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*2) : CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*3) : CS DS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
 UART が接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- CSSU, CSHD, CS DS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリー ペリフェラルマニュアル本編 (002-04857)』を参照してください。
- 外部負荷容量 C_L = 30pF 時



高速同期シリアル チップセレクト使用時(SCINV = 0, CSLVL=0)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		単位
			最小	最大	最小	最大	
SCS ↑ → SCK ↓ セットアップ時間	t _{CSSI}	内部シフト クロック 動作	(*1)-20	(*1)+0	(*1)-20	(*1)+0	ns
SCK ↑ → SCS ↓ ホールド時間	t _{CSHI}		(*2)+0	(*2)+20	(*2)+0	(*2)+20	ns
SCS ディセレクト時間	t _{CSDI}		(*3)-20+5t _{CYCP}	(*3)+20+5t _{CYCP}	(*3)-20+5t _{CYCP}	(*3)+20+5t _{CYCP}	ns
SCS ↑ → SCK ↓ セットアップ時間	t _{CSSE}	外部シフト クロック 動作	3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCK ↑ → SCS ↓ ホールド時間	t _{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t _{CSDE}		3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCS ↑ → SOT 遅延時間	t _{DSE}		-	25	-	25	ns
SCS ↓ → SOT 遅延時間	t _{DEE}		0	-	0	-	ns

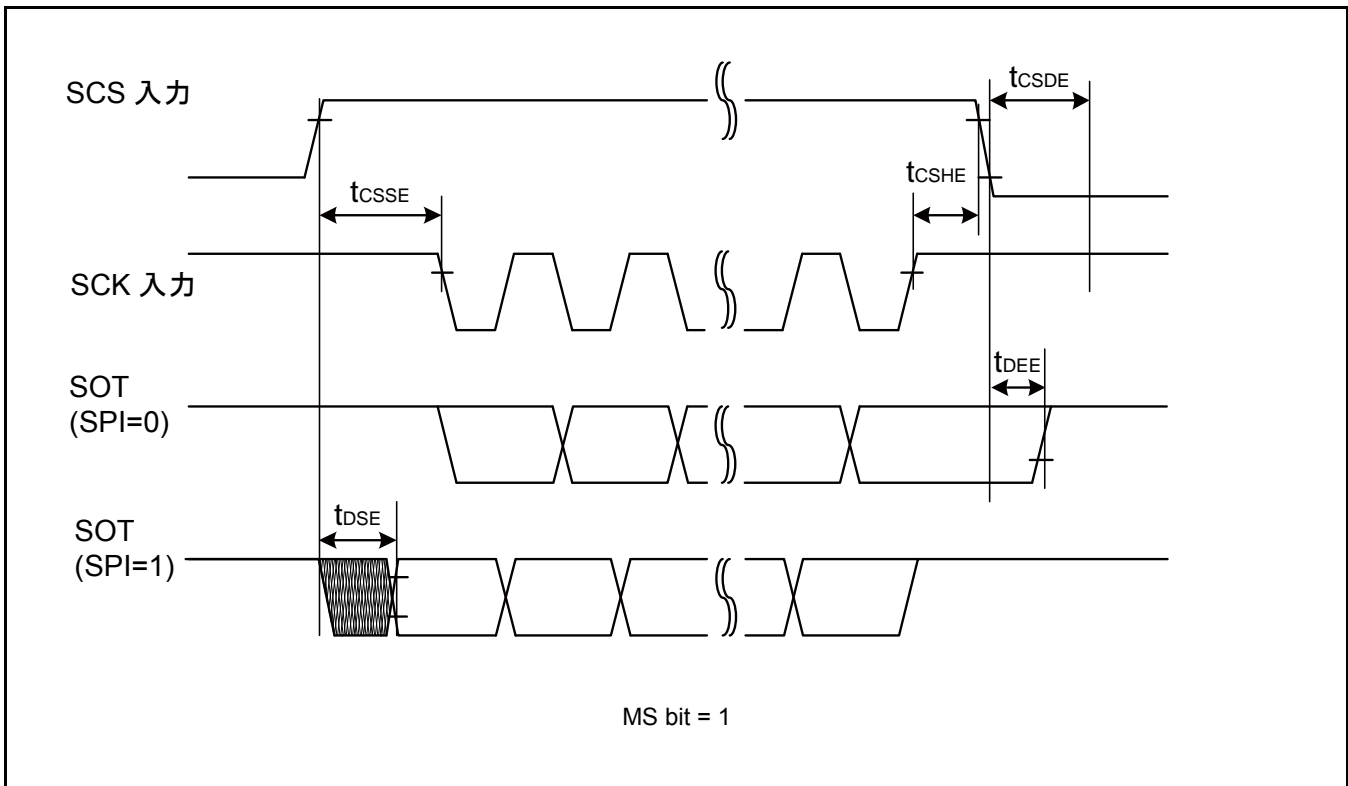
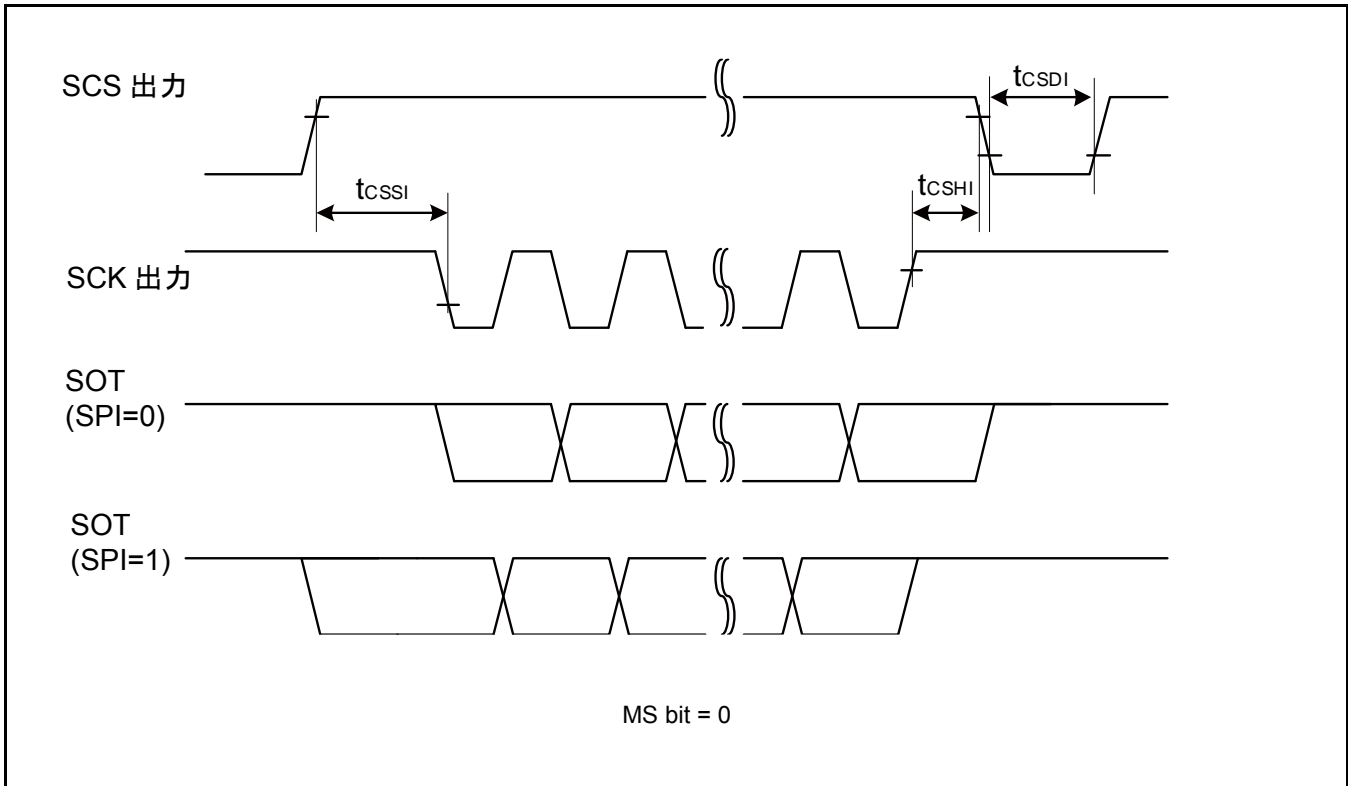
(*1) : CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*2) : CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*3) : CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
 UART が接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリ ペリフェラルマニュアル本編 (002-04857)』を参照してください。
- 外部負荷容量 C_L = 30pF 時



高速同期シリアル チップセレクト使用時(SCINV = 1, CSLVL=0)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		単位
			最小	最大	最小	最大	
SCS ↑ → SCK ↑ セットアップ時間	t _{CSSI}	内部シフト クロック 動作	(*1)-20	(*1)+0	(*1)-20	(*1)+0	ns
SCK ↓ → SCS ↓ ホールド時間	t _{CSDI}		(*2)+0	(*2)+20	(*2)+0	(*2)+20	ns
SCS デイセレクト時間	t _{CSDI}		(*3)-20+5t _{CYCP}	(*3)+20+5t _{CYCP}	(*3)-20+5t _{CYCP}	(*3)+20+5t _{CYCP}	ns
SCS ↑ → SCK ↑ セットアップ時間	t _{CSSE}	外部シフト クロック 動作	3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCK ↓ → SCS ↓ ホールド時間	t _{CSHE}		0	-	0	-	ns
SCS デイセレクト時間	t _{CSDE}		3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCS ↑ → SOT 遅延時間	t _{DSE}		-	25	-	25	ns
SCS ↓ → SOT 遅延時間	t _{DEE}		0	-	0	-	ns

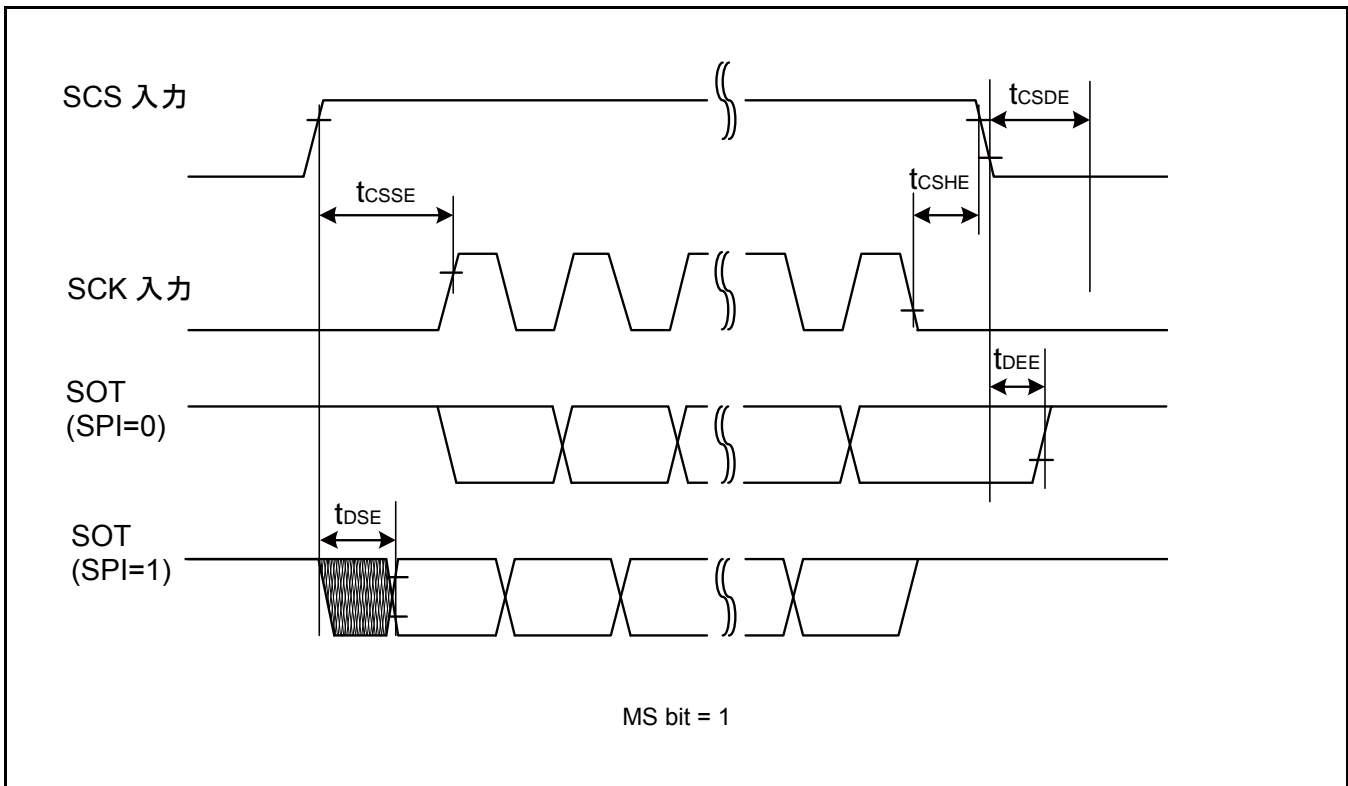
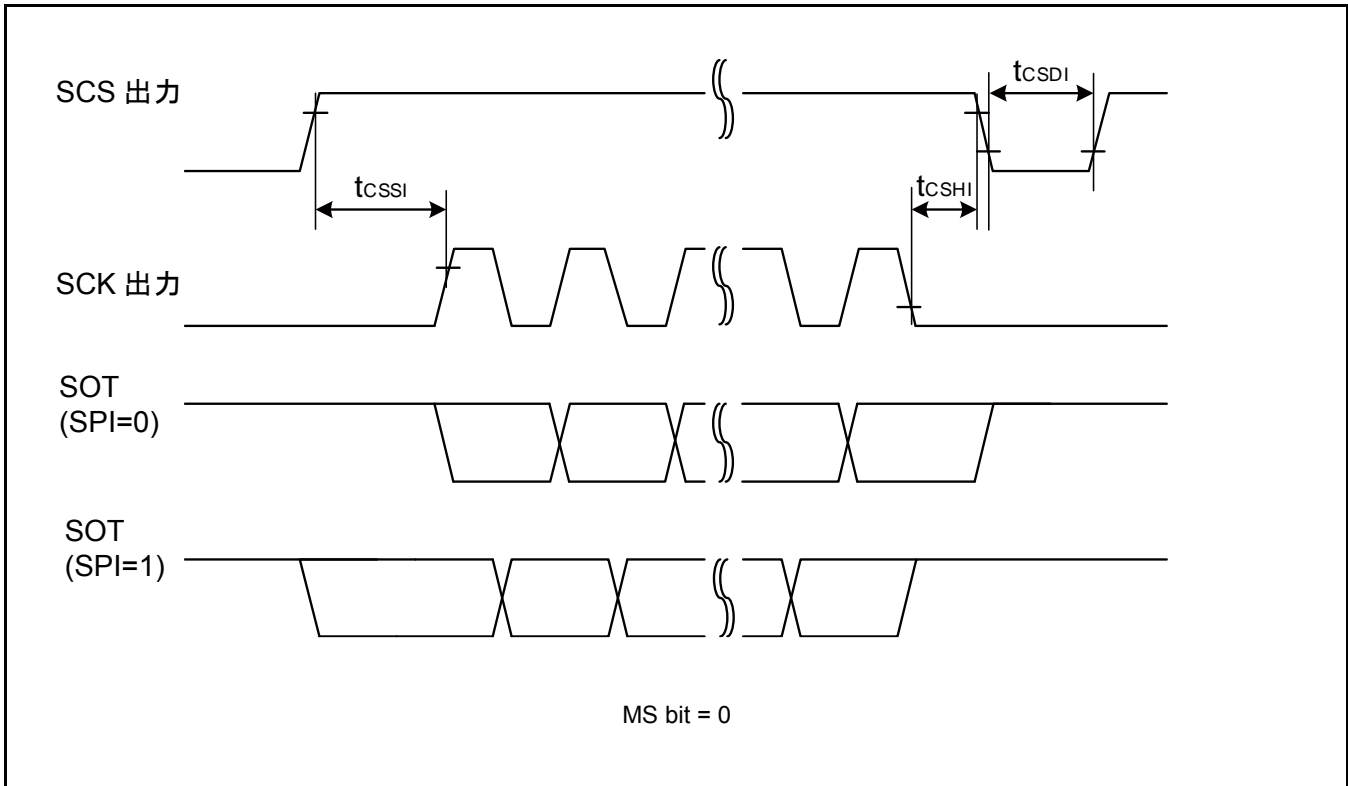
(*1) : CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*2) : CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*3) : CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

<注意事項>

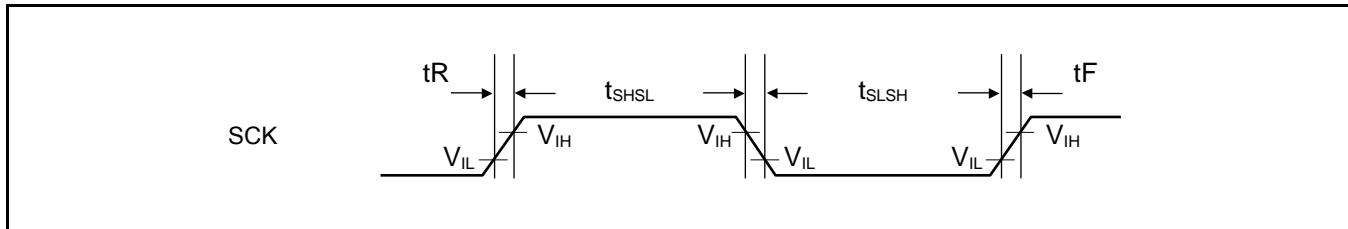
- t_{CYCP} は、APB バスクロックのサイクル時間です。
 UART が接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリー ペリフェラルマニュアル本編 (002-04857)』を参照してください。
- 外部負荷容量 C_L = 30pF 時



外部クロック(EXT = 1) : 非同期時のみ

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	規格値		単位	備考
			最小	最大		
シリアルクロック"L"パルス幅	t _{SLSH}	C _L = 30 pF	t _{CYCP} + 10	-	ns	
シリアルクロック"H"パルス幅	t _{SHSL}		t _{CYCP} + 10	-	ns	
SCK 立下り時間	t _F		-	5	ns	
SCK 立上り時間	t _R		-	5	ns	



12.4.11 外部入力タイミング

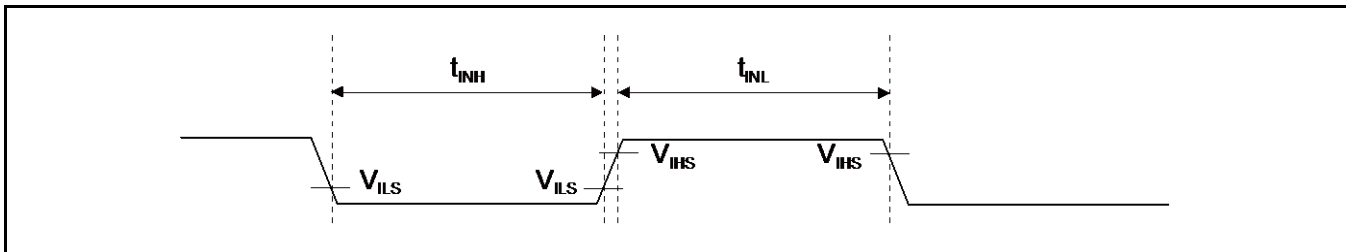
 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t _{INH} , t _{INL}	ADTG	-	2tc _{CYP} * ¹	-	ns	A/D コンバータトリガ入力
		FRCK _X					フリーランタイム入力クロック
		IC _{XX}					インプットキャプチャ
		DTTl _X	-	2tc _{CYP} * ¹	-	ns	波形ジェネレータ
		INT00 ~ INT31, NMIX	-	2tc _{CYP} + 100* ¹	-	ns	外部割込み, NMI
				500* ²	-	ns	
WKUP _X	-	500* ³	-	ns	ディープスタンバイ ウェイクアップ		

*1: tc_{CYP} は APB バスクロックのサイクル時間です(タイマモード, ストップモードの停止時を除く)。A/D コンバータ, 多機能タイマ, 外部割込みが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。

*2: タイマモード, ストップモード時

*3: ディープスタンバイ RTC モード, ディープスタンバイストップモード時



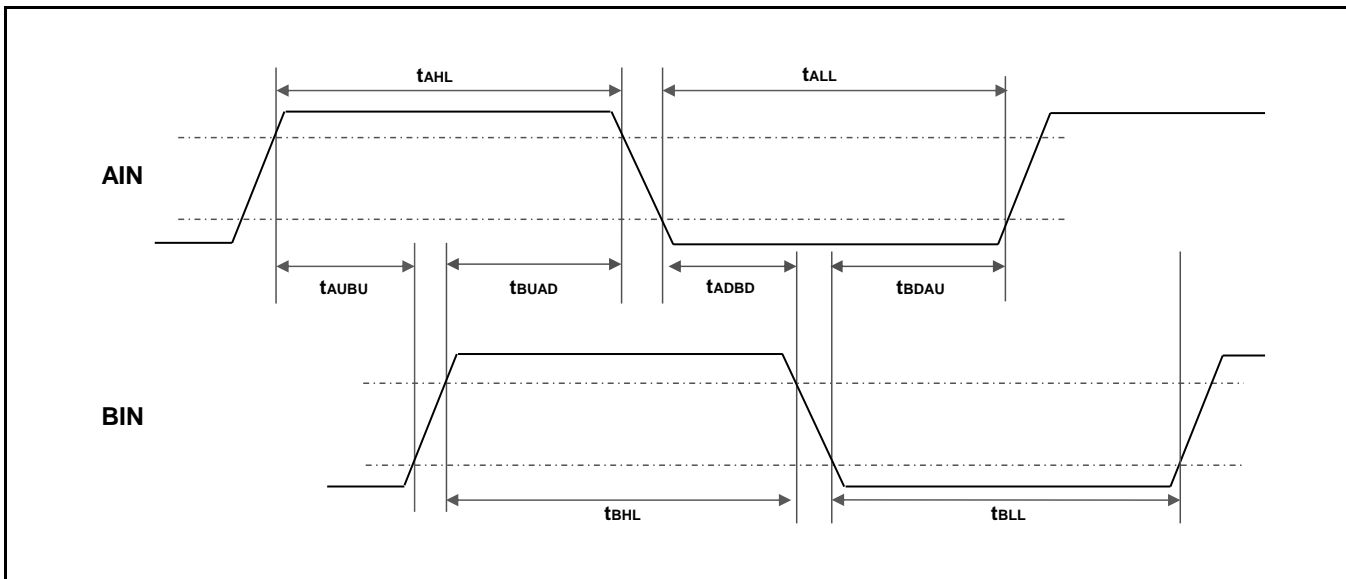
12.4.12 クアッドカウンタ タイミング

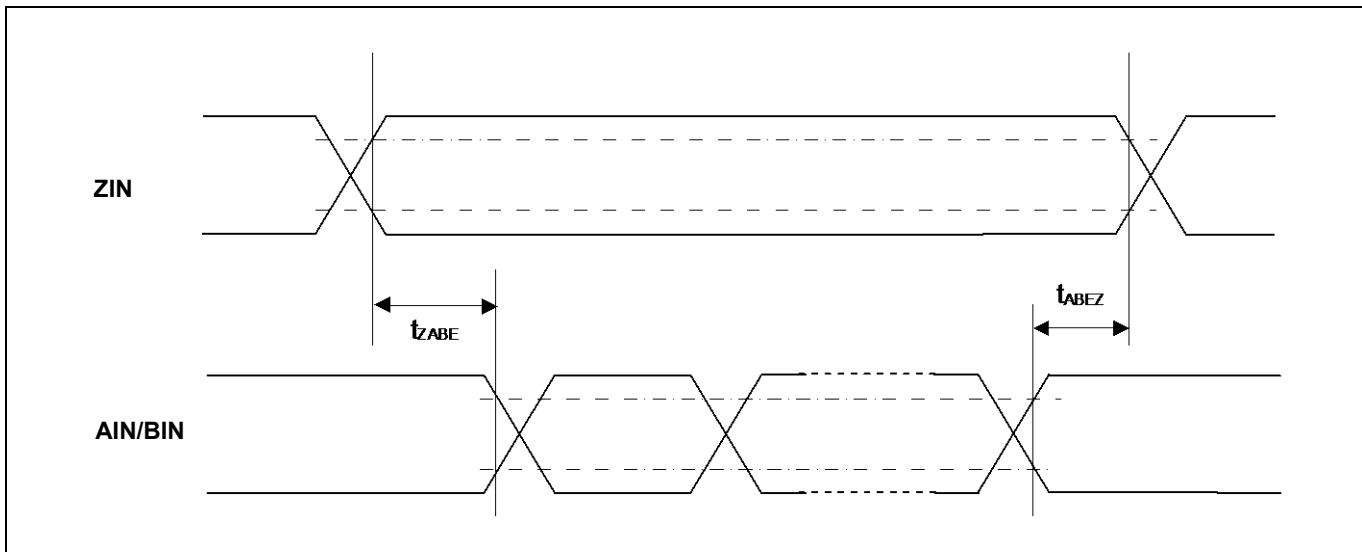
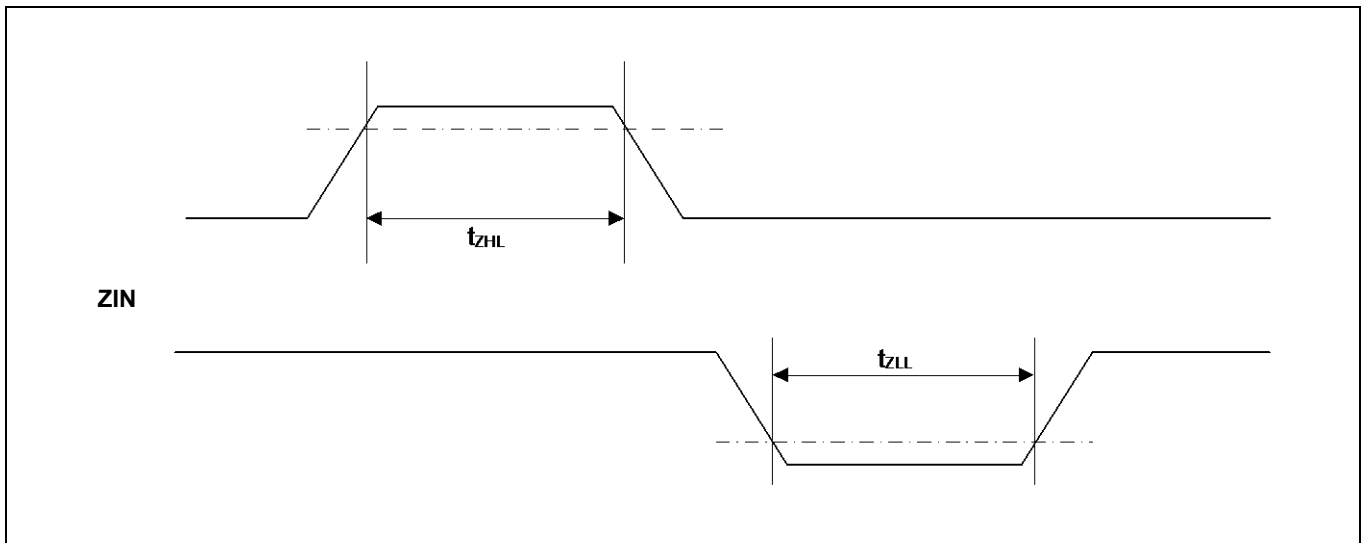
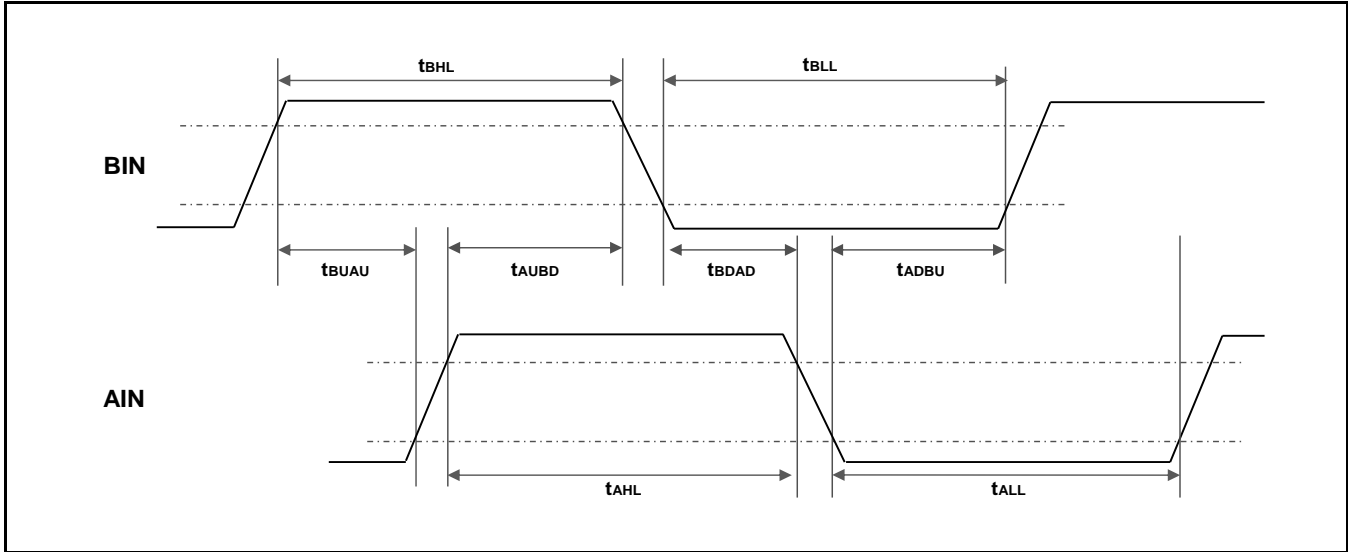
 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	規格値		単位
			最小値	最大値	
AIN 端子"H"幅	t _{AHL}	-	2t _{cyCP} *	-	ns
AIN 端子"L"幅	t _{ALL}	-			
BIN 端子"H"幅	t _{BHL}	-			
BIN 端子"L"幅	t _{BLL}	-			
AIN"H"レベルから BIN 立上り時間	t _{AUBU}	PC_Mode2 または PC_Mode3			
BIN"H"レベルから AIN 立下り時間	t _{BUAD}	PC_Mode2 または PC_Mode3			
AIN"L"レベルから BIN 立下り時間	t _{ADBD}	PC_Mode2 または PC_Mode3			
BIN"L"レベルから AIN 立上り時間	t _{BDAU}	PC_Mode2 または PC_Mode3			
BIN"H"レベルから AIN 立上り時間	t _{BUAU}	PC_Mode2 または PC_Mode3			
AIN"H"レベルから BIN 立下り時間	t _{AUBD}	PC_Mode2 または PC_Mode3			
BIN"L"レベルから AIN 立下り時間	t _{BDAD}	PC_Mode2 または PC_Mode3			
AIN"L"レベルから BIN 立上り時間	t _{ADBU}	PC_Mode2 または PC_Mode3			
ZIN 端子"H"幅	t _{ZHL}	QCR:CGSC="0"			
ZIN 端子"L"幅	t _{ZLL}	QCR:CGSC="0"			
ZIN レベル確定から AIN/BIN 立下り立上り時間	t _{ZABE}	QCR:CGSC="1"			
AIN/BIN 立下り立上り時間から ZIN レベル確定	t _{ZABEZ}	QCR:CGSC="1"			

 *: t_{cyCP}は APB バスクロックのサイクル時間です(タイマモード、ストップモード時を除く)。

クアッドカウンタが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。





12.4.13 I²C タイミング
Standard-mode, Fast-mode

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	Standard-mode		Fast-mode		単位	備考
			最小	最大	最小	最大		
SCL クロック周波数	F _{SCL}	C _L = 30 pF, R = (V _p /I _{OL})*1	0	100	0	400	kHz	
(反復)「スタート」条件 ホールド時間 SDA ↓ → SCL ↓	t _{HDSTA}		4.0	-	0.6	-	μs	
SCL クロック "L" 幅	t _{LOW}		4.7	-	1.3	-	μs	
SCL クロック "H" 幅	t _{HIGH}		4.0	-	0.6	-	μs	
反復「スタート」条件 セットアップ時間 SCL ↑ → SDA ↓	t _{SUSTA}		4.7	-	0.6	-	μs	
データホールド時間 SCL ↓ → SDA ↓ ↑	t _{HDDAT}		0	3.45*2	0	0.9*3	μs	
データセットアップ時間 SDA ↓ ↑ → SCL ↑	t _{SUDAT}		250	-	100	-	ns	
「ストップ」条件 セットアップ時間 SCL ↑ → SDA ↑	t _{SUSTO}		4.0	-	0.6	-	μs	
「ストップ」条件と 「スタート」条件との間の バスフリー時間	t _{BUF}		4.7	-	1.3	-	μs	
ノイズフィルタ	t _{SP}	2 MHz ≤ t _{CYCP} < 40 MHz	2t _{CYCP} *4	-	2t _{CYCP} *4	-	ns	*5
		40 MHz ≤ t _{CYCP} < 60 MHz	4t _{CYCP} *4	-	4t _{CYCP} *4	-	ns	
		60 MHz ≤ t _{CYCP} < 80 MHz	6t _{CYCP} *4	-	6t _{CYCP} *4	-	ns	
		80 MHz ≤ t _{CYCP} < 100 MHz	8t _{CYCP} *4	-	8t _{CYCP} *4	-	ns	
		100 MHz ≤ t _{CYCP} < 120 MHz	10t _{CYCP} *4	-	10t _{CYCP} *4	-	ns	
		120 MHz ≤ t _{CYCP} < 140 MHz	12t _{CYCP} *4	-	12t _{CYCP} *4	-	ns	
		140 MHz ≤ t _{CYCP} < 160 MHz	14t _{CYCP} *4	-	14t _{CYCP} *4	-	ns	
		160 MHz ≤ t _{CYCP} < 180 MHz	16t _{CYCP} *4	-	16t _{CYCP} *4	-	ns	

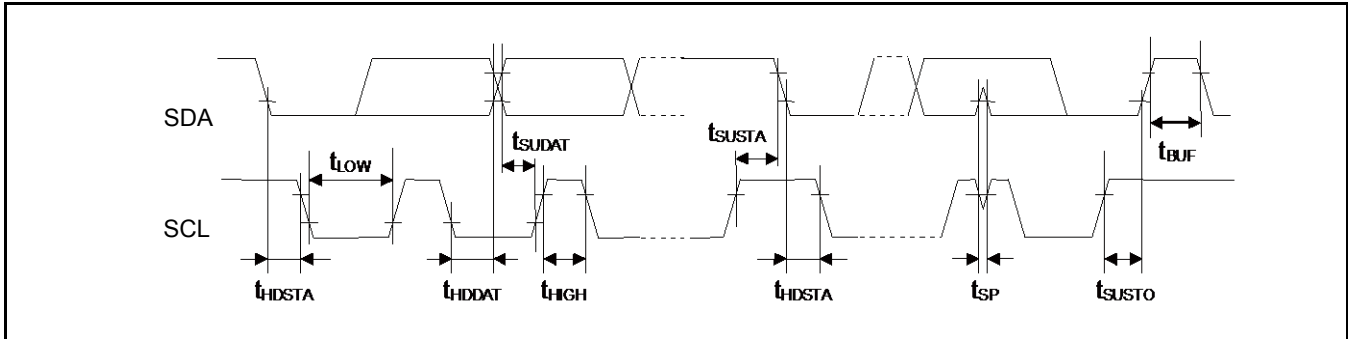
- *1: R, C_L は、SCL, SDA ラインのプルアップ抵抗、負荷容量です。V_p はプルアップ抵抗の電源電圧、I_{OL} は V_{OL} 保証電流を示します。
- *2: 最大 t_{HDDAT} は少なくともデバイスの SCL 信号の "L" 区間(t_{LOW})を延長していないということを満たしていなければなりません。
- *3: Fast-mode I²C バスデバイスは Standard-mode I²C バスシステムに使用できますが、要求される条件 t_{SUDAT} ≥ 250ns を満足しなければなりません。
- *4: t_{CYCP} は、APB バスクロックのサイクル時間です。
I²C が接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
Standard-mode 使用時は、周辺バスクロックは 2 MHz 以上にしてください。
Fast-mode 使用時は、周辺バスクロックは 8 MHz 以上にしてください。
- *5: ノイズフィルタ時間はレジスタの設定により切り換えることができます。
APB バスクロック周波数に応じて、ノイズフィルタ段数の変更をしてください。

Fast-mode plus(Fm+)

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	Fast-mode plus(Fm+)*6		単位	備考
			最小	最大		
SCL クロック周波数	F _{SCL}	C _L = 30 pF, R = (V _p /I _{OL})*1	0	1000	kHz	
(反復)「スタート」条件 ホールド時間 SDA ↓ → SCL ↓	t _{HDSTA}		0.26	-	μs	
SCL クロック"L"幅	t _{LOW}		0.5	-	μs	
SCL クロック"H"幅	t _{HIGH}		0.26	-	μs	
反復「スタート」条件 セットアップ時間 SCL ↑ → SDA ↓	t _{SUSTA}		0.26	-	μs	
データホールド時間 SCL ↓ → SDA ↓ ↑	t _{HDDAT}		0	0.45*2, *3	μs	
データセットアップ時間 SDA ↓ ↑ → SCL ↑	t _{SUDAT}		50	-	ns	
「ストップ」条件 セットアップ時間 SCL ↑ → SDA ↑	t _{SUSTO}		0.26	-	μs	
「ストップ」条件と 「スタート」条件との間の バスフリー時間	t _{BUF}		0.5	-	μs	
ノイズフィルタ	t _{SP}		60 MHz ≤ t _{CYCP} < 80 MHz	6 t _{CYCP} *4	-	ns
		80 MHz ≤ t _{CYCP} < 100 MHz	8 t _{CYCP} *4	-	ns	
		100 MHz ≤ t _{CYCP} < 120 MHz	10 t _{CYCP} *4	-	ns	
		120 MHz ≤ t _{CYCP} < 140 MHz	12 t _{CYCP} *4	-	ns	
		140 MHz ≤ t _{CYCP} < 160 MHz	14 t _{CYCP} *4	-	ns	
		160 MHz ≤ t _{CYCP} < 180 MHz	16 t _{CYCP} *4	-	ns	

- *1: R, C_Lは、SCL, SDA ラインのプルアップ抵抗、負荷容量です。V_pはプルアップ抵抗の電源電圧、I_{OL}はV_{OL}保証電流を示します。
- *2: 最大 t_{HDDAT}は少なくともデバイスの SCL 信号の"L"区間(t_{LOW})を延長していないということを満たしていなければなりません。
- *3: Fast-mode I²C バスデバイスは Standard-mode I²C バスシステムに使用できますが、要求される条件 t_{SUDAT} ≥ 250ns を満足しなければなりません。
- *4: t_{CYCP}は、APB バスクロックのサイクル時間です。
I²C が接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
Fast-mode plus(Fm+)使用時は、周辺バスクロックは 64 MHz 以上にしてください。
- *5: ノイズフィルタ時間はレジスタの設定により切り換えることができます。
APB バスクロック周波数に応じて、ノイズフィルタ段数の変更をしてください。
- *6: Fast-mode plus(Fm+)使用時は、I/O 端子を EPFR レジスタにて I²C Fm+に対応したモードに設定してください。詳細は『FM4 フォトリ パリフェラルマニュアル本編(002-04857)』の『CHAPTER 10: I/O ポート』の章を参照してください。

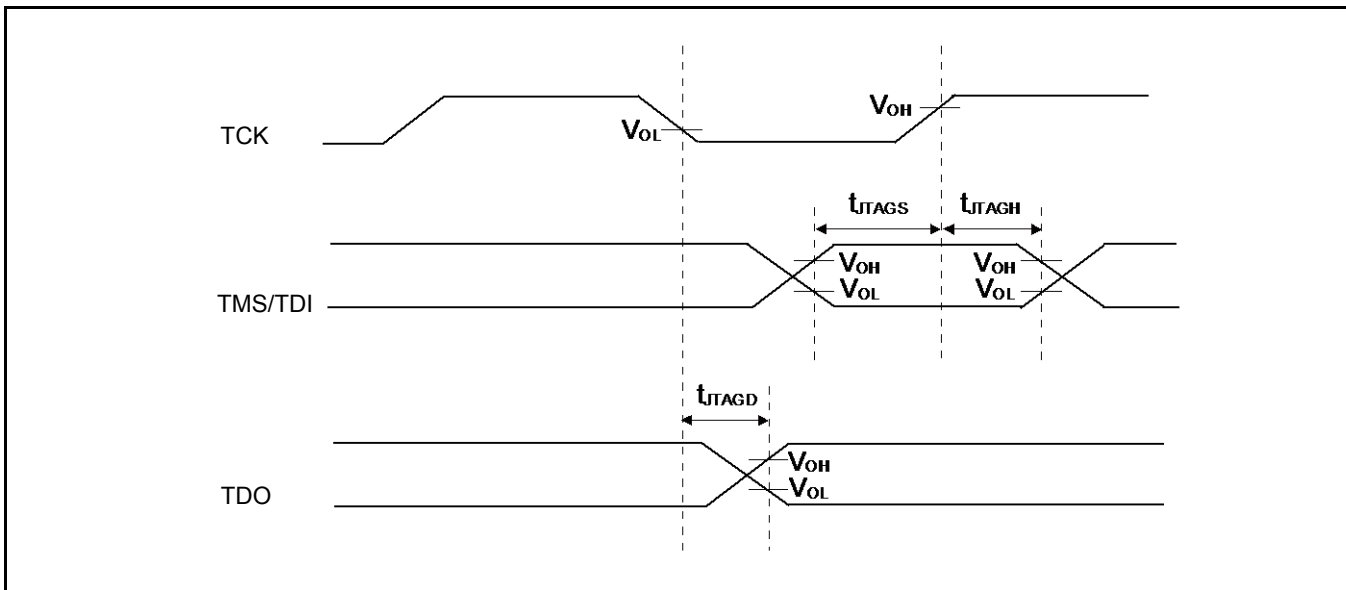


12.4.14 JTAG タイミング

 (V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
TMS, TDI セットアップ時間	t _{JTAGS}	TCK, TMS, TDI	V _{CC} ≥ 4.5V	15	-	ns	
			V _{CC} < 4.5V				
TMS, TDI ホールド時間	t _{JTAGH}	TCK, TMS, TDI	V _{CC} ≥ 4.5V	15	-	ns	
			V _{CC} < 4.5V				
TDO 遅延時間	t _{JTAGD}	TCK TDO	V _{CC} ≥ 4.5V	-	25	ns	
			V _{CC} < 4.5V	-	45		

<注意事項>

 - 外部負荷容量 C_L = 30pF 時


12.5 12 ビット A/D コンバータ

A/D 変換部電気的特性

($V_{CC} = AV_{CC} = 2.7V \sim 5.5V$, $V_{SS} = AV_{SS} = AV_{RL} = 0V$)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	-	-	-	-	12	bit	
積分直線性誤差	-	-	- 4.5	-	+ 4.5	LSB	AVRH = 2.7 V ~ 5.5 V
微分直線性誤差	-	-	- 2.5	-	+ 2.5	LSB	
ゼロトランジション電圧	V _{ZT}	AN00 ~ AN14	- 15	-	+ 15	mV	
フルスケールトランジション電圧	V _{FST}	AN00 ~ AN14	AVRH - 15	-	AVRH + 15	mV	
変換時間	-	-	0.5*1	-	-	μs	AV _{CC} ≥ 4.5 V
サンプリング時間	T _s	-	*2	-	10	μs	AV _{CC} ≥ 4.5 V
			*2	-			AV _{CC} < 4.5 V
コンペアクロック周期*3	T _{ck}	-	25	-	1000	ns	AV _{CC} ≥ 4.5 V
			50	-	1000		AV _{CC} < 4.5 V
動作許可状態遷移時間	T _{stt}	-	-	-	1.0	μs	
電源電流 (アナログ + デジタル)	-	AV _{CC}	-	0.69	0.92	mA	A/D 1unit 動作時
			-	0.3	12	μA	A/D 停止時
基準電源電流 (AVRH)	-	AVRH	-	1.1	1.97	mA	A/D 1unit 動作時 AVRH=5.5 V
				0.2	4.2	μA	A/D 停止時
アナログ入力容量	C _{AIN}	-	-	-	10	pF	
アナログ入力抵抗	R _{AIN}	-	-	-	1.2	kΩ	AV _{CC} ≥ 4.5 V
					1.8		AV _{CC} < 4.5 V
チャンネル間ばらつき	-	-	-	-	4	LSB	
アナログポート入力リーク電流	-	AN00 ~ AN14	-	-	5	μA	
アナログ入力電圧	-	AN00 ~ AN14	AV _{SS}	-	AVRH	V	
基準電圧	-	AVRH	4.5	-	AV _{CC}	V	T _{ck} < 50 ns
			2.7	-	AV _{CC}		T _{ck} ≥ 50 ns

*1: 変換時間は サンプリング時間 (T_s) + コンペア時間 (T_c) の値です。

最小変換時間の条件は、サンプリング時間 : 150ns, コンペア時間 : 350ns (AV_{CC} ≥ 4.5V)の値です。

必ずサンプリング時間(T_s), コンペアクロック周期(T_{ck})の規格を満足するようにしてください。

サンプリング時間, コンペアクロック周期の設定*4については、『FM4 ファミリー パリフェラルマニュアル アナログマクロ編 (002-04861)』の『CHAPTER 1-1: A/D コンバータ』の章を参照してください。

A/D コンバータのレジスタの設定は周辺クロックタイミングで反映されます。

サンプリングおよびコンペアクロックはベースクロック(HCLK)にて設定されます。

*2: 外部インピーダンスにより必要なサンプリング時間は変わります。

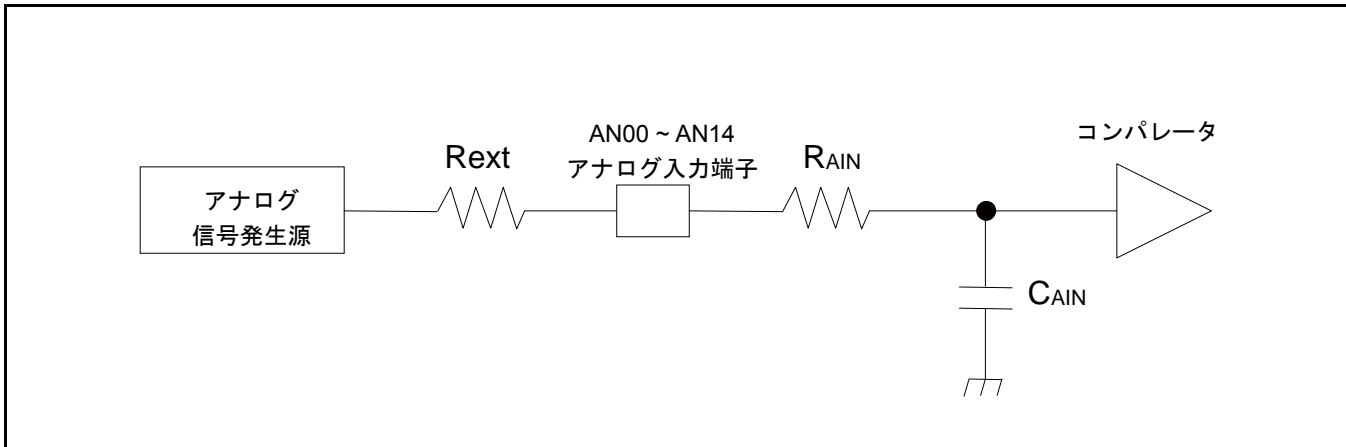
必ず(式 1)を満たすようにサンプリング時間を設定してください。

*3: コンペア時間(T_c) は (式 2)の値です。

*4: A/D コンバータのレジスタの設定は APB バスクロックのタイミングで反映されます。

サンプリングおよびコンペアクロックはベースクロック(HCLK)にて設定されます。

A/D コンバータが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。



(式 1) $T_s \geq (R_{AIN} + R_{ext}) \times C_{AIN} \times 9$

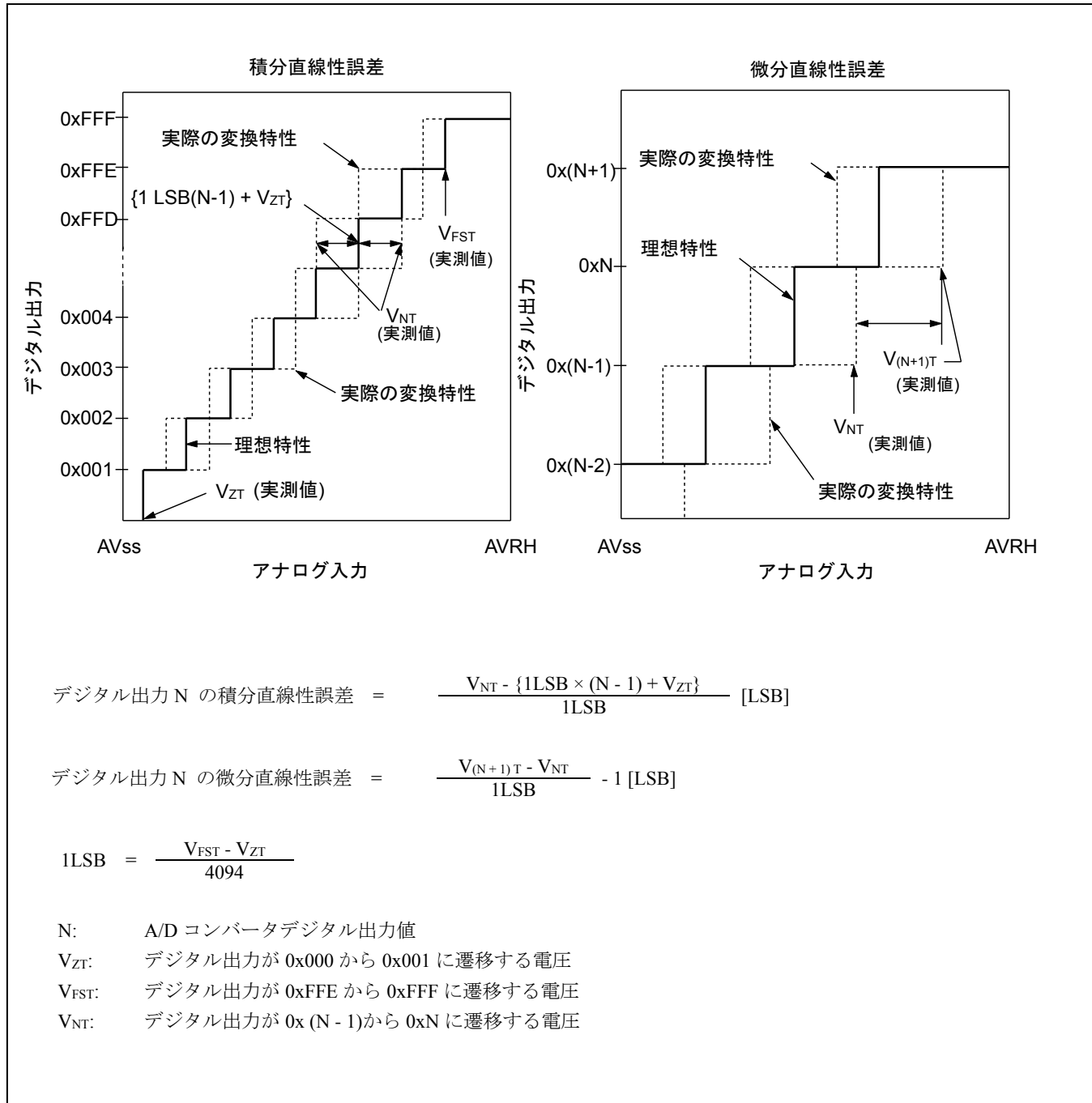
- T_s : サンプルング時間
 R_{AIN} : A/D の入力抵抗 = 1.2k Ω $4.5V \leq AV_{CC} \leq 5.5V$ の場合
 A/D の入力抵抗 = 1.8k Ω $2.7V \leq AV_{CC} \leq 4.5V$ の場合
 C_{AIN} : A/D の入力容量 = 10pF $2.7V \leq AV_{CC} \leq 5.5V$ の場合
 R_{ext} : 外部回路の出力インピーダンス

(式 2) $T_c = T_{cck} \times 14$

- T_c : コンペア時間
 T_{cck} : コンペアクロック周期

12 ビット A/D コンバータの用語の定義

- 分解能: A/D コンバータにより識別可能なアナログ変化
- 積分直線性誤差: ゼロトランジション点(0b000000000000 ←→ 0b000000000001)とフルスケールトランジション点(0b111111111110 ←→ 0b111111111111)を結んだ直線と実際の変換特性との偏差
- 微分直線性誤差: 出力コードを 1LSB 変化させるのに必要な入力電圧の理想値からの偏差



12.6 12 ビット D/A コンバータ
D/A 変換部電気的特性

 (V_{CC} = AV_{CC} = 2.7V~5.5V, V_{SS} = AV_{SS} = 0V)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	-	DAx	-	-	12	bit	
変換時間	tc20		0.56	0.69	0.81	μs	負荷 20pF
	tc100		2.79	3.42	4.06	μs	負荷 100pF
積分直線性誤差*	INL		- 16	-	+ 16	LSB	
微分直線性誤差*	DNL		- 0.98	-	+ 1.5	LSB	
出力電圧オフセット	V _{OFF}		-	-	10.0	mV	0x000 設定時
			- 20.0	-	+ 1.4	mV	0xFFF 設定時
アナログ出力インピーダンス	R _O		3.10	3.80	4.50	kΩ	D/A 動作時
			2.0	-	-	MΩ	D/A 停止時
電源電流*	IDDA		AVCC	260	330	410	μA
		400		519	620	μA	D/A 1unit 動作時 AV _{CC} =5.0 V
	IDSA	-		-	14	μA	D/A 停止時

*: 無負荷時

12.7 低電圧検出特性

12.7.1 低電圧検出リセット

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	-	2.25	2.45	2.65	V	電圧降下時
解除電圧	VDH	-	2.30	2.50	2.70	V	電圧上昇時

12.7.2 低電圧検出割込み

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	SVHI = 00111	2.58	2.8	3.02	V	電圧降下時
解除電圧	VDH		2.67	2.9	3.13	V	電圧上昇時
検出電圧	VDL	SVHI = 00100	2.76	3.0	3.24	V	電圧降下時
解除電圧	VDH		2.85	3.1	3.34	V	電圧上昇時
検出電圧	VDL	SVHI = 01100	2.94	3.2	3.45	V	電圧降下時
解除電圧	VDH		3.04	3.3	3.56	V	電圧上昇時
検出電圧	VDL	SVHI = 01111	3.31	3.6	3.88	V	電圧降下時
解除電圧	VDH		3.40	3.7	3.99	V	電圧上昇時
検出電圧	VDL	SVHI = 01110	3.40	3.7	3.99	V	電圧降下時
解除電圧	VDH		3.50	3.8	4.10	V	電圧上昇時
検出電圧	VDL	SVHI = 01001	3.68	4.0	4.32	V	電圧降下時
解除電圧	VDH		3.77	4.1	4.42	V	電圧上昇時
検出電圧	VDL	SVHI = 01000	3.77	4.1	4.42	V	電圧降下時
解除電圧	VDH		3.86	4.2	4.53	V	電圧上昇時
検出電圧	VDL	SVHI = 11000	3.86	4.2	4.53	V	電圧降下時
解除電圧	VDH		3.96	4.3	4.64	V	電圧上昇時
LVD 安定待ち時間	TLVDW	-	-	-	4480 × tcycp*	μs	

* : tcycp は APB2 バスクロックのサイクル時間です。

12.8 メインフラッシュメモリ書込み/消去特性

 (V_{CC} = 2.7V ~ 5.5V)

項目		規格値			単位	備考
		最小	標準	最大		
セクタ消去時間	Large Sector	-	0.7	3.7	s	内部での消去前書込み時間を含む
	Small Sector		0.3	1.1		
ハーフワード(16ビット)書込み時間	書込みサイクル ≤ 100	-	12	100	μs	システムレベルのオーバーヘッド時間は除く
	書込みサイクル > 100			200		
チップ消去時間		-	8.0	38.4	s	内部での消去前書込み時間を含む

書込みサイクルとデータ保持時間

消去/書込みサイクル(cycle)	保持時間(年)
1,000	20 *
10,000	10 *
100,000	5 *

*: 信頼性評価結果からの換算値です(アレニウスの式を使用し、高温加速試験結果を平均温度+85°Cへ換算しています)。

12.9 ワークフラッシュメモリ書込み/消去特性

 (V_{CC} = 2.7V ~ 5.5V)

項目		規格値			単位	備考
		最小	標準	最大		
セクタ消去時間		-	0.3	1.5	s	内部での消去前書込み時間を含む
ハーフワード(16ビット)書込み時間		-	20	200	μs	システムレベルのオーバーヘッド時間は除く
チップ消去時間		-	1.2	6	s	内部での消去前書込み時間を含む

書込みサイクルとデータ保持時間

消去/書込みサイクル(cycle)	保持時間(年)
1,000	20 *
10,000	10 *
100,000	5 *

*: 信頼性評価結果からの換算値です(アレニウスの式を使用し、高温加速試験結果を平均温度+85°Cへ換算しています)。

12.10 スタンバイ復帰時間

12.10.1 復帰要因: 割込み/WKUP

内部回路の復帰要因受付からプログラム動作開始までの時間を示します。

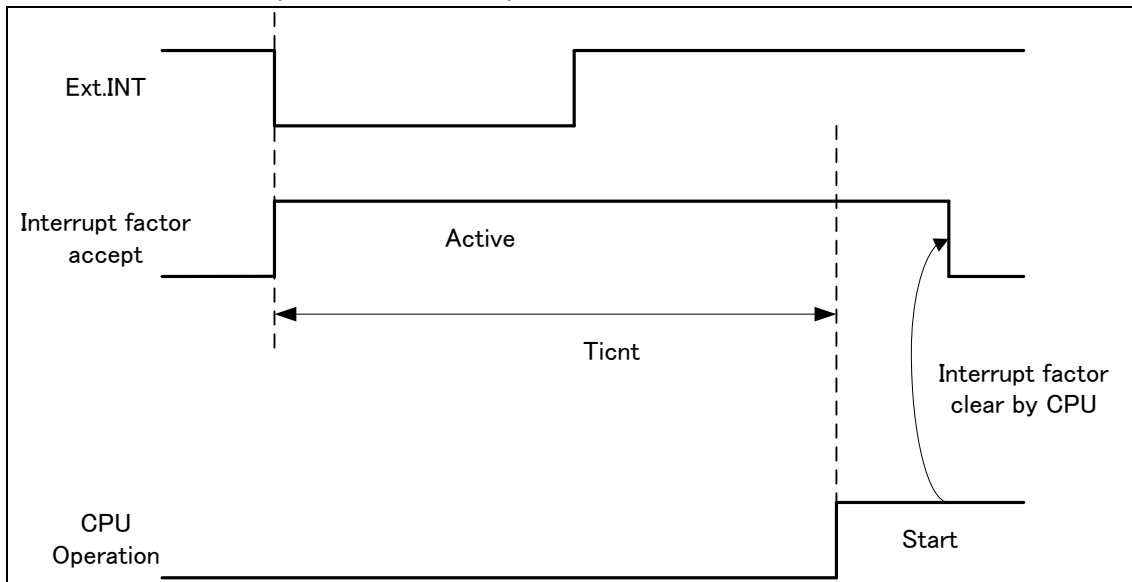
復帰カウント時間

($V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V$)

項目	記号	規格値		単位	備考
		標準	最大*		
スリープモード	Ticnt	HCLK×1		μs	
高速 CR タイマモード メインタイマモード PLL タイマモード		40	80	μs	
低速 CR タイマモード		450	900	μs	
サブタイマモード		896	1136	μs	
RTC モード ストップモード (メイン/高速 CR/PLL ランモード復帰)		316	581	μs	
RTC モード ストップモード (サブ/低速 CR ランモード復帰)		270	540	μs	
ディープスタンバイ RTC モード		365	667	μs	RAM 保持なし
ディープスタンバイストップモード		365	667	μs	RAM 保持あり

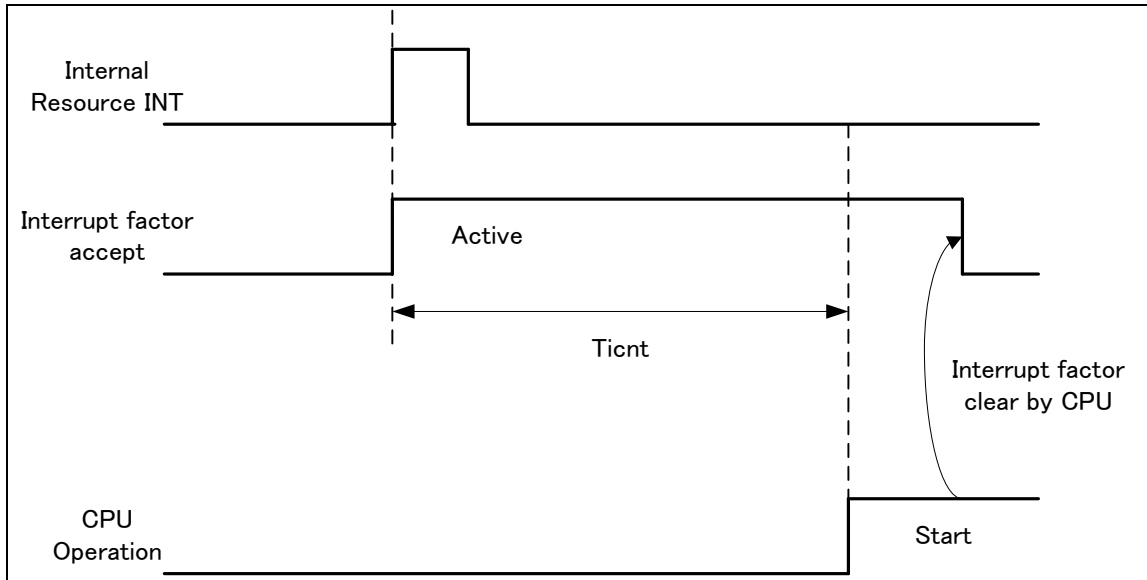
*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(外部割込み復帰時*)



*: 外部割込みは立下りエッジ検出設定時

スタンバイ復帰動作例(内部リソース割込み復帰時*)



*: 低消費電力モードのとき、内部リソースからの割込みは復帰要因に含まれません。

<注意事項>

- 復帰要因は低消費電力モードごとに異なります。
各低消費電力モードからの復帰要因は『FM4 ファミリ ペリフェラルマニュアル本編(002-04857)』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- 割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM4 ファミリ ペリフェラルマニュアル本編(002-04857)』の『CHAPTER 6: 低消費電力モード』を参照してください。

12.10.2 復帰要因: リセット

リセット解除からプログラム動作開始までの時間を示します。

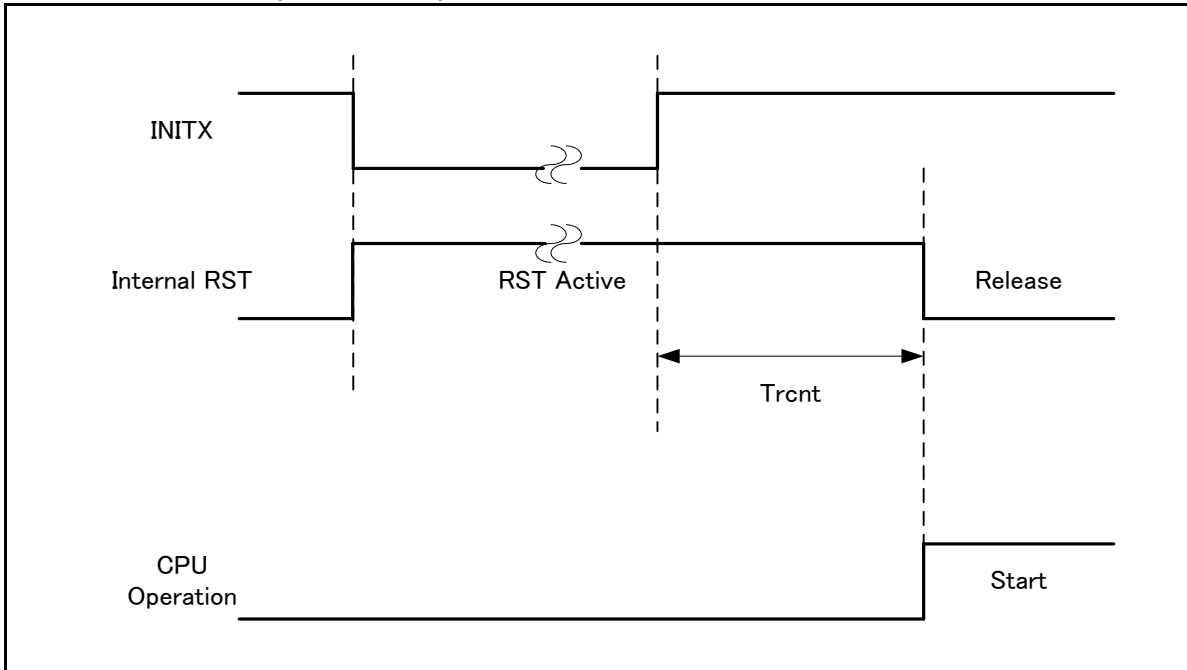
復帰カウント時間

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

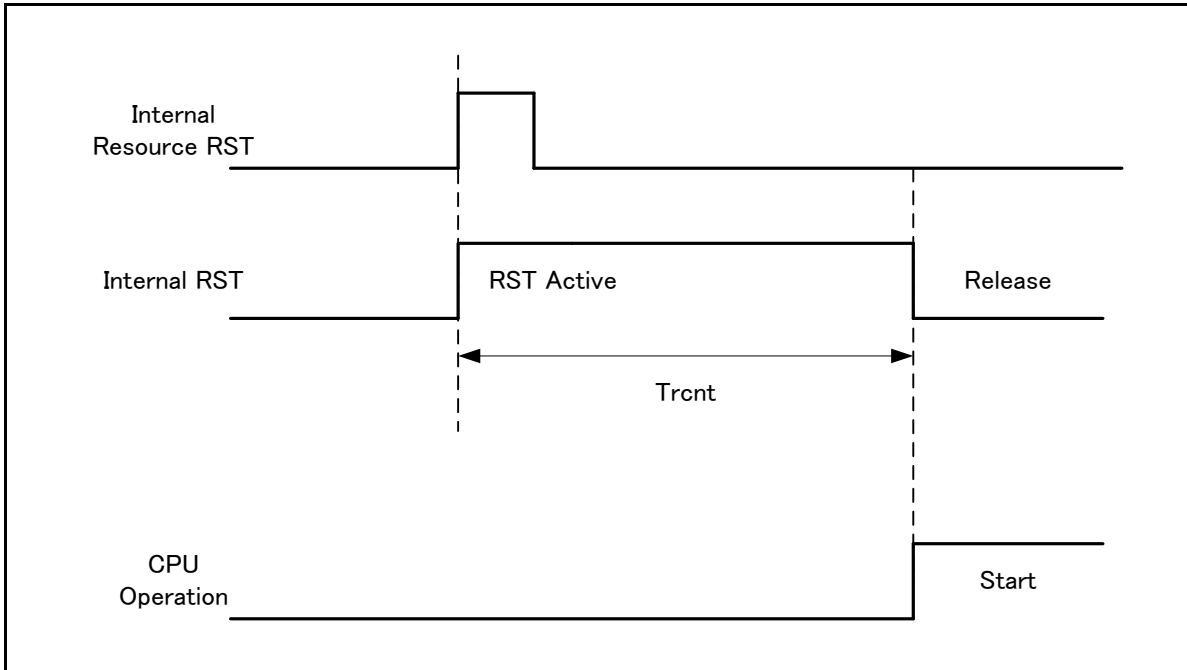
項目	記号	規格値		単位	備考
		標準	最大*		
スリープモード	Trcnt	155	266	μs	
高速 CR タイマモード メインタイマモード PLL タイマモード		155	266	μs	
低速 CR タイマモード		315	567	μs	
サブタイマモード		315	567	μs	
RTC モード ストップモード		315	567	μs	
ディープスタンバイ RTC モード		336	667	μs	RAM 保持なし
ディープスタンバイストップモード		336	667	μs	RAM 保持あり

*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(INITX 復帰時)



スタンバイ復帰動作例（内部リソースリセット復帰時*）



*: 低消費電力モードのとき、内部リソースからのリセット発行は復帰要因に含まれません。

<注意事項>

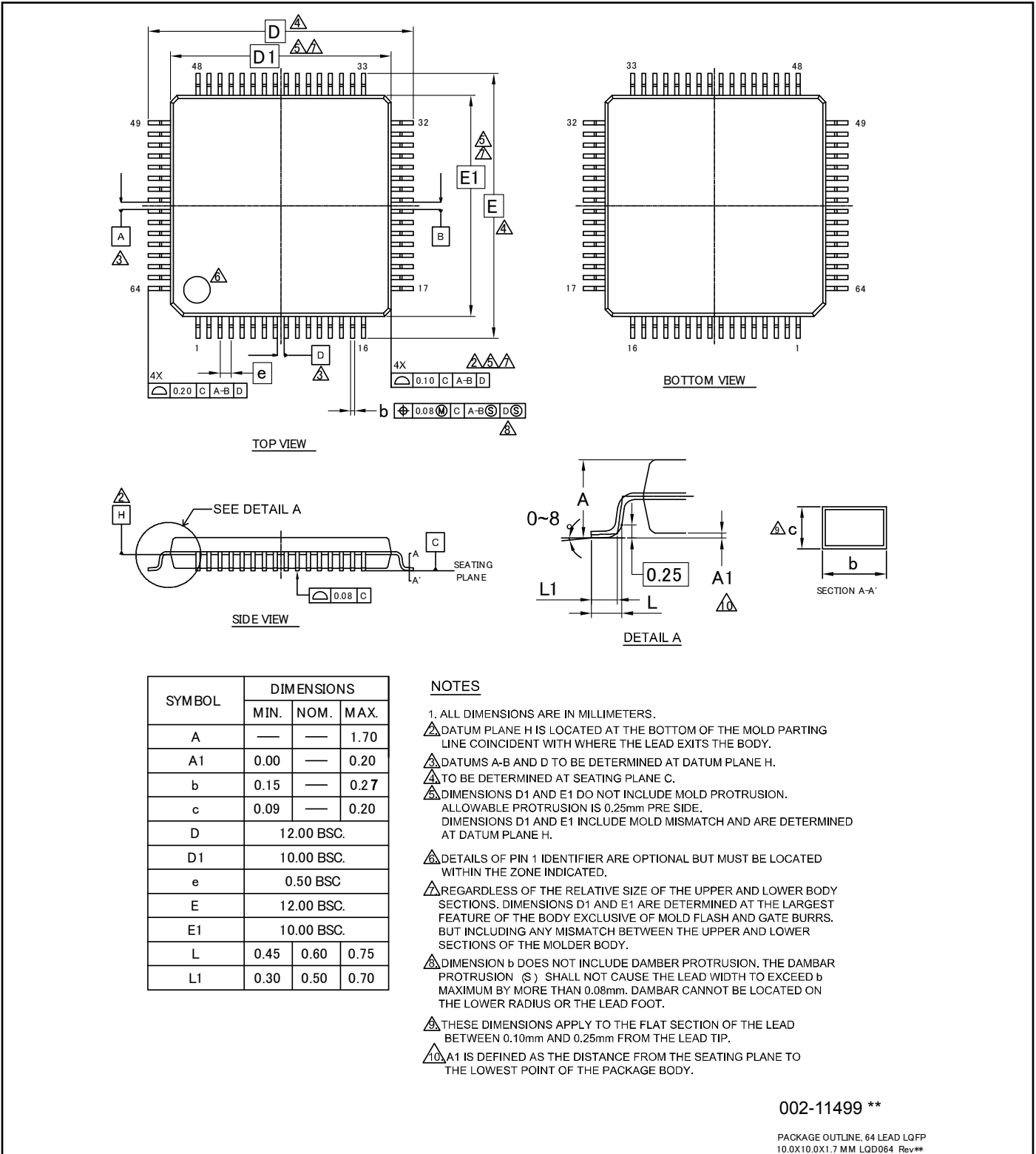
- 復帰要因は低消費電力モードごとに異なります。
各低消費電力モードからの復帰要因は『FM4 ファミリ ペリフェラルマニュアル本編(002-04857)』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- パワーオンリセット/低電圧検出リセット時は、復帰要因には含まれません。パワーオンリセット/低電圧検出リセット時は、「12. 電气的特性 12.4 交流規格 12.4.7 パワーオンリセットタイミング」を参照してください。
- リセットからの復帰時、CPU は高速CR ランモードに遷移します。
メインクロックやPLL クロックを使用する場合、追加でメインクロック発振安定待ち時間や、メインPLL クロックの安定待ち時間が必要になります。
- 内部リソースリセットとはウォッチドッグリセット、CSV リセットを指します。

13. オーダ型格

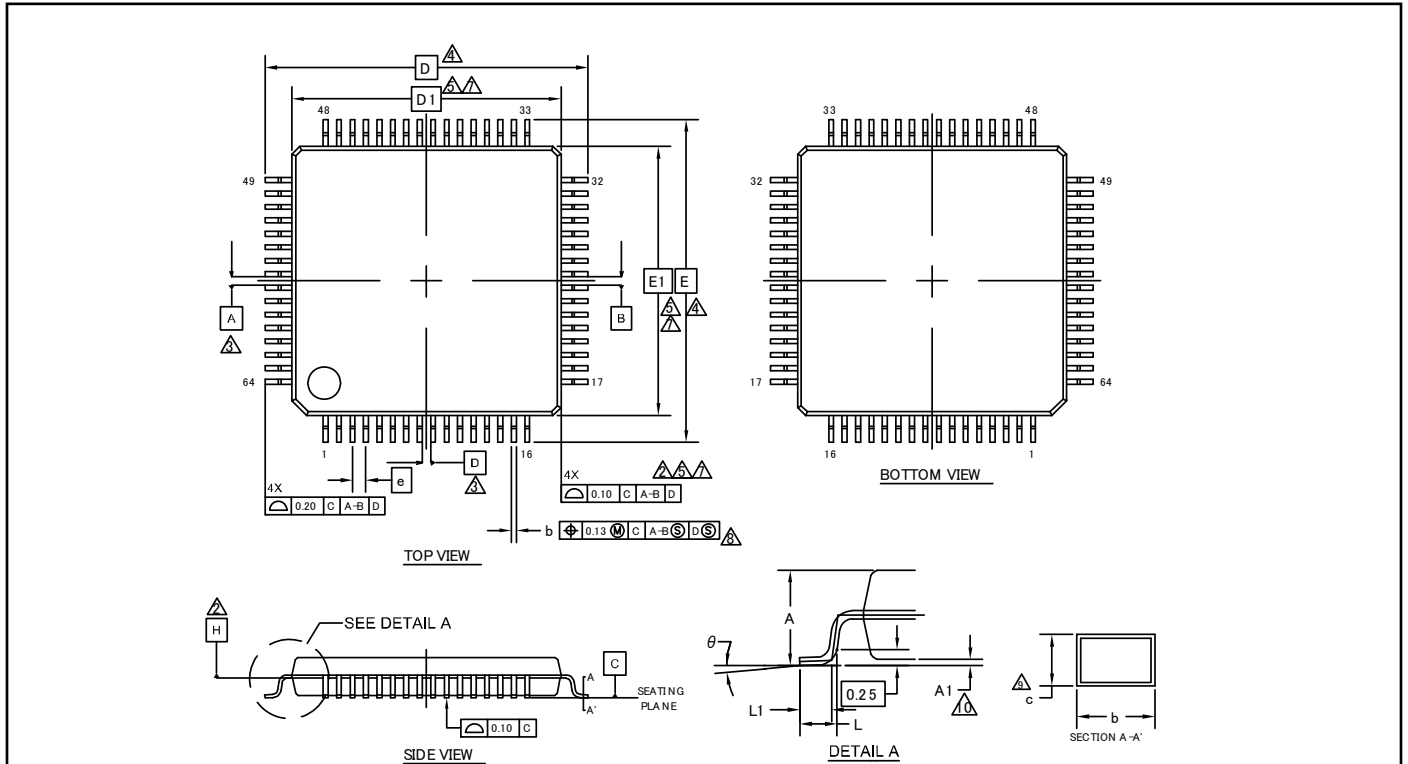
型格	パッケージ
MB9BF164LPMC1	プラスチック・LQFP (0.5mm ピッチ), 64 ピン (LQD064)
MB9BF165LPMC1	
MB9BF166LPMC1	
MB9BF164LPMC	プラスチック・LQFP (0.65mm ピッチ), 64 ピン (LQG064)
MB9BF165LPMC	
MB9BF166LPMC	
MB9BF164KPMC	プラスチック・LQFP (0.5mm ピッチ), 48 ピン (LQA048)
MB9BF165KPMC	
MB9BF166KPMC	
MB9BF164LQN	プラスチック・QFN (0.5mm ピッチ), 64 ピン (VNC064)
MB9BF165LQN	
MB9BF166LQN	
MB9BF164KQN	プラスチック・QFN (0.5mm ピッチ), 48 ピン (VNA048)
MB9BF165KQN	
MB9BF166KQN	

14. パッケージ・外形寸法図

Package Type	Package Code
LQFP 64pin (0.5mm pitch)	LQD064



Package Type	Package Code
LQFP 64pin (0.65mm pitch)	LQG064



SYMBOL	DIMENSION		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.27	0.32	0.37
c	0.09	—	0.20
D	14.00 BSC		
D1	12.00 BSC		
e	0.65 BSC		
E	14.00 BSC		
E1	12.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
θ	0°	—	8°

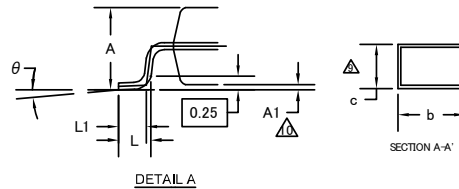
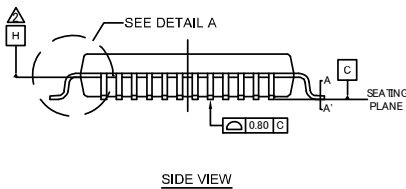
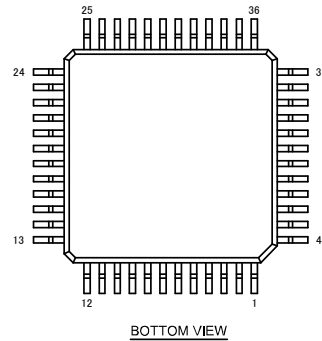
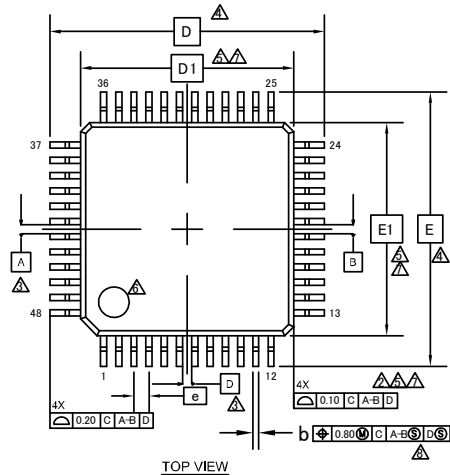
NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-13881 **

 PACKAGE OUTLINE, 64 LEAD LQFP
 12.0X12.0X1.7 MM LQG064, REV**

Package Type	Package Code
LQFP 48pin (0.5mm pitch)	LQA048



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.15	—	0.27
c	0.09	—	0.20
D	9.00 BSC		
D1	7.00 BSC		
e	0.50 BSC		
E	9.00 BSC		
E1	7.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
θ	0°	—	8°

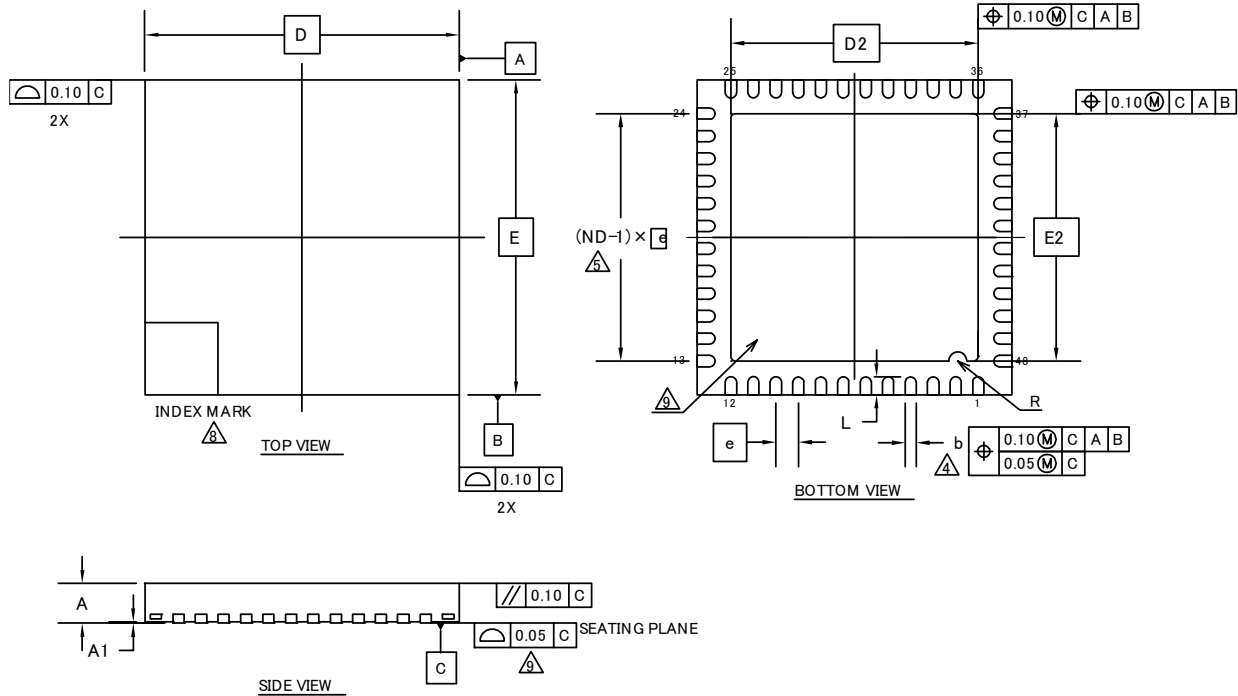
NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.
- ① DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- ② DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- ③ TO BE DETERMINED AT SEATING PLANE C.
- ④ DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- ⑤ DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- ⑥ REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- ⑦ DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- ⑧ THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- ⑨ A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-13731 **

PACKAGE OUTLINE, 48 LEAD LQFP
7.0X7.0X1.7 MM LQA048 REV**

Package Type	Package Code
QFN 64pin (0.5mm pitch)	VNC064



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	0.90
A1	0.00	—	0.05
D	7.00 BSC		
E	7.00 BSC		
b	0.20	0.25	0.30
D2	5.50 BSC		
E2	5.50 BSC		
e	0.50 BSC		
R	0.20 REF		
L	0.35	0.40	0.45

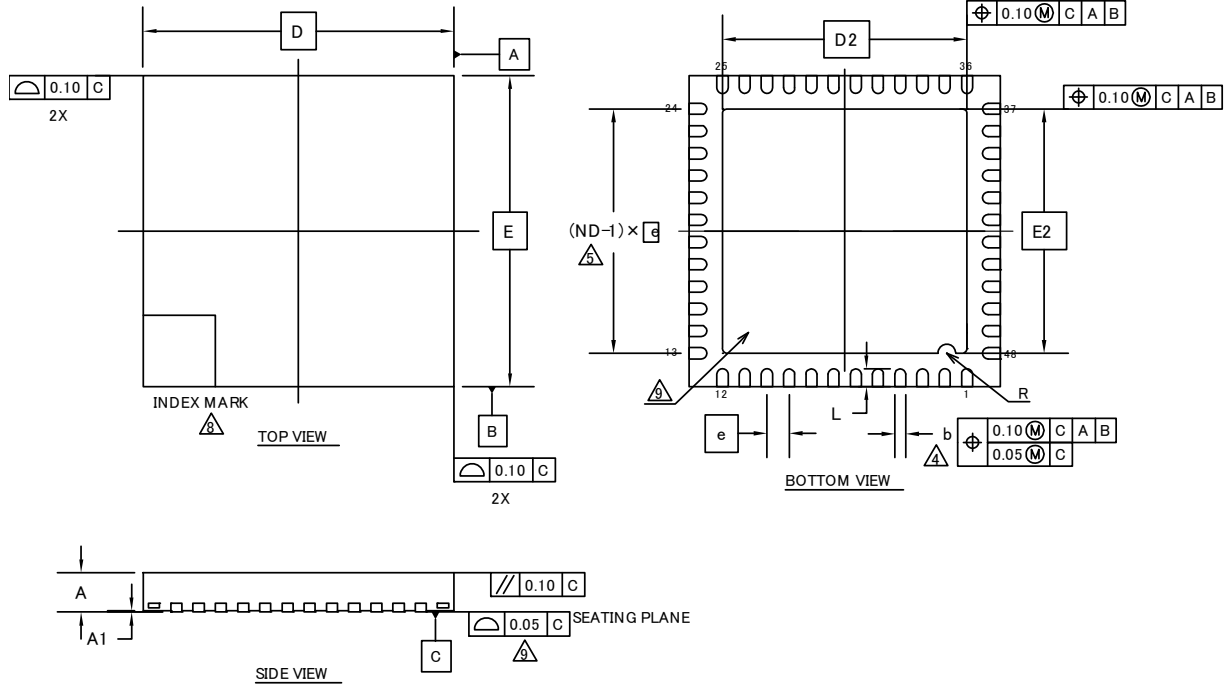
NOTE

- ALL DIMENSIONS ARE IN MILLIMETERS
- DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5-1994
- N IS THE TOTAL NUMBER OF TERMINALS.
- Δ DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
- Δ ND REFER TO THE NUMBER OF TERMINALS ON D ORE SIDE
- MAX. PACKAGE WARPAGE IS 0.05mm.
- MAXIMUM ALLOWABLE BURRS IS 0.076mm IN ALL DIRECTIONS.
- Δ PIN #1 ID ON TOP WILL BE LOCATED WITHIN INDICATED ZONE.
- Δ BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- JEDEC SPECIFICATION NO. REF: N/A

002-13234 **

PACKAGE OUTLINE: 48 LEAD QFN
7.0X7.0X0.9 MM VNA048 5.5X5.5 MM EPAD (SAWN) REV*

Package Type	Package Code
QFN 48pin (0.5mm pitch)	VNA048



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	0.90
A1	0.00	—	0.05
D	7.00 BSC		
E	7.00 BSC		
b	0.20	0.25	0.30
D2	5.50 BSC		
E2	5.50 BSC		
e	0.50 BSC		
R	0.20 REF		
L	0.35	0.40	0.45

NOTE

- ALL DIMENSIONS ARE IN MILLIMETERS
- DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5-1994
- N IS THE TOTAL NUMBER OF TERMINALS.
- Δ DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
- Δ ND REFER TO THE NUMBER OF TERMINALS ON D OR E SIDE
- MAX. PACKAGE WARPAGE IS 0.05mm.
- MAXIMUM ALLOWABLE BURRS IS 0.076mm IN ALL DIRECTIONS
- Δ PIN #1 ID ON TOP WILL BE LOCATED WITHIN INDICATED ZONE.
- Δ BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- JEDEC SPECIFICATION NO. REF: N/A

002-15528 **

PACKAGE OUTLINE, 48 LEAD QFN
7.0X7.0X0.9MM VNA048 5.5X5.5MM EPAD (SAWN) REV*

15. 主な変更内容

Spanion Publication Number: DS709-00008

ページ	場所	変更箇所
-	-	PRELIMINARY → 正式版
30~33	■ 入出力回路形式	分類 F, G, I, L, M, N の備考に下記の記述を追加： ・ I ² C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
34~35		分類 O, P, Q の備考に下記の記述を追加： ・ IO の設定はペリフェラルマニュアル『本編』の『VBAT ドメイン』の章を参照してください
42	■ デバイス使用上の注意 ・ デバッグ機能を兼用している端子について	項目追加
43	■ ブロックダイアグラム	ブロック図を変更
54	■ 電気的特性 2. 推奨動作条件	アナログ基準電圧の最小値を注釈に変更 “パッケージ熱抵抗と最大許容電力表”を変更
55		動作時最大リーク電流の規格値の TBD を変更
57~63	■ 電気的特性 3. 直流規格 (1) 電流規格	・ 規格値の TBD を変更 ・ 「ICC」の通常動作(PLL)FBFCT.BE=0 のときに注記追加 ・ 「ICCVBAT」に注記追加
68	■ 電気的特性 4. 交流規格 (2) サブクロック入力規格	V _{CC} → V _{BAT}
68	■ 電気的特性 4. 交流規格 (3) 内蔵 CR 発振規格	・ 規格値の TBD を変更 ・ 「内蔵高速 CR」の表と注記を変更
69	■ 電気的特性 4. 交流規格 (4-1) メイン PLL の使用条件(PLL の入力クロックにメインクロックを使用)	・ 表と注記を変更
69	■ 電気的特性 4. 交流規格 (4-2) メイン PLL の使用条件(メイン PLL クロックに内蔵高速 CR クロックを使用)	・ 規格値の TBD を変更 ・ 表と注記を変更
104	■ 電気的特性 5.12 ビット A/D コンバータ ・ A/D 変換部電気的特性	・ 規格値の TBD を変更 ・ 特性表の条件を変更 ・ 基準電圧の記載を変更
107	■ 電気的特性 6.12 ビット D/A コンバータ ・ D/A 変換部電気的特性	・ 規格値の TBD を変更 ・ 特性表の条件を変更 ・ 「IDDA」の備考を変更
110	■ 電気的特性 11. スタンバイ復帰時間 (1) 復帰要因: 割込み/WKUP	・ 規格値の TBD を変更 ・ 復帰カウント時間の表を変更
112	■ 電気的特性 11. スタンバイ復帰時間 (2) 復帰要因: リセット	・ 規格値の TBD を変更 ・ 復帰カウント時間の表を変更

注意事項: 以降の変更点に関しては、「改訂履歴」を参照してください。

改訂履歴

文書名: MB9B160L シリーズ 32-bit ARM® Cortex®-M4F, FM4 Microcontroller

文書番号: 002-04978

版	ECN 番号	変更者	発行日	変更内容
**	-	AKIH	12/25/2013	サイプレスとしてドキュメントコード 002-04978 に登録しました。 本版の内容およびフォーマットに変更はありません。
*A	5273885	AKIH	05/12/2016	これは英語版の 002-04976 Rev.*A を翻訳した日本語版です。 社名変更と記述フォーマットの変換
*B	5555933	YSKA	07/25/2017	これは英語版の 002-04976 Rev.*B を翻訳した日本語版です。 導入文(P1)に製品カテゴリの説明を追加 特長のリアルタイムクロック(RTC:Real Time Clock) (P3)の割込み機能から“秒曜日”を削除 特長の電源(P4)の説明を 64pin と 48pin に分割 以下の章のパッケージコードを変更 2.パッケージと品種対応 (P8) 3.端子配列図 (P9-12) 12.2 奨動作条件 (P53) 13.オーダ型格 (P114) 14.パッケージ・外形寸法図 (P115 - 119) FTP-48P-M49 -> LQA048, LCC-48P-M73 -> VNA048, FTP-64P-M38 -> LQD064, FTP-64P-M39 -> LQG064, LCC-64P-M24 -> VNC064 4.1 端子番号別で、LQFP48 の 15pin (P15)を VBAT から VCC に変更 4.2 端子機能別で、Power の VCC に LQFP48 の 15pin を追加し、VBAT Power の VBAT から LQFP48 の 15pin を削除 (P26) 4.端子機能一覧で、JTAG 端子についての注意事項を追加 (P26) 7.デバイス使用上の注意の電源投入時について(P40)に説明文を追加 12.2 奨動作条件 (P53)の項目に平滑コンデンサ容量を追加、また注釈*4 を追加 12.3.1 電流規格にて、注釈*3 を“すべてのポートが入力であり、「0」に固定される場合”に変更 (P56-62) 12.3.1 電流規格にて、IcCHD に注釈*6 を追加、IccRD に注釈*7 を追加、IccVBAT / RTC 停止に注釈*9 を追加、IccVBAT / RTC 動作に注釈*8, *9 を追加 (P62) 12.4.2 サブクロック入力規格 (P67)に、48pin パッケージの場合の説明追加。 12.4.7 パワーオンリセットタイミング (P69)の、項目“電源立上がり時間(tvccr)”を“電源立上がり速度(dV/dt)”に変更し、最小値を 1.3mV/μs、最大値を 1000mV/μs に変更、また備考と注意事項を追加 12.4.10 UART タイミングにて、高速同期シリアル チップセレクト使用時の設定から“SPI=1”と“MS=0”を削除し、図に“MS bit = 0”と“MS bit = 1”を追加 (P88-95) 12.5 12 ビット A/D コンバータ (P104)にて、“アナログポート入力電流”を“アナログポート入力リーク電流”に変更

版	ECN 番号	変更者	発行日	変更内容
				<p>“MB9B160L シリーズ データシート正誤表(002-04979)” の以下の項目を反映</p> <p>5.入出力回路形式の分類 H (P29)の備考に “IOH = -20.5 mA, IOL = 18.5 mA” を追加</p> <p>5.入出力回路形式の分類 I (P30)の備考に “プルアップ抵抗：約 50 kΩ” を追加</p> <p>11.各 CPU ステートにおける端子状態の VBAT ドメイン端子状態一覧表(P51)の VBAT 端子状態形式 S/T と注釈*2 を修正</p> <p>12.2 奨動作条件 (P53)に注釈*3 を追加</p> <p>12.4.3 内蔵 CR 発振規格 (P67)の内蔵高速 CR の項目に周波数安定時間と注釈*2 を追加</p> <p>12.6 12 ビット D/A コンバータ (P107)の D/A 変換部電気的特性に変換時間を追加</p> <p>12.10.1 復帰要因: 割込み/WKUP (P110)の復帰カウント時間を以下のように修正</p> <ul style="list-style-type: none"> ・サブタイマモードの標準値を 896 μs に変更 ・RTC モード/ストップモード(メイン/高速 CR/PLL ランモード復帰)の標準値を 316 μs に変更 ・RTC モード/ストップモード(サブ/低速 CR ランモード復帰)の標準値を 270 μs に変更 ・ディープスタンバイ RTC モードの標準値を 365 μs に変更 ・ディープスタンバイストップモードの標準値を 365 μs に変更 <p>12.10.2 復帰要因: リセット (P112)の復帰カウント時間を以下のように修正</p> <ul style="list-style-type: none"> ・スリープモードの標準値を 155 μs に変更 ・高速 CR タイマモード/メインタイマモード/PLL タイマモードの標準値を 155 μs に変更 ・低速 CR タイマモードの標準値を 315 μs に変更 ・サブタイマモードの標準値を 315 μs に変更 ・RTC モード/ストップモードの標準値を 315 μs に変更 ・ディープスタンバイ RTC モードの標準値を 336 μs に変更 ・ディープスタンバイストップモードの標準値を 336 μs に変更 <p>“12.4.10 UART タイミング” から “12.4.10 CSIO/UART タイミング” に章タイトルを修正 (72 ページ)</p> <p>“12.4.10 CSIO/UART タイミング” にボーレートを追加 (72, 74, 76, 78 ページ)</p> <p>“12.5 12 ビット A/D コンバータ” の基準電源電流表記を修正(104 ページ)</p> <p>動作許容状態遷移時間の記載箇所を最小値から最大値に変更(104 ページ)</p> <p>“1 品種構成” の内蔵CRの表記を修正し、注釈を追加(7ページ)</p> <p>I²C のモード名を以下の様に修正 (2, 100-101 ページ)</p> <p>標準モード -> Standard-mode, 高速モード -> Fast-mode</p> <p>誤記修正(SCLKx_0 → SCKx_0)(72, 74, 76, 78 ページ)</p>