



请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

EZ-USB™ SX3: 可配置的超高速 USB 控制器

性能

- 通用串行总线 (USB) 集成
 - 符合 USB 3.2 规范版本 1.0 的 USB 3.2 Gen 1 和 USB 2.0 外设
 - 符合 USB 3.2 Gen 1 的 5 Gbps 超高速物理层
 - 具有 3 个物理端点
 - 支持 UVC、UAC 和 USB 供应商类协议
- 通用可配置接口
 - 支持高达 100 MHz 的频率
 - 8、16、24 和 32 位数据总线
 - 支持从设备 FIFO、并行摄像头接口
- 32 位 CPU
 - 工作频率为 200 MHz 的 ARM926EJ 内核
 - 512 KB 嵌入式 SRAM
- 另外，还可以连接下列外设
 - SPI 启动闪存
 - 工作频率为 100 kHz / 400 kHz / 1 MHz 的 I²C 从设备
- 多个时钟输入频率可供选择
 - 19.2、26、38.4 和 52 MHz
 - 支持 19.2 MHz 的晶振输入
- 内核断电模式下功耗超低
 - 开启 VBATT 时功耗低于 60 μ A，关闭 VBATT 时功耗则低于 20 μ A
- 内核和 I/O 各有独立的电源域
 - 内核的工作电压为 1.2 V
 - SPI 的工作电压为 1.8 V 到 3.3 V
 - I²C 的工作电压为 1.2 V 到 3.3 V
- 封装选项
 - 121 个球型焊盘、10 mm \times 10 mm、0.8 mm 间距的无铅球栅阵列 (BGA)
 - 请参阅表 16，以了解 SX3 形式的详细内容
- 用于配置 SX3 的 EZ-USB™ SX3 配置实用程序
 - 适用于 Windows、MAC OS、Linux
 - 用于图像传感器、HDMI 接收器和数据应用的示例配置
 - 支持 SX3 编程和 FPGA 配置
 - 支持将 FPGA 配置与 SX3 配置合并，并将其存储在单个 SPI 闪存中
- 可用于加快原型开发过程的 SX3 开发套件
 - 赛普拉斯设计合作伙伴提供第三方 HDMI 转 USB3 采集卡套件

应用

- USB 网络摄像头
- 文件摄像机
- 视频会议系统
- USB 转低压差分信号 (LVDS) 摄像头接口电路板
- HDMI USB 视频采集卡
- SDI USB 视频采集卡
- 测试和测量设备
- 监控摄像机
- 医疗成像设备
- 工业相机
- USB 逻辑分析仪
- USB 示波器
- USB 数据记录器
- USB 数据采集系统
- USB 飞时测距 (TOF) 相机

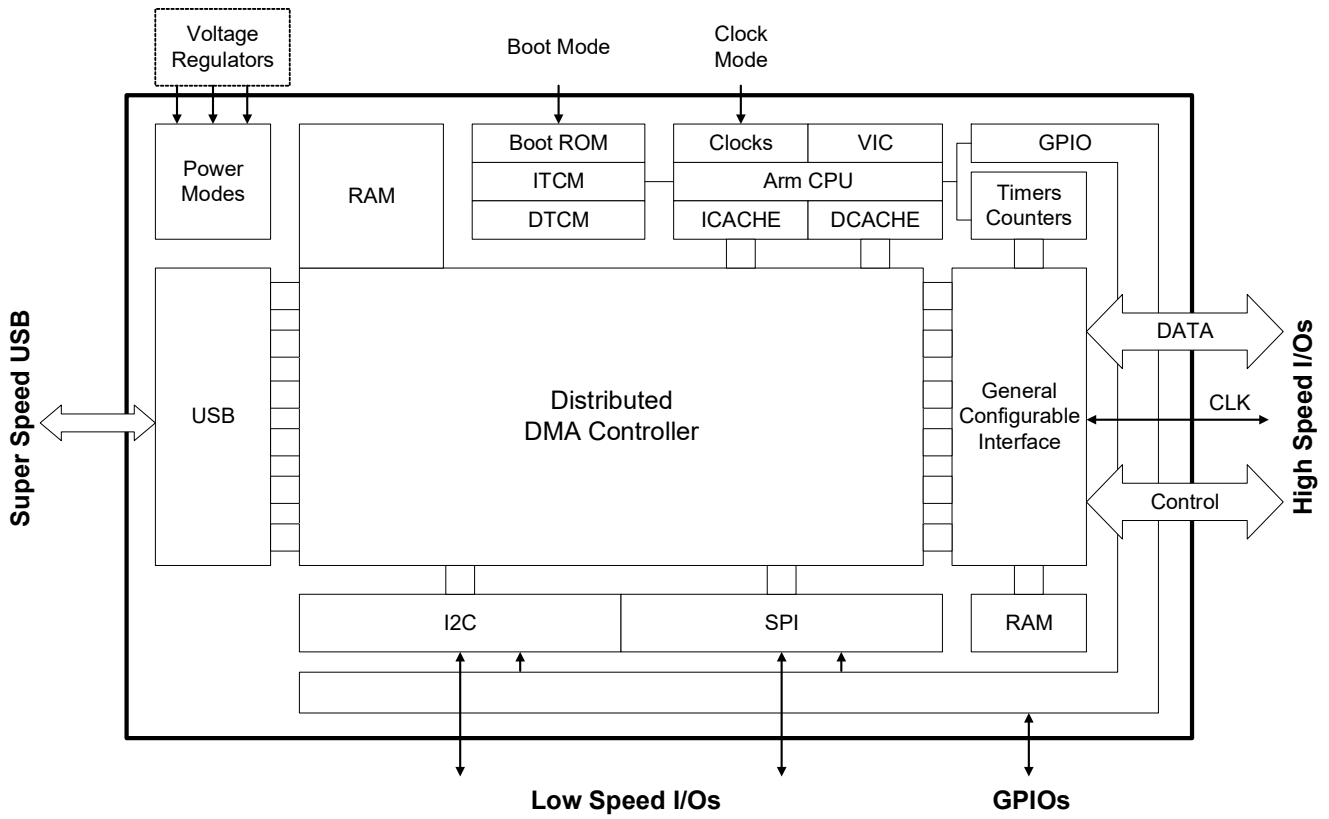
功能说明

要获取相关文档的完整列表，请点击[此处](#)。

勘误表：有关芯片勘误表的信息，请参阅第 35 页上的“勘误表”。具体内容包括触发条件、受影响的器件以及推荐的解决方案。



SX3 框图





更多信息

赛普拉斯的网站 www.cypress.com 上提供了大量资料，有助于正确选择您设计的 < 产品 > 器件，并允许您能够快速和有效地将器件集成到设计中。

■ 概述：USB 产品系列、USB 产品路线图

■ USB 3.0 产品选择器：SX3、FX3、FX3S、CX3、GX3、HX3

■ 应用笔记：赛普拉斯提供了大量的 USB 应用笔记，包括从基本到高级的广泛主题。下面列出的是推荐的 SX3 入门应用笔记：

- AN231295 — EZ-USB™ SX3 入门应用笔记

下面的应用笔记仅供参考。

- AN75705 — EZ-USB™ FX3 入门应用笔记
- AN76405 — EZ-USB™ FX3 启动选项
- AN70707 — EZ-USB™ FX3/FX3S 硬件设计指南和原理图检查表
- AN65974 — 使用 EZ-USB™ FX3 从设备 FIFO 接口进行设计
- AN75779 — 如何使用 EZ-USB™ FX3 在 USB 视频类 (UVC) 框架内实现图像传感器连接

- AN86947 — 使用 EZ-USB™ FX3 优化 USB 3.0 的吞吐量
- AN84868 — 使用赛普拉斯 EZ-USB™ FX3 通过 USB 配置 FPGA
- AN73609 — 在 Linux 上的 EZ-USB™ FX2LP/ FX3 开发 Bulk-Loop 示例

■ 开发套件：

- CYUSB3KIT-004、EZ-USB™ SX3 SuperSpeed Explorer 套件

■ 模型：IBIS

EZ-USB™ SX3 配置实用程序

EZ-USB™ SX3 配置实用程序是一个图形用户应用，用户可以通过它来配置 EZ-USB™ SX3 USB 3.0 器件控制器的形式。

用户可以根据系统需求完全配置 EZ-USB™ SX3。该工具支持配置 SX3-UVC 和 SX3-Data 的形式。

用户可以使用 EZ-USB™ 配置实用程序为每个形式配置以下内容：

■ SX3-UVC (CYUSB3017 - 支持 UVC 和 UAC 的形式)

- USB 描述符设置
 - 供应商 ID
 - 产品 ID
 - 字符串描述符 (产品、制造商、序列号)
 - 远程唤醒配置
- GPIO 配置
- 调试接口
- FPGA、HDMI 接收器或 ISP 配置
- DMA 缓冲器配置
- UVC 视频格式和分辨率
- 摄像头终端控制
- 处理单元控制
- 扩展单元控制
- 图像传感器 /HDMI RX 配置
- 音频接口配置

■ SX3-Data (CYUSB3015、CYUSB3016 - 支持 USB 供应商类的形式)

- USB 描述符设置
 - 供应商 ID
 - 产品 ID
 - 字符串描述符 (产品、制造商、序列号)
 - 远程唤醒配置
- GPIO 配置
- 调试接口
- FPGA 配置
- 缓冲器配置

通过使用实用程序中所集成的编程工具，用户还可以将已创建的配置编程到 EX-USB SX3 中。通过该工具，用户可以保存已创建的配置，也可以加载选定配置。Windows、Linux 和 Mac OSX 平台都支持该实用程序。



目录

功能概述	5	电气规范	19
应用示例	5	最大绝对额定值	19
USB 接口	7	工作条件	19
枚举	7	直流规范	19
VBUS 过压保护	7	热特性	21
通用可配置接口	8	交流时序参数	22
从设备 FIFO 接口	8	频率为 100 MHz 时通用可配置接口线的交流特性	22
图像传感器并行接口	8	通用可配置接口 PCLK 抖动特性	22
CPU	8	通用可配置接口时序	22
其它接口	8	从设备 FIFO 接口	23
SPI 接口	8	串行外设时序	27
I2C 接口	8	复位序列	30
启动选项	9	封装图	32
复位	9	订购信息	33
硬复位	9	订购代码定义	33
时钟	9	缩略语	34
电源	10	文档规范	34
电源模式	10	测量单位	34
数字 I/O	12	勘误表	35
通用 I/O	12	合格状态	35
EMI	12	勘误表汇总	35
系统级 ESD	12	文档修订记录	37
引脚配置	13	销售、解决方案和法律信息	38
引脚说明	15		



功能概述

赛普拉斯的 EZ-USB™ SX3 是一个超高速的外设控制器，可提供集成且灵活的功能。

SX3 具有一个完全可配置的并行接口 (称作通用可配置接口)。该接口能够与支持从设备 FIFO 或视频接口的任何 ASIC、ISP、图像传感器或 FPGA 连接。

SX3 集成了 USB 3.2 Gen 1 和 USB2.0 物理层 (PHY) 以及 32 位 ARM926EJ-S 微处理器，因此它具有强大的数据处理能力，并且可以用于构建自定义应用。本产品采用了一种架构，能够使从通用可配置接口到 USB 接口的数据传输速度达到 375 MBps。

SX3 具有大小为 512 KB 的片上 SRAM (参阅第 33 页上的订购信息)，用于存储代码和数据。EZ-USB™ SX3 还具有可连接至 SPI 和 I2C 等串行外设的接口。

SX3 附带“SX3 配置实用程序”，可帮助客户为各种应用配置 SX3。该工具还可以将 FPGA 配置或 ISP 固件与 SX3 配置合并，并将其存储在单个 SPI 闪存中。

SX3 符合 USB 3.2 Gen 1.0 规范，并与 USB 2.0 向后兼容。

应用示例

在典型的应用中 (参见图 1)，SX3 作为执行应用软件的主处理器使用。该软件将外部硬件连接到超高速 USB。

图 1. CYUSB3015 / CYUSB3016 的应用示例框图

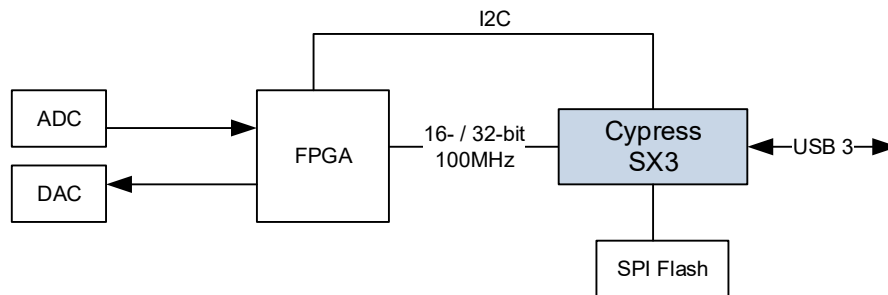
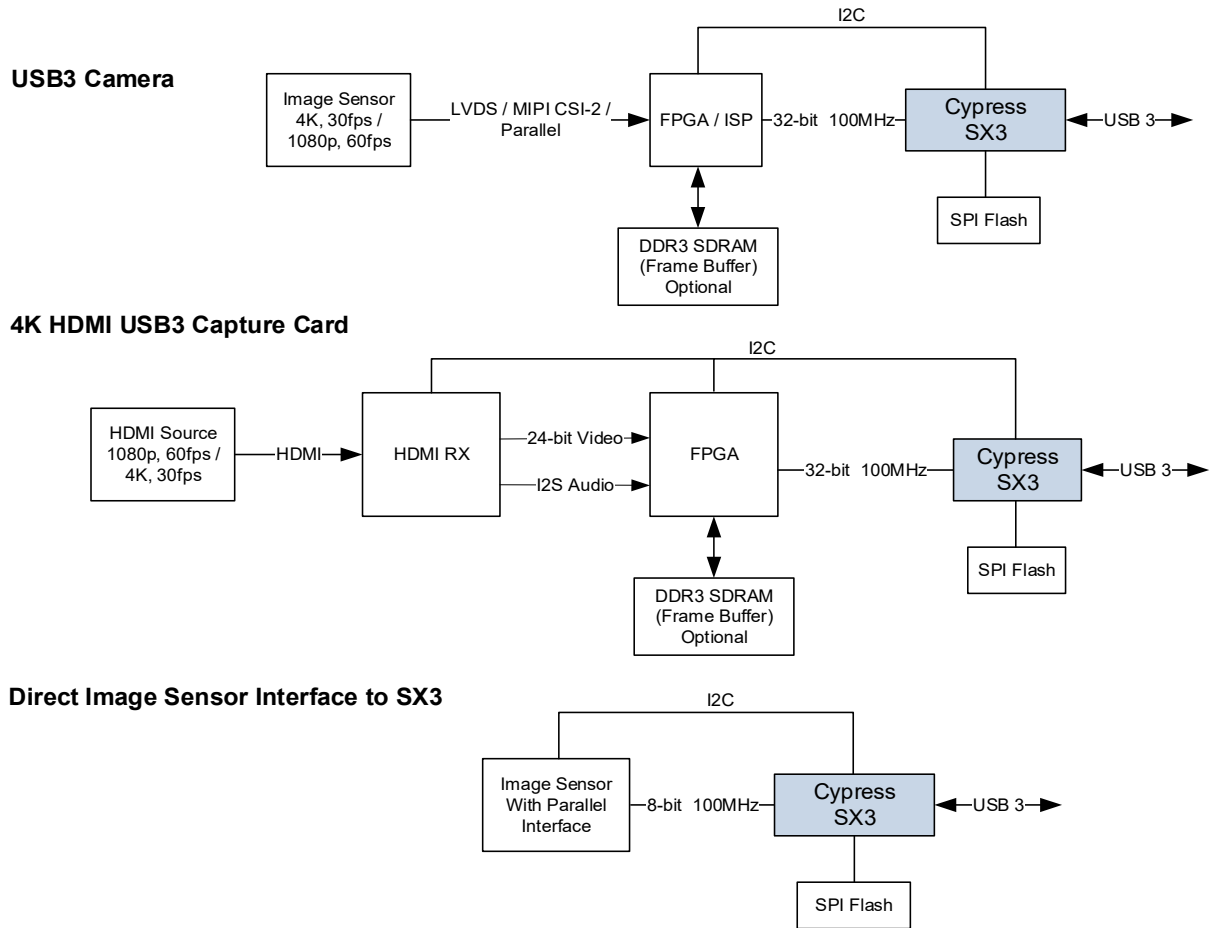


图 2. CYUSB3017 (SX3 – UVC) 的应用示例框图





USB 接口

SX3 符合下面规范，并支持下面各性能：

- 支持 USB 外设功能，这些功能符合 USB 3.2 Gen.1 规范版本 1.0，并与 USB 2.0 规范向后兼容。
- SX3 能够执行超高速、高速以及全速的数据传输。
- 支持 USB 视频类 (UVC) 和 USB 供应商类。

枚举

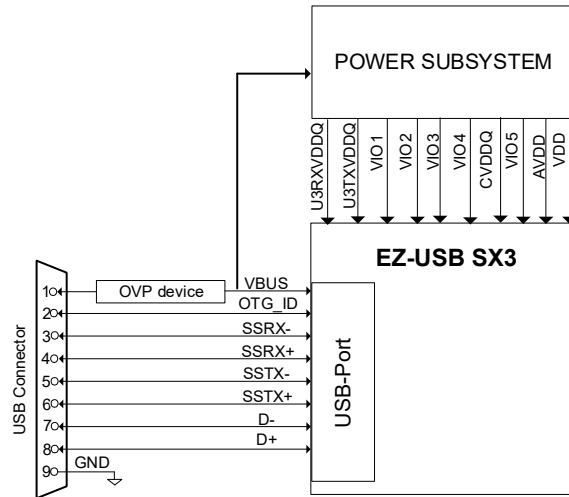
由于 SX3 的软配置，一个芯片可以作为多个不同的 USB 设备使用。

首次插入 USB 时，SX3 将自动枚举赛普拉斯供应商 ID (0x04B4)，然后通过 USB 接口下载固件和 USB 描述符。下载的固件将执行电气断开和连接操作。接下来，SX3 作为一个由下载信息定义的器件使用，再次进行枚举。这种获得专利的两步流程被称为 ReNumeration (重新枚举)，在器件插入时立即发生。

VBUS 过压保护

SX3 的 VBUS 引脚上的最大输入电压为 6 V。充电器可在 VBUS 上提供高达 9 V 的电压。在这种情况下，要求使用一个外部过压保护 (OVP) 器件来防止在 VBUS 上损坏 SX3。图 3 显示了 VBUS 上连接好 OVP 器件的系统应用框图。请参见表 6，以了解 VUSB 和 VBATT 的工作电压范围。

图 3. 带有用于 VBUS 的 OVP 器件的系统框图





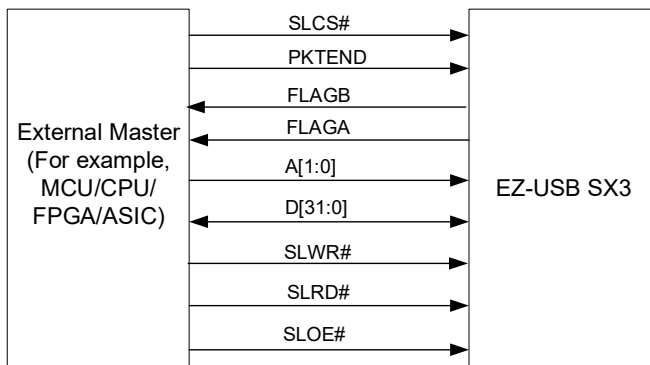
通用可配置接口

高性能的通用可配置接口与 FX2LP 的 GPIF 和从设备 FIFO 接口的功能相似，但其功能更先进。通用可配置接口是一种可配置的状态机。该状态机能够实现一个作为从设备 FIFO 或并行视频接口使用的灵活接口，并且支持 8 位、16 位、24 位和 32 位并行数据总线。接口频率可高达 100 MHz。

从设备 FIFO 接口

从设备 FIFO 接口信号如图 4 中所示。通过该接口，外部处理器可以直接访问多达四个 SX3 内部缓冲区。更多有关信息，请参见从设备 FIFO 接口。

图 4. 从设备 FIFO 接口

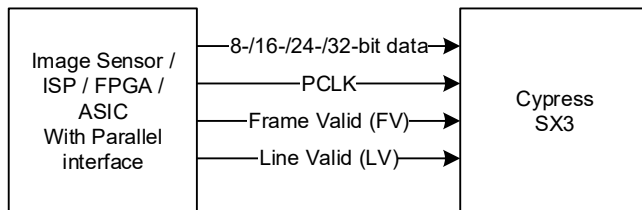


Note: Multiple Flags may be configured.

图像传感器并行接口

通过图像传感器并行接口，可以将具有并行接口的图像传感器 /ISP 直接与 SX3 连接。有关详细信息，请参阅 AN75779 - 如何在 USB 视频类 (UVC) 框架中使用 EZ-USB™ FX3 实现图像传感器接口的第 3 节。

图 5. 摄像头并行接口



CPU

SX3 具有一个片上 32 位、频率为 200 MHz 的 ARM926EJ-S 内核 CPU。SX3 具备下面各优点：集成了 512 KB 的嵌入式 SRAM，用于存储代码和数据。

SX3 具有下面各优点：

- 集成了 512 KB 的嵌入式 SRAM，用于存储代码和数据。
- 能够在多种外设 (如 USB、通用可配置接口、SPI、I²C) 之间实现高效灵活的 DMA 连接。该器件只需要固件来配置外设间的数据访问，这些访问则由 DMA 结构管理。
- 通过使用 SX3 配置实用程序，可以轻松进行配置。

SX3 配置实用程序提供的 SX3 配置示例。

其它接口

SX3 支持以下串行外设：SPI 和 I²C。CYUSB3015、CYUSB3016 和 CYUSB3017 引脚列表显示的是引脚的详细信息。

SPI 接口

SX3 支持一个仅用于连接一个 SPI 闪存的 SPI 主设备接口。该闪存可以存储 SX3 固件、配置数据、FPGA 配置 /ISP 固件和图像传感器 /HDMI RX 配置数据。最高的工作频率为 33 MHz。SPI 控制器支持四种使用启动 - 停止时钟信号的 SPI 通信模式 (请参见 SPI 时序规范，以了解有关各模式的详细信息)。该控制器是一个单主设备控制器，并具有单个自动化 SSN 控制。它支持大小为 4 到 32 位的数据传输。

I²C 接口

SX3 的 I²C 接口符合 I²C 总线规范版本 3。该 I²C 接口只能作为 I²C 主设备使用，因此可以通过它与其它 I²C 从设备通信。

SX3 的 I²C 主控制器也支持多主设备模式功能。

I²C 接口的供电电源为 VIO5，该电源域独立于其它串行外设的电源。这样，I²C 接口的工作电压能够与其它串行接口的电压不同。

I²C 控制器所支持的总线频率为 100 KHz、400 KHz 和 1 MHz。当 VIO5 为 1.2 V 时，受支持的最大工作频率为 100 kHz。当 VIO5 为 1.8 V、2.5 V 或 3.3 V 时，受支持的工作频率为 400 kHz 和 1 MHz。I²C 控制器支持时钟扩展能力，从而允许较慢的器件实现流控制。

I²C 接口的 SCL 和 SDA 信号都需要外部上拉电阻。上拉电阻必须连接到 VIO5。



启动选项

SX3 可从多种源加载启动镜像，通过 PMODE 引脚配置来选择这些源。

SX3 具有以下启动选项：

- 从 USB 启动
- 从 SPI 启动
 - 受支持的赛普拉斯 SPI 闪存器件包括 S25FS064S (64 Mbit)、S25FS128S (128 Mbit) 和 S25FL064L (64 Mbit)。

表 1. SX3 启动选项

PMODE[2:0] ^[1]	启动自
F11	USB 启动
0F1	SPI, 如果失败, 则使能 USB 启动

注释

1. F 表示悬空。

复位

硬复位

通过激活 SX3 上的 Reset# 引脚，可以初始化硬复位。有关复位序列和时序要求的详细信息，请参阅图 15 和表 15。硬复位期间，所有 I/O 均为三态。请注意，发生硬复位后，片上 Bootloader 将占有控制权，并且它将根据所选择的启动模式对 I/O 信号进行配置。更多详细信息，请参阅 AN76405 - EZ-USB™ FX3/FX3S 启动选项。

表 3. SX3 输入时钟规范

参数	说明	规范		单位
		最小值	最大值	
相位噪声	100 Hz 偏移	-	-75	dB
	1 kHz 偏移	-	-104	
	10 kHz 偏移	-	-120	
	100 kHz 偏移	-	-128	
	1 MHz 偏移	-	-130	
最大频率偏差	-	-	150	ppm
占空比	-	30	70	%
过冲	-	-	3	
下冲	-	-	-3	
上升时间 / 下降时间	-	-	3	ns

时钟

使用 SX3 时，可以在 XTALIN 和 XTALOUT 引脚之间连接晶振，或者在 CLKIN 引脚上连接一个外部时钟。如果没有使用 XTALIN、XTALOUT、CLKIN 和 CLKIN_32 引脚，则可以将它们设置为无连接状态。

支持的晶振频率为 19.2 MHz，支持的外部时钟频率则为 19.2、26、38.4 和 52 MHz。

SX3 具有一个使用 19.2 MHz (± 100 ppm) 外部晶振 (选用晶振时) 的片上振荡器电路。如果使用了晶振，则需要设置一个适当的负载电容。请参阅所使用的振荡规范，以确定适当的负载电容。必须适当地配置 FSLC[2:0] 引脚，以决定选用晶振频率还是时钟频率。有关配置选项的信息，请参见表 2。

SX3 的时钟输入必须满足表 3 中指定的相位噪声和抖动要求。

输入时钟频率独立于 SX3 内核或任何器件接口的时钟和数据速率。内部 PLL 根据输入频率采用合适的时钟倍频选项。

表 2. 晶振 / 时钟频率选择

FSLC[2]	FSLC[1]	FSLC[0]	晶振 / 时钟频率
0	0	0	19.2 MHz 晶振
1	0	0	19.2 MHz 输入 CLK
1	0	1	26 MHz 输入 CLK
1	1	0	38.4 MHz 输入 CLK
1	1	1	52 MHz 输入 CLK



电源

SX3 具有下列电源域：

- **IO_VDDQ**: 这是一组用于数字 I/O 的独立电源域。这些电源的电压范围为 1.8 V~3.3 V。SX3 为数字 I/O 提供了下面 6 个独立电源域 (请参见表 5, 以了解每个电源域信号的详情):
 - **VIO1**: 通用可配置接口 I/O
 - **VIO2**: IO2
 - **VIO3**: IO3
 - **VIO4**: SPI
 - **VIO5**: I²C
- **CVDDQ**: 时钟和复位 I/O 的供电电压。根据 CLKIN 信号的电压, 该电压可为 1.8 V 或 3.3 V。
- **V_{DD}**: 逻辑内核的供电电压。额定供电电压为 1.2 V。该电源给内核逻辑电路供电。下列各项也必须使用同样的供电电压:
 - **AVDD**: PLL、晶体振荡器和其它内核模拟电路的 1.2 V 供电电压。
 - **U3TXVDDQ/U3RXVDDQ**: USB 3.0接口的1.2 V供电电压。
- **VBATT/VBUS**: USB I/O 和模拟电路的 3.2 V~6 V 电池供电电压。该电源通过 SX3 的内部电压调节器为 USB 收发器供电。VBATT 被内部调节为 3.3 V。

注意 : SX3 电源域没有特定的上电序列。然而, 上电复位 (POR) 时间需要至少为 1 ms, 并且该电源域必须保持稳定状态, 以确保 SX3 能够正常工作。

电源模式

SX3 支持以下各种功耗模式：

- **正常模式** : 这是全功能工作模式。在该模式下, 内部 CPU 时钟和内部 PLL 都被启用。
 - 正常工作功耗不超过 I_{CC} 内核最大值和 I_{CC} USB 最大值的总和 (有关电流消耗规范, 请参见表 6)。
 - 尚未使用相应的接口时, 可关闭 VIO2、VIO3、VIO4 和 VIO5 等 I/O 电源。如果在应用中使用通用可配置接口, 则始终不能关闭 VIO1。
- **低功耗模式** (请参见表 4):
 - 启用 USB 3.0 PHY 时的暂停模式 (L1)
 - 禁用 USB 3.0 PHY 时的暂停模式 (L2)
 - 待机模式 (L3)
 - 内核断电模式 (L4)

表 4. 低功耗模式的进入和退出方法

低功耗模式	特性	进入方法	退出方法
启用 USB 3.0 PHY 时的暂停模式 (L1)	<ul style="list-style-type: none"> ■ 该模式下的功耗不超过 I_{SB1} ■ USB 3.0 PHY 被启用并处于 U3 模式 (USB 3.0 规范中所定义的暂停模式之一)。所有其它时钟都关闭时, 该模块可以单独使用其内部时钟进行工作 ■ 所有 I/O 均保持其先前状态 ■ 必须保持唤醒源和内核电源的供电电源。可以独立开启 / 关闭所有其它电源域 ■ 保持配置寄存器、缓冲存储器以及所有内部 RAM 的状态 ■ SX3 进入暂停模式前必须完成所有数据操作 (不会保留未完成数据操作的状态) ■ 由于程序计数器并不复位, 因此固件将恢复暂停前的操作 (除非通过激活 RESET# 来唤醒) 	<ul style="list-style-type: none"> ■ 在 ARM926EJ-S 内核上执行的固件可以使 SX3 进入暂停模式。例如, 在 USB 暂停的情况下, 固件能够使 SX3 进入暂停模式 ■ 通过使用邮箱寄存器, 外部处理器也可以使 SX3 进入暂停模式 	<ul style="list-style-type: none"> ■ D+ 切换到低或高电平 ■ D- 切换到低或高电平 ■ OTG_ID 引脚上的阻抗变化 ■ SSRX± 上的恢复条件 ■ 检测 VBUS ■ 激活 CTL[0] 的通用可配置接口 ■ 激活 RESET#
禁用 USB 3.0 PHY 时的暂停模式 (L2)	<ul style="list-style-type: none"> ■ 该模式下的功耗不超过 I_{SB2} ■ USB 3.0 PHY 被禁用并且 USB 接口处于暂停模式 ■ 各个时钟都被关闭。PLL 被禁用 ■ 所有 I/O 均保持其先前状态 ■ USB 接口保持其先前状态 ■ 必须保持唤醒源和内核电源的供电电源。可以独立开启 / 关闭所有其它电源域 ■ 保持配置寄存器、缓冲存储器以及所有内部 RAM 的状态 ■ SX3 进入暂停模式前必须完成所有数据操作 (不会保留未完成数据操作的状态) ■ 由于程序计数器并不复位, 因此固件将恢复暂停前的操作 (除非通过激活 RESET# 来唤醒) 	<ul style="list-style-type: none"> ■ 在 ARM926EJ-S 内核上执行的固件可以使 SX3 进入暂停模式。例如, 在 USB 暂停的情况下, 固件能够使 SX3 进入暂停模式 ■ 通过使用邮箱寄存器, 外部处理器可以使 SX3 进入暂停模式 	<ul style="list-style-type: none"> ■ D+ 切换到低或高电平 ■ D- 切换到低或高电平 ■ OTG_ID 引脚上的阻抗变化 ■ 检测 VBUS ■ 激活 CTL[0] 的通用可配置接口 ■ 激活 RESET#



表 4. 低功耗模式的进入和退出方法 (续)

低功耗模式	特性	进入方法	退出方法
待机模式 (L3)	<ul style="list-style-type: none"> ■ 该模式下的功耗不超过 I_{SB3} ■ 保留所有配置寄存器的设置和程序/数据RAM的内容。不过, 无法确保缓冲区和数据路径其它部分中的数据 (如果有)。因此, 使 SX3 进入待机模式前, 外部处理器需要保证先读取完所需数据 ■ 从待机状态唤醒后, 程序计数器将被复位 ■ GPIO 引脚保持其配置情况 ■ 晶体振荡器被关闭 ■ 内部 PLL 被关闭 ■ USB 收发器被关闭 ■ ARM926EJ-S 内核被断电。唤醒时, 内核将重新启动并执行存储在程序 / 数据 RAM 中的程序 ■ 必须保持唤醒源和内核电源的供电电源。可以独立开启 / 关闭所有其它电源域 	<ul style="list-style-type: none"> ■ ARM926EJ-S 内核上所执行的固件或外部处理器将配置相应的寄存器 	<ul style="list-style-type: none"> ■ 检测 VBUS ■ 激活 CTL[0] 的通用可配置接口 ■ 激活 RESET#
内核断电模式 (L4)	<ul style="list-style-type: none"> ■ 该模式下的功耗不超过 I_{SB4} ■ 内核电源被关闭 ■ 所有缓冲存储器、配置寄存器和程序 RAM 的状态都不被保留。退出该模式后, 则需要重新加载固件 ■ 在该模式下, 可以独立开启 / 关闭所有其它电源域 	<ul style="list-style-type: none"> ■ 关闭 V_{DD} 	<ul style="list-style-type: none"> ■ 再次使用 V_{DD} ■ 激活 RESET#



数字 I/O

SX3 在所有数字 I/O 引脚上都有由固件控制的内部上拉和下拉电阻。50 k Ω 的内部电阻将上拉引脚的电平，10 k Ω 的内部电阻则下拉引脚的电平，以避免这些引脚进入悬空状态。I/O 引脚可能处于以下各种状态：

- 三态 (高阻抗)
- 弱上拉 (通过内部 50 k Ω 电阻)
- 下拉 (通过内部 10 k Ω 电阻)
- 低功耗模式下的保持状态 (I/O 值保持不变)

应通过内部上拉电阻将所有未使用的 I/O 上拉为高电平。应将所有未使用的输出设置为悬空状态。所有 I/O 的驱动强度可为全强度、四分之三、半强度或四分之一的强度。每个接口具有独立的驱动强度配置。

通用 I/O

SX3 支持七个 GPIO。通过使用 SX3 配置实用程序，可以将这些引脚配置为预定义的输入或输出功能之一。所有通用可配置接口引脚和 GPIO 引脚都支持每个引脚高达 16 pF 的外部负载。

EMI

SX3 符合 FCC 15B (美国) 和 EN55022 (欧洲) 电子消费品规范中的 EMI 要求。按照上述规范，SX3 可承受由干扰源造成的 EMI，并继续按预期工作。

系统级 ESD

SX3 在 USB 接口的 D+、D- 和 GND 引脚上具有内置静电放电 (ESD) 保护。这些端口提供的 ESD 保护级别包括：

- 根据 JESD22-A114 规范，人体模型 (HBM) 为 ± 2.2 kV
- 根据 IEC61000-4-2 的 3A 级标准，接触放电为 ± 6 kV、空气放电为 ± 8 kV
- 根据 IEC61000-4-2 的 4C 级标准，接触放电为 ± 8 kV、空气放电为 ± 15 kV。

这种保护确保 ESD 事件达到本章节中所述的级别后，器件仍能继续工作。

对于 SSRX+、SSRX-、SSTX+ 和 SSTX- 引脚，针对人体模型的内部 ESD 保护的最高值为 ± 2.2 kV。



引脚配置

图 6. SX3 CYUSB3015-16 位 - 121-BGA 球形焊盘映射图 (顶视图)

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11
U3VSSQ	U3RXVDDQ	SSRX-	SSRX+	SSTX+	SSTX-	AVDD	VSS	D+	D-	DNU
B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11
VIO4	FSLC[0]	R_usb3	FSLC[1]	U3TXVDDQ	CVDDQ	AVSS	VSS	VSS	VDD	DNU
C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11
SPI_SSN	SPI_MISO	VDD	FIFOM_SS / GPIO_6	RESET#	XTALIN	XTALOUT	R_usb2	OTG_ID	DNU	VIO5
D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11
GPIO_3	GPIO_4	GPIO_5	SPI_SCK	SPI_MOSI	DNU	CLKIN	VSS	I2C_SCL	I2C_SDA	SUSPEND OUT
E1	E2	E3	E4	E5	E6	E7	E8	E9	E10	E11
DNU	VSS	VIO3	DNU	DNU	FSLC[2]	DNU	DNU	VDD	VBATT	VBUS
F1	F2	F3	F4	F5	F6	F7	F8	F9	F10	F11
VIO2	GPIO_2	DNU	DNU	DNU	DNU	DQ[2]	DQ[5]	DQ[1]	DQ[0]	VDD
G1	G2	G3	G4	G5	G6	G7	G8	G9	G10	G11
VSS	DNU	DNU	PMODE[0]	GPIO_1	DMA_READY	DMA_PARTIAL	DQ[15] [4]	DQ[4]	DQ[3]	VSS
H1	H2	H3	H4	H5	H6	H7	H8	H9	H10	H11
VDD	DNU	DNU	PMODE[1]	A0	INIT# / RESET	SLRD#	PKTEND#	DQ[7]	DQ[6]	VIO1
J1	J2	J3	J4	J5	J6	J7	J8	J9	J10	J11
DNU	DNU	DNU	DNU	A1	PCLK	SLOE#	DQ[14] [4]	DQ[9]/A1 [3]	DQ[8]/A0 [3]	VDD
K1	K2	K3	K4	K5	K6	K7	K8	K9	K10	K11
DNU	DNU	VSS	VSS	PROGRAM#	GPIO_0	SLWR#	SLCS#	DQ[13]	DQ[12]	DQ[10]
L1	L2	L3	L4	L5	L6	L7	L8	L9	L10	L11
VSS	VSS	VSS	PMODE[2]	VDD	VSS	VDD	DNU	VIO1	DQ[11]	VSS

图 7. SX3 CYUSB3016-32 位 - 121-BGA 球形焊盘映射图 (顶视图)

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11
U3VSSQ	U3RXVDDQ	SSRX-	SSRX+	SSTX+	SSTX-	AVDD	VSS	D+	D-	DNU
B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11
VIO4	FSLC[0]	R_usb3	FSLC[1]	U3TXVDDQ	CVDDQ	AVSS	VSS	VSS	VDD	DNU
C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11
SPI_SSN	SPI_MISO	VDD	FIFOM_SS / GPIO_6	RESET#	XTALIN	XTALOUT	R_usb2	OTG_ID	DNU	VIO5
D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11
GPIO_3	GPIO_4	GPIO_5	SPI_SCK	SPI_MOSI	DNU	CLKIN	VSS	I2C_SCL	I2C_SDA	SUSPEND OUT
E1	E2	E3	E4	E5	E6	E7	E8	E9	E10	E11
DQ[29]	VSS	VIO3	DQ[31]	DQ[30]	FSLC[2]	DNU	DNU	VDD	VBATT	VBUS
F1	F2	F3	F4	F5	F6	F7	F8	F9	F10	F11
VIO2	GPIO_2	DQ[27]	DQ[24]/A0[5]	DQ[28]	DNU	DQ[2]	DQ[5]	DQ[1]	DQ[0]	VDD
G1	G2	G3	G4	G5	G6	G7	G8	G9	G10	G11
VSS	DQ[25]/A1[5]	DQ[26]	PMODE[0]	GPIO_1	DMA_READY	DMA_PARTIAL	DQ[15] [4]	DQ[4]	DQ[3]	VSS
H1	H2	H3	H4	H5	H6	H7	H8	H9	H10	H11
VDD	DQ[22]	DQ[23]	PMODE[1]	A0	INIT# / RESET	SLRD#	PKTEND#	DQ[7]	DQ[6]	VIO1
J1	J2	J3	J4	J5	J6	J7	J8	J9	J10	J11
DQ[21]	DQ[19]	DQ[20]	DQ[17]	A1	PCLK	SLOE#	DQ[14] [4]	DQ[9]/A1 [3]	DQ[8]/A0 [3]	VDD
K1	K2	K3	K4	K5	K6	K7	K8	K9	K10	K11
DQ[18]	DQ[16]	VSS	VSS	PROGRAM#	GPIO_0	SLWR#	SLCS#	DQ[13]	DQ[12]	DQ[10]
L1	L2	L3	L4	L5	L6	L7	L8	L9	L10	L11
VSS	VSS	VSS	PMODE[2]	VDD	VSS	VDD	DNU	VIO1	DQ[11]	VSS



图 8. SX3 CYUSB3017-UVIC - 121-BGA 球形焊盘映射图 (顶视图)

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11
U3VSSQ	U3RXVDDQ	SSRX-	SSRX+	SSTX+	SSTX-	AVDD	VSS	D+	D-	DNU
B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11
VIO4	FSLC[0]	R_usb3	FSLC[1]	U3TXVDDQ	CVDDQ	AVSS	VSS	VSS	VDD	DNU
C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11
SPI_SSN	SPI_MISO	VDD	FIFOM_SS / GPIO_6	RESET#	XTALIN	XTALOUT	R_usb2	OTG_ID	DNU	VIO5
D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11
GPIO_3	GPIO_4	GPIO_5	SPI_SCK	SPI_MOSI	DNU	CLKIN	VSS	I2C_SCL	I2C_SDA	SUSPEND OUT
E1	E2	E3	E4	E5	E6	E7	E8	E9	E10	E11
DQ[29]	VSS	VIO3	DQ[31]	DQ[30]	FSLC[2]	DNU	DNU	VDD	VBATT	VBUS
F1	F2	F3	F4	F5	F6	F7	F8	F9	F10	F11
VIO2	GPIO_2	DQ[27]	DQ[24]/A0[5]	DQ[28]	DNU	DQ[2]	DQ[5]	DQ[1]	DQ[0]	VDD
G1	G2	G3	G4	G5	G6	G7	G8	G9	G10	G11
VSS	DQ[25]/A1[5]	DQ[26]	PMODE[0]	GPIO_1	DMA_READY	DMA_PARTIAL	DQ[15] [4]	DQ[4]	DQ[3]	VSS
H1	H2	H3	H4	H5	H6	H7	H8	H9	H10	H11
VDD	DQ[22]	DQ[23]	PMODE[1]	A0	INIT# / RESET	SLRD# / LV	PKTEND#	DQ[7]	DQ[6]	VIO1
J1	J2	J3	J4	J5	J6	J7	J8	J9	J10	J11
DQ[21]	DQ[19]	DQ[20]	DQ[17]	A1	PCLK	SLOE# / FV	DQ[14] [4]	DQ[9]/A1 [3]	DQ[8]/A0 [3]	VDD
K1	K2	K3	K4	K5	K6	K7	K8	K9	K10	K11
DQ[18]	DQ[16]	VSS	VSS	PROGRAM#	GPIO_0	SLWR#	SLCS#	DQ[13]	DQ[12]	DQ[10]
L1	L2	L3	L4	L5	L6	L7	L8	L9	L10	L11
VSS	VSS	VSS	PMODE[2]	VDD	VSS	VDD	DNU	VIO1	DQ[11]	VSS



引脚说明

表 5. CYUSB3015、CYUSB3016 和 CYUSB3017 引脚列表

序号	引脚编号	电源域	I/O 电源	SX3 引脚名称			备注
				CYUSB3015 – 16 位	CYUSB3016 – 32 位	CYUSB3017 - UVC	
1	F10	VIO1	I/O	DQ[0]	DQ[0]	DQ[0]	–
2	F9	VIO1	I/O	DQ[1]	DQ[1]	DQ[1]	–
3	F7	VIO1	I/O	DQ[2]	DQ[2]	DQ[2]	–
4	G10	VIO1	I/O	DQ[3]	DQ[3]	DQ[3]	–
5	G9	VIO1	I/O	DQ[4]	DQ[4]	DQ[4]	–
6	F8	VIO1	I/O	DQ[5]	DQ[5]	DQ[5]	–
7	H10	VIO1	I/O	DQ[6]	DQ[6]	DQ[6]	–
8	H9	VIO1	I/O	DQ[7]	DQ[7]	DQ[7]	–
9	J10	VIO1	I/O	DQ[8]/A0 [3]	DQ[8]/A0 [3]	DQ[8]/A0 [3]	[3] - 8 位模式的地址位 0
10	J9	VIO1	I/O	DQ[9]/A1 [3]	DQ[9]/A1 [3]	DQ[9]/A1 [3]	[3] - 8 位模式的地址位 1
11	K11	VIO1	I/O	DQ[10]	DQ[10]	DQ[10]	–
12	L10	VIO1	I/O	DQ[11]	DQ[11]	DQ[11]	–
13	K10	VIO1	I/O	DQ[12]	DQ[12]	DQ[12]	–
14	K9	VIO1	I/O	DQ[13]	DQ[13]	DQ[13]	–
15	J8	VIO1	I/O	DQ[14]	DQ[14]	DQ[14]	–
16	G8	VIO1	I/O	DQ[15]	DQ[15]	DQ[15]	–
17	J6	VIO1	I	PCLK	PCLK	PCLK	–
18	K8	VIO1	I	SLCS#	SLCS#	SLCS#	–
19	K7	VIO1	I	SLWR#	SLWR#	SLWR#	–
20	J7	VIO1	I	SLOE#	SLOE#	SLOE# / FV	–
21	H7	VIO1	I	SLRD#	SLRD#	SLRD# / LV	–
22	G7	VIO1	O	DMA_PARTIAL	DMA_PARTIAL	DMA_PARTIAL	–
23	G6	VIO1	O	DMA_READY	DMA_READY	DMA_READY	–
24	K6	VIO1	I/O	GPIO_1	GPIO_1	GPIO_1	–
25	H8	VIO1	I	PKTEND#	PKTEND#	PKTEND#	–
26	G5	VIO1	I/O	GPIO_1	GPIO_1	GPIO_1	–
27	H6	VIO1	O	INIT# / RESET	INIT# / RESET	INIT# / RESET	FIFO MASTER 信号
28	K5	VIO1	O	PROGRAM#	PROGRAM#	PROGRAM#	
29	J5	VIO1	I	A1	A1	A1	16 位、32 位模式的地址位 1
30	H5	VIO1	I	A0	A0	A0	16 位、32 位模式的地址位 0
31	G4	VIO1	I	PMODE[0]	PMODE[0]	PMODE[0]	–
32	H4	VIO1	I	PMODE[1]	PMODE[1]	PMODE[1]	–
33	L4	VIO1	I	PMODE[2]	PMODE[2]	PMODE[2]	–
34	L8	VIO1	I	DNU	DNU	DNU	–
35	K2	VIO2	I/O	DNU	DQ[16]	DQ[16]	–
36	J4	VIO2	I/O	DNU	DQ[17]	DQ[17]	–
37	K1	VIO2	I/O	DNU	DQ[18]	DQ[18]	–



表 5. CYUSB3015、CYUSB3016 和 CYUSB3017 引脚列表 (续)

序号	引脚编号	电源域	I/O 电源	SX3 引脚名称			备注
				CYUSB3015 – 16 位	CYUSB3016 – 32 位	CYUSB3017 - UVC	
38	J2	VIO2	I/O	DNU	DQ[19]	DQ[19]	-
39	J3	VIO2	I/O	DNU	DQ[20]	DQ[20]	-
40	J1	VIO2	I/O	DNU	DQ[21]	DQ[21]	-
41	H2	VIO2	I/O	DNU	DQ[22]	DQ[22]	-
42	H3	VIO2	I/O	DNU	DQ[23]	DQ[23]	-
43	F4	VIO2	I/O	DNU	DQ[24]/A0[5]	DQ[24]/A0[5]	[5] - 24 位模式的地址位 0
44	G2	VIO2	I/O	DNU	DQ[25]/A1[5]	DQ[25]/A1[5]	[5] - 24 位模式的地址位 1
45	G3	VIO2	I/O	DNU	DQ[26]	DQ[26]	-
46	F3	VIO2	I/O	DNU	DQ[27]	DQ[27]	-
47	F2	VIO2	I/O	GPIO_2	GPIO_2	GPIO_2	-
48	F5	VIO3	I/O	DNU	DQ[28]	DQ[28]	-
49	E1	VIO3	I/O	DNU	DQ[29]	DQ[29]	-
50	E5	VIO3	I/O	DNU	DQ[30]	DQ[30]	-
51	E4	VIO3	I/O	DNU	DQ[31]	DQ[31]	-
52	D1	VIO3	I/O	GPIO_3	GPIO_3	GPIO_3	-
53	D2	VIO3	I/O	GPIO_4	GPIO_4	GPIO_4	-
54	D3	VIO3	I/O	GPIO_5	GPIO_5	GPIO_5	-
55	D4	VIO4	O	SPI_SCK	SPI_SCK	SPI_SCK	-
56	C1	VIO4	O	SPI_SSN	SPI_SSN	SPI_SSN	-
57	C2	VIO4	I	SPI_MISO	SPI_MISO	SPI_MISO	-
58	D5	VIO4	O	SPI_MOSI	SPI_MOSI	SPI_MOSI	-
59	C4	VIO4	I/O	FIFOM_SS / GPIO_6	FIFOM_SS / GPIO_6	FIFOM_SS / GPIO_6	-
USB 端口							
60	A3	U3RXVDDQ	I	SSRX-	SSRX-	SSRX-	-
61	A4	U3RXVDDQ	I	SSRX+	SSRX+	SSRX+	-
62	A6	U3TXVDDQ	O	SSTX-	SSTX-	SSTX-	-
63	A5	U3TXVDDQ	O	SSTX+	SSTX+	SSTX+	-
64	B3	U3TXVDDQ	I/O	R_usb3	R_usb3	R_usb3	适用于 USB 3.0 的高精度电阻 (在该引脚和 GND 之间连接一个 200±1% 电阻)
65	C9	VBUS/VBATT	I	OTG_ID	OTG_ID	OTG_ID	-
66	A9	VBUS/VBATT	I/O	D+	D+	D+	-
67	A10	VBUS/VBATT	I/O	D-	D-	D-	-
68	C8	VBUS/VBATT	I/O	R_usb2	R_usb2	R_usb2	适用于 USB 2.0 的高精度电阻 (在该引脚和 GND 之间连接一个 6.04 k ±1% 的电阻)
时钟和复位							
69	B2	CVDDQ	I	FSLC[0]	FSLC[0]	FSLC[0]	-
70	C6	AVDD	I/O	XTALIN	XTALIN	XTALIN	-



表 5. CYUSB3015、CYUSB3016 和 CYUSB3017 引脚列表 (续)

序号	引脚编号	电源域	I/O 电源	SX3 引脚名称			备注
				CYUSB3015 – 16 位	CYUSB3016 – 32 位	CYUSB3017 - UVC	
71	C7	AVDD	I/O	XTALOUT	XTALOUT	XTALOUT	-
72	B4	CVDDQ	I	FSLC[1]	FSLC[1]	FSLC[1]	-
73	E6	CVDDQ	I	FSLC[2]	FSLC[2]	FSLC[2]	-
74	D7	CVDDQ	I	CLKIN	CLKIN	CLKIN	-
75	D6	CVDDQ	I	DNU	DNU	DNU	DNU - 请勿使用
76	C5	CVDDQ	I	RESET#	RESET#	RESET#	-
I2C							
77	D9	VIO5	I/O	I2C_SCL	I2C_SCL	I2C_SCL	-
78	D10	VIO5	I/O	I2C_SDA	I2C_SDA	I2C_SDA	-
79	E7	VIO5	I	DNU	DNU	DNU	DNU - 请勿使用
80	C10	VIO5	O	DNU	DNU	DNU	
81	B11	VIO5	I	DNU	DNU	DNU	
82	E8	VIO5	I	DNU	DNU	DNU	
83	F6	VIO5	I	DNU	DNU	DNU	
84	D11	VIO5	O	SUSPEND OUT	SUSPEND OUT	SUSPEND OUT	-
电源							
85	E10		PWR	VBATT	VBATT	VBATT	-
86	B10		PWR	VDD	VDD	VDD	-
87	A1		PWR	U3VSSQ	U3VSSQ	U3VSSQ	-
88	E11		PWR	VBUS	VBUS	VBUS	-
89	D8		PWR	VSS	VSS	VSS	-
90	H11		PWR	VIO1	VIO1	VIO1	-
91	E2		PWR	VSS	VSS	VSS	-
92	L9		PWR	VIO1	VIO1	VIO1	-
93	G1		PWR	VSS	VSS	VSS	-
94	F1		PWR	VIO2	VIO2	VIO2	-
95	G11		PWR	VSS	VSS	VSS	-
96	E3		PWR	VIO3	VIO3	VIO3	-
97	L1		PWR	VSS	VSS	VSS	-
98	B1		PWR	VIO4	VIO4	VIO4	-
99	L6		PWR	VSS	VSS	VSS	-
100	B6		PWR	CVDDQ	CVDDQ	CVDDQ	-
101	B5		PWR	U3TXVDDQ	U3TXVDDQ	U3TXVDDQ	-
102	A2		PWR	U3RXVDDQ	U3RXVDDQ	U3RXVDDQ	-
103	C11		PWR	VIO5	VIO5	VIO5	-
电源域							
104	L11		PWR	VSS	VSS	VSS	-
105	A7		PWR	AVDD	AVDD	AVDD	-
106	B7		PWR	AVSS	AVSS	AVSS	-



表 5. CYUSB3015、CYUSB3016 和 CYUSB3017 引脚列表 (续)

序号	引脚编号	电源域	I/O 电源	SX3 引脚名称			备注
				CYUSB3015 – 16 位	CYUSB3016 – 32 位	CYUSB3017 - UVC	
107	C3		PWR	VDD	VDD	VDD	-
108	B8		PWR	VSS	VSS	VSS	-
109	E9		PWR	VDD	VDD	VDD	-
110	B9		PWR	VSS	VSS	VSS	-
111	F11		PWR	VDD	VDD	VDD	-
112	H1		PWR	VDD	VDD	VDD	-
113	L7		PWR	VDD	VDD	VDD	-
114	J11		PWR	VDD	VDD	VDD	-
115	L5		PWR	VDD	VDD	VDD	-
116	K4		PWR	VSS	VSS	VSS	-
117	L3		PWR	VSS	VSS	VSS	-
118	K3		PWR	VSS	VSS	VSS	-
119	L2		PWR	VSS	VSS	VSS	-
120	A8		PWR	VSS	VSS	VSS	-
121	A11			DNU	DNU	DNU	请勿使用



电气规范

最大绝对额定值

超过最大额定值可能缩短器件的使用寿命。

存放温度	-65°C ~ +150°C
供电情况下的环境温度 (工业级)	-40 °C ~ +85 °C
供电情况下的环境温度 (商业级)	0 °C ~ +70 °C
对地电位的电源电压	
V_{DD} 、 A_{VDDQ}	1.25 V
V_{IO1} 、 V_{IO2} 、 V_{IO3} 、 V_{IO4} 、 V_{IO5}	3.6 V
$U3TX_{VDDQ}$ 、 $U3RX_{VDDQ}$	1.25 V
任何输入引脚的直流输入电压	$V_{CC} + 0.3 V$
高组态中输出的直流电压	$V_{CC} + 0.3 V$

(V_{CC} 为相应的 I/O 电压)

静电放电电压 ESD 保护级别：

- 根据 JESD22-A114, 人体模型 (HBM) 为 ± 2.2 kV
- D+、D-、GND 引脚和串行外设引脚上的额外 ESD 保护级别
- 根据 IEC61000-4-2 的 3A 级标准, 接触放电为 ± 6 kV、空气放电为 ± 8 kV；根据 IEC61000-4-2 的 4C 级标准, 接触放电为 ± 8 kV、空气放电为 ± 15 kV

栓锁电流

所有 I/O 的最大输出短路电流 (累计)	-100 mA
每个 I/O 的最大输出电流 (源电流或灌电流)	20 mA

工作条件

T_A (偏置条件下的环境温度)	
工业级	-40 °C ~ +85 °C
商业级	0 °C ~ +70 °C
V_{DD} 、 A_{VDDQ} 、 $U3TX_{VDDQ}$ 、 $U3RX_{VDDQ}$	
供电电压	1.15 V~1.25 V
V_{BATT} 供电电压	3.2 V~6 V
V_{IO1} 、 V_{IO2} 、 V_{IO3} 、 V_{IO4} 、 C_{VDDQ}	
供电电压	1.7 V~3.6 V
V_{IO5} 供电电压	1.15 V ~ 3.6 V

直流规范

表 6. 直流规范

参数	说明	最小值	最大值	单位	注释
V_{DD}	内核供电电压	1.15	1.25	V	典型值为 1.2 V
A_{VDD}	模拟供电电压	1.15	1.25	V	典型值为 1.2 V
V_{IO1}	通用可配置接口 I/O 的电源域	1.7	3.6	V	典型值为 1.8 V、2.5 V、3.3 V
V_{IO2}	IO2 电源域	1.7	3.6	V	典型值为 1.8 V、2.5 V、3.3 V
V_{IO3}	IO3 电源域	1.7	3.6	V	典型值为 1.8 V、2.5 V、3.3 V
V_{IO4}	SPI 电源域	1.7	3.6	V	典型值为 1.8 V、2.5 V、3.3 V
V_{BATT}	USB 供电电压	3.2	6	V	典型值为 3.7 V
V_{BUS}	USB 供电电压	4.0	6	V	典型值为 5 V
$U3TX_{VDDQ}$	USB 3.0 的 1.2 V 电源	1.15	1.25	V	典型值为 1.2 V。该电源需要安装一个大小为 22 μ F 的旁路电容。
$U3RX_{VDDQ}$	USB 3.0 的 1.2 V 电源	1.15	1.25	V	典型值为 1.2 V。该电源需要安装一个大小为 22 μ F 的旁路电容。
C_{VDDQ}	时钟供电电压	1.7	3.6	V	典型值为 1.8 V 和 3.3 V
V_{IO5}	i ² C 供电电压	1.15	3.6	V	典型值为 1.2 V、1.8 V、2.5 V 和 3.3 V
V_{IH1}	高电平输入电压 1	$0.625 \times V_{CC}$	$V_{CC} + 0.3$	V	对于 $2.0 V \leq V_{CC} \leq 3.6 V$ (USB 端口除外)。 V_{CC} 为相应的 I/O 供电电压。
V_{IH2}	高电平输入电压 2	$V_{CC} - 0.4$	$V_{CC} + 0.3$	V	对于 $1.7 V \leq V_{CC} \leq 2.0 V$ (USB 端口除外)。 V_{CC} 为相应的 I/O 供电电压。
V_{IL}	低电平输入电压	-0.3	$0.25 \times V_{CC}$	V	V_{CC} 为相应的 I/O 供电电压。



表 6. 直流规范 (续)

参数	说明	最小值	最大值	单位	注释
V_{OH}	高电平输出电压	$0.9 \times V_{CC}$	-	V	$I_{OH} (max) = -100 \mu A$ (在四分之一的驱动强度情况下测试得到)。 V_{CC} 为相应 I/O 的供电电压。有关在不同驱动强度和 V_{CC} 条件下的 I_{OH} 值, 请参阅表 7。
V_{OL}	低电平输出电压	-	$0.1 \times V_{CC}$	V	$I_{OL} (min) = +100 \mu A$ (在四分之一的驱动强度情况下测试得到)。 V_{CC} 为相应 I/O 的供电电压。有关在不同驱动强度和 V_{CC} 条件下的 I_{OL} 值, 请参阅表 7。
I_{IX}	所有引脚 (SSTXP/SSXM/SSRXP/SSRXM 除外) 的输入漏电流	-1	1	μA	V_{DDQ} 上保持的所有 I/O 信号 (对于连接了上拉或下拉电阻的 I/O, 漏电流的增值为 V_{DDQ}/R_{pu} 或 V_{DDQ}/R_{PD})
I_{OZ}	所有引脚 (SSTXP/SSXM/SSRXP/SSRXM 除外) 的输出高阻抗漏电流	-1	1	μA	V_{DDQ} 上保持的所有 I/O 信号
I_{CC} 内核	内核和模拟电压的工作电流	-	200	mA	流过 A_{VDD} 、 V_{DD} 的总电流
I_{CC} USB	USB 供电电压的工作电流	-	60	mA	-
I_{SB1}	启用 USB 3.0 PHY 时暂停模式期间的总暂停电流 (L1)	-	-	mA	内核电流: 1.5 mA I/O 电流: 20 μA USB 电流: 2 mA 对于典型 PVT (典型芯片, 所有电源电压均为其各自额定值, 温度为 25°C)。
I_{SB2}	禁用 USB 3.0 PHY 时暂停模式期间的总暂停电流 (L2)	-	-	mA	内核电流: 250 μA I/O 电流: 20 μA USB 电流: 1.2 mA 对于典型 PVT (典型芯片, 所有电源电压均为其各自额定值, 温度为 25°C)。
I_{SB3}	待机模式期间的总待机电流 (L3)	-	-	μA	内核电流: 60 μA I/O 电流: 20 μA USB 电流: 40 μA 对于典型 PVT (典型芯片, 所有电源电压均为其各自额定值, 温度为 25°C)。
I_{SB4}	内核断电模式期间的总待机电流 (L4)	-	-	μA	内核电流: 0 μA I/O 电流: 20 μA USB 电流: 40 μA 对于典型 PVT (典型芯片, 所有电源电压均为其各自额定值, 温度为 25°C)。
V_{RAMP}	内核和 I/O 电源的电压斜坡率	0.2	50	V/ms	电压斜坡必须为单调
V_N	VDD 和 I/O 电源上所允许的噪声级别	-	100	mV	所有电源 (A_{VDD} 除外) 上所允许的最大峰 - 峰噪声级别
V_N_{AVDD}	A_{VDD} 电源上所允许的噪声级别	-	20	mV	A_{VDD} 电源上所允许的最大峰 - 峰噪声级别



表 7. 不同驱动强度和 V_{DDIO} 的 I_{OH}/I_{OL} 值

V_{DDIO} (V)	V_{OH} (V)	V_{OL} (V)	驱动强度	$I_{OH\ max}$ (mA)	$I_{OL\ min}$ (mA)
1.7	1.53	0.17	1/4	1.02	2.21
			1/2	1.51	3.28
			3/4	1.83	3.85
			全强度	2.28	4.73
2.5	2.25	0.25	1/4	5.03	3.96
			1/2	7.38	5.84
			3/4	8.89	6.89
			全强度	11.07	8.61
3.6	3.24	0.36	1/4	7.80	5.74
			1/2	11.36	8.64
			3/4	13.64	10.15
			全强度	16.92	12.67

热特性

表 8. 热特性

参数	说明	数值	单位
$T_{J\ MAX}$	最高结温	125	°C
Θ_{JA}	热阻 (结至环境)	34.66	°C/W
Θ_{JB}	热阻 (结至板上)	27.03	°C/W
Θ_{JC}	热阻 (结至外壳)	13.57	°C/W



交流时序参数

频率为 100 MHz 时通用可配置接口线的交流特性

表 9. 频率为 100 MHz 时通用可配置接口线的交流特性

符号	参数	最小值	典型值	最大值	单位
Tr	上升时间	-	-	2.5	ns
Tf	下降时间	-	-	2.5	ns
Tov	过冲	-	-	3	%
Tun	下冲	-	-	3	%

通用可配置接口 PCLK 抖动特性

表 10. 通用可配置接口 PCLK 抖动特性

时钟频率 (MHz)	周期抖动 (ps) ^[2]	C-C 最小值 (ps)	C-C 最大值 (ps)
10.08	354.44	-187.92	204.55
25.2	205.97	-153.54	126.53
50.4	144.62	-100.16	85.769
100.8	171.43	-155.13	157.14

注释

2. 使用内部生成的 PCLK 测量时钟抖动。PCLK 被配置为通用可配置接口的输出。该数据是在一万多个时钟周期内测量得到。

通用可配置接口时序

图 9. 同步模式下的通用可配置接口时序

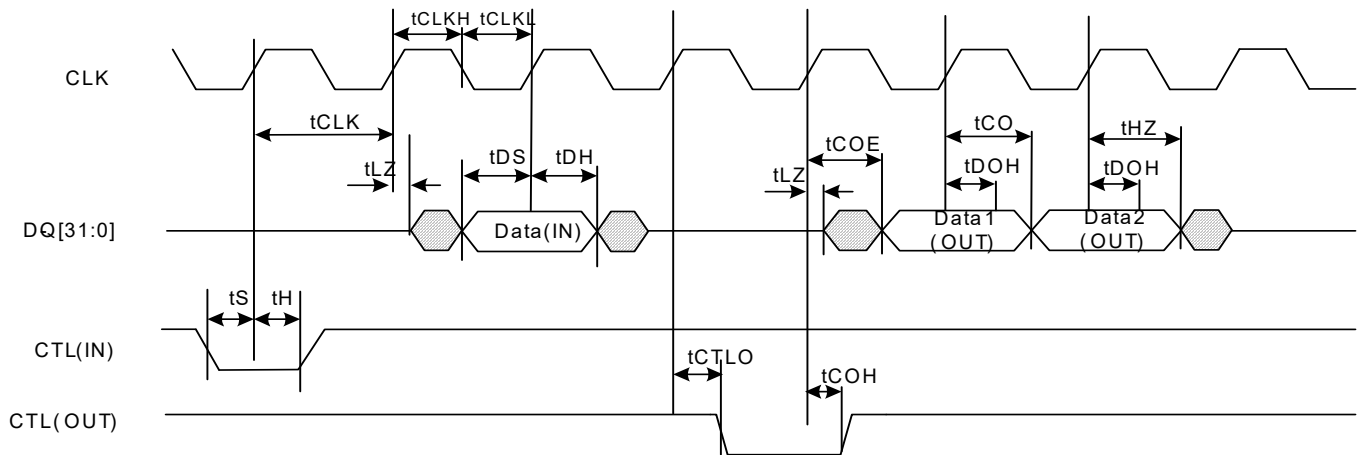




表 11. 同步模式下的通用可配置接口时序^[3]

参数	说明	最小值	最大值	单位
频率	接口时钟频率	–	100	MHz
t_{CLK}	接口时钟周期	10	–	ns
t_{CLKH}	时钟高电平时间	4	–	ns
t_{CLKL}	时钟低电平时间	4	–	ns
t_s	CTL 输入到时钟的建立时间	2	–	ns
t_H	CTL 输入到时钟保持的时间	0.5	–	ns
t_{DS}	数据输入到时钟的建立时间	2	–	ns
t_{DH}	数据输入到时钟保持的时间	0.5	–	ns
t_{CO}	DQ 总线处于输出方向时，时钟到数据输出的传输延迟	–	7	ns
t_{COE}	DQ 线从三态转换为输出并且 DQ 总线上存在有效数据时，时钟到数据输出的传输延迟	–	9	ns
t_{CTLO}	时钟到 CTL 输出的传输延迟	–	8	ns
t_{DOH}	时钟到数据输出保持的时间	2	–	ns
t_{COH}	时钟到 CTL 输出保持的时间	0	–	ns
t_{HZ}	时钟到高阻态的时间	–	8	ns
t_{LZ}	时钟到低阻态的时间	0	–	ns

注释

3. 所有参数均由设计保证，并通过特性验证。

从设备 FIFO 接口

同步从设备 FIFO 读序列说明

- FIFO 地址稳定且 SLCS 被激活
- FLAG 表示 FIFO 为非空闲状态
- SLOE 被激活。SLOE 是一个输出使能信号，其唯一功能是驱动数据总线。
- SLRD 被激活

FIFO 指针在 PCLK 的上升沿上得到更新，同时 SLRD 被激活。该事件会启动从新寻址位置到数据总线的数据传输。经过 t_{CO} 的传输延迟时间 (从 PCLK 的上升沿算起) 后即可提供新的数据值。N 是从 FIFO 读取的第一个数据值。要想将数据传输到 FIFO 数据总线上，则必须激活 SLOE。

突发读取时将发生相同的事件序列。

FLAG 的用途

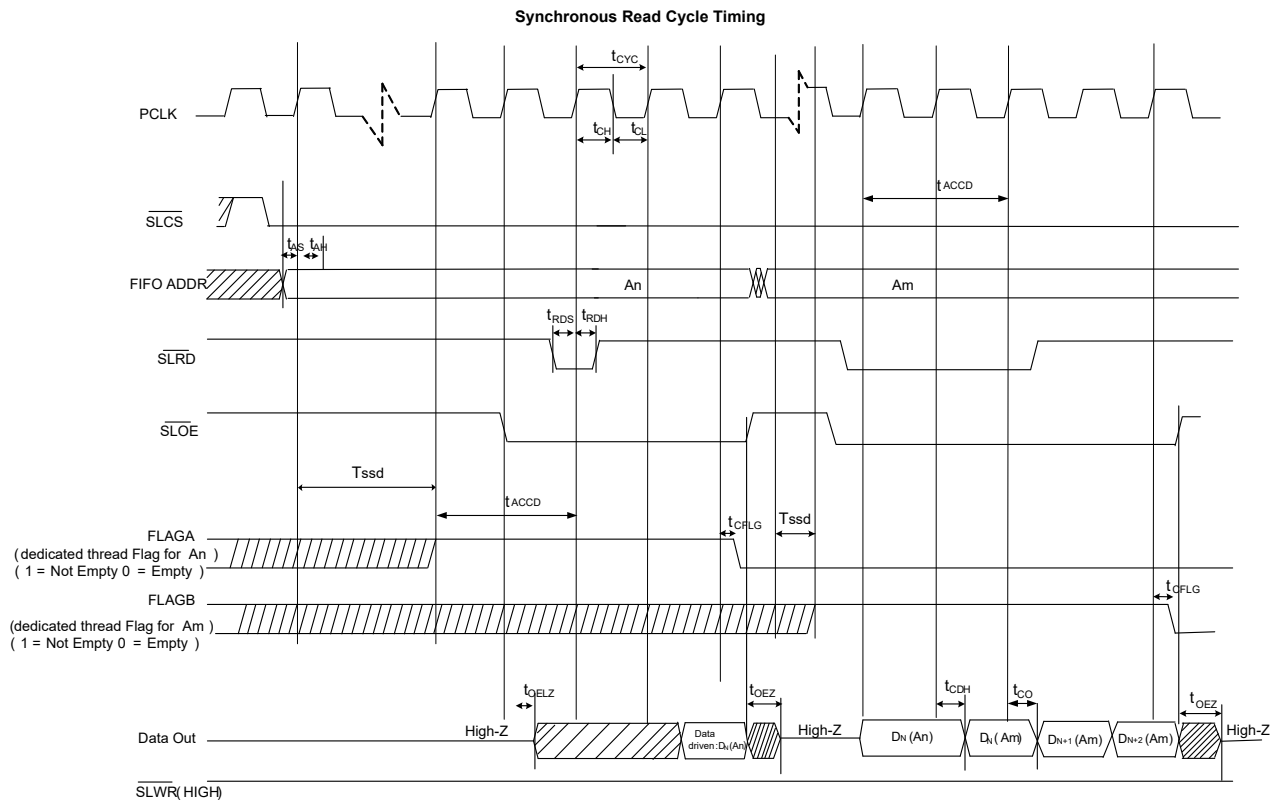
外部处理器通过监控 FLAG 信号来实现流控制。FLAG 信号由 SX3 器件输出。通过配置这些信号，可以显示专用线程或当前寻址线程的空、满或局部状态。

套接字切换延迟 (Tssd)

套接字切换延迟指的是从主设备激活 EPSWITCH# (这时地址总线上具有新的套接字地址) 到 Current_Thread_DMA_Ready 标志被激活的时间。对于发送端套接字，当它准备好在 DMA 缓冲器中接收数据时，该标志将被激活。对于接收端套接字，当它准备好从 DMA 缓冲器中输出数据时，该标志将被激活。对于同步从设备 FIFO 接口，切换延迟的测量单位为通用可配置接口的时钟周期数；对于异步从设备 FIFO 接口，测量单位则为 PIB 时钟周期数。该设置仅适用于 5 位从设备 FIFO 接口。SX3 的 2 位从设备 FIFO 接口没有套接字切换延迟，因为它采用了通用可配置接口状态机中的线程切换。

注意：对于突发模式，在整个读取过程中持续激活 SLRD# 和 SLOE#。当 SLOE# 被激活时，将在数据总线上驱动 (来自先前寻址的 FIFO 数据)。对于 PCLK 的每个后续上升沿，当 SLRD# 被激活时，FIFO 指针将递增，并且下一个数据值将被放置在数据总线上。

图 10. 同步从设备 FIFO 读取模式



同步从设备 FIFO 写序列说明

- FIFO 地址稳定且 SLCS# 信号被激活
- 外部主设备或外设将数据输出到数据总线上
- SLWR# 被激活
- 当 SLWR# 被激活时，数据将被写入到 FIFO 内，并且 FIFO 指针将在 PCLK 的上升沿上递增
- 从时钟的上升沿起，经过 t_{WFLG} 的延迟后，FIFO 标志将被更新

注意：对于突发模式，SLWR# 和 SLCS# 在所有所需数据的整个写入过程中保持激活状态。在突发写入模式下，SLWR# 被激活后，每当 PCLK 的上升沿到来时，都会将 FIFO 数据总线上的值写入到 FIFO 内。此外，FIFO 指针也在 PCLK 的每个上升沿上得到更新。

短数据包：通过 PKTEND# 信号，可以将某个短数据包发送到 USB 主机。需要设计外部器件或处理器，使之在传输最后数据字时同时激活与该字相应的 SLWR# 脉冲和 PKTEND#。PKTEND# 激活期间，FIFOADDR 线需要保持不变。

零长度数据包：外部器件 / 处理器可仅通过激活 PKTEND#，而没有激活 SLWR#，来将一个零长度数据包 (ZLP) 传输到 SX3。必须驱动 SLCS# 和地址，如图 11 所示。

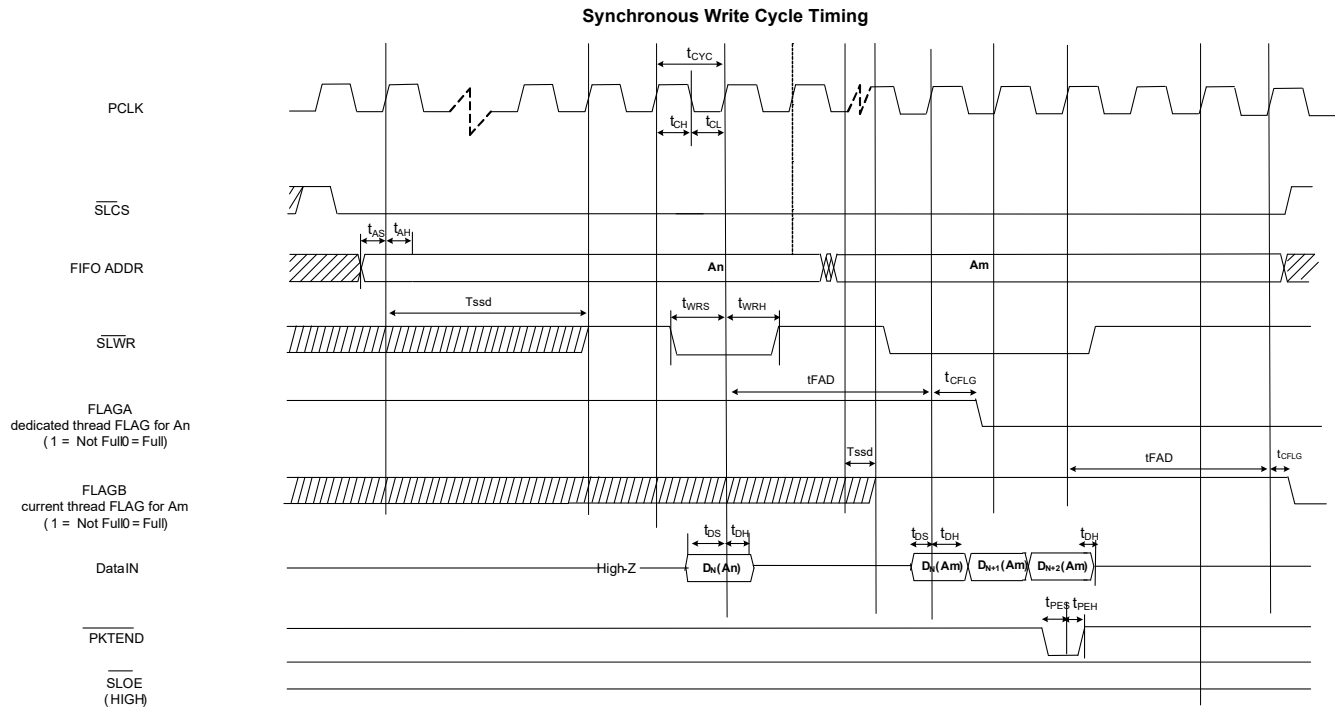
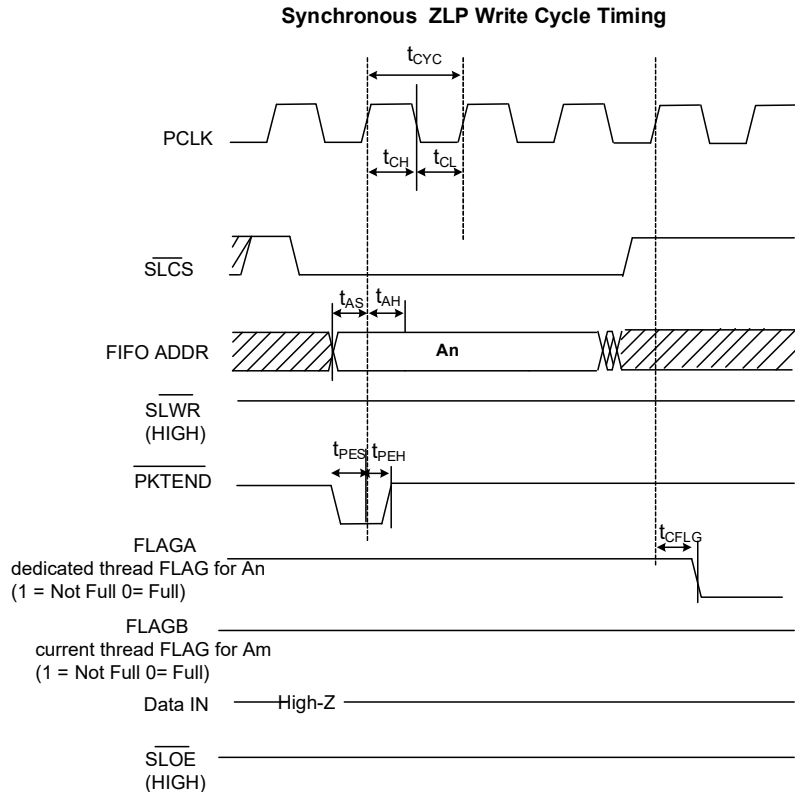
图 11. 同步从设备 FIFO 写入模式

图 12. 同步从设备 FIFO ZLP 写周期时序




表 12. 同步从设备 FIFO 参数^[4]

参数	说明	最小值	最大值	单位
FREQ	接口时钟频率	–	100	MHz
t _{CYC}	时钟周期	10	–	ns
t _{CH}	时钟高电平时间	4	–	ns
t _{CL}	时钟低电平时间	4	–	ns
t _{RDS}	SLRD# 到 CLK 的建立时间	2	–	ns
t _{RDH}	SLRD# 到 CLK 保持的时间	0.5	–	ns
t _{WRS}	SLWR# 到 CLK 的建立时间	2	–	ns
t _{WRH}	SLWR# 到 CLK 保持的时间	0.5	–	ns
t _{CO}	时钟到数据有效的的时间	–	7	ns
t _{DS}	数据输入的建立时间	2	–	ns
t _{DH}	CLK 到数据输入保持的时间	0.5	–	ns
t _{AS}	地址到 CLK 的建立时间	2	–	ns
t _{AH}	CLK 到地址的地址保持时间	0.5	–	ns
t _{OELZ}	SLOE# 到数据为低阻态的时间	0	–	ns
t _{CFLG}	CLK 到标志输出的传输延迟	–	8	ns
t _{OEZ}	SLOE# 取消激活到数据为高阻态的时间	–	8	ns
t _{PES}	PKTEND# 到 CLK 的建立时间	2	–	ns
t _{PEH}	CLK 到 PKTEND# 保持的时间	0.5	–	ns
t _{CDH}	CLK 到数据输出保持的时间	2	–	ns
t _{SSD}	套接字切换延迟	2	68	时钟周期
t _{ACCD}	SLRD# 到数据的延迟	2	2	时钟周期
t _{FAD}	SLWR# 到 FLAG 的延迟	3	3	时钟周期

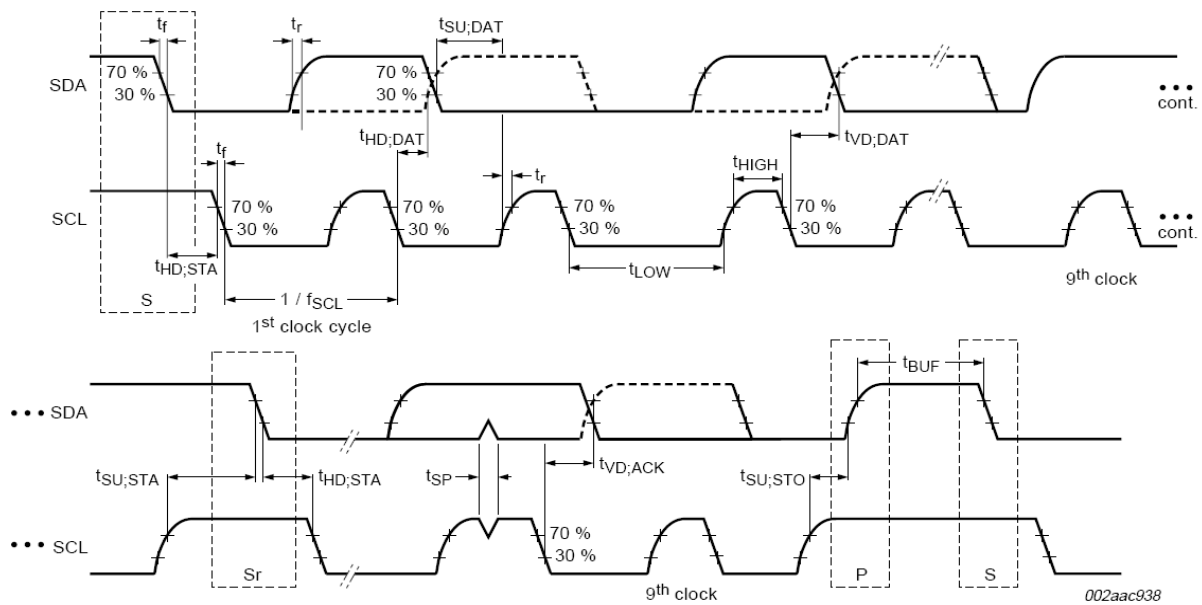
注释

4. 从 ADDR 到 DATA/FLAG 的三个周期延迟。

串行外设时序

I²C 时序

图 13. I²C 时序定义



002aac938

表 13. I²C 时序参数

参数	说明	最小值	最大值	单位
I²C 标准模式参数				
f _{SCL}	SCL 时钟频率	0	100	kHz
t _{HD:STA}	启动条件的保持时间	4	–	μs
t _{LOW}	SCL 的低电平周期	4.7	–	μs
t _{HIGH}	SCL 的高电平周期	4	–	μs
t _{SU:STA}	重复 START 事件的建立时间	4.7	–	μs
t _{HD:DAT}	数据保持时间	0	–	μs
t _{SU:DAT}	数据建立时间	250	–	ns
t _r	SDA 和 SCL 信号的上升时间	–	1000	ns
t _f	SDA 和 SCL 信号的下降时间	–	300	ns
t _{SU:STO}	停止条件的建立时间	4	–	μs
t _{BUF}	STOP 和 START 事件之间的总线空闲时间	4.7	–	μs
t _{VD:DAT}	数据有效时间	–	3.45	μs
t _{VD:ACK}	数据有效 ACK 时间	–	3.45	μs
t _{SP}	需要由输入滤波器抑制的尖峰脉冲宽度	不适用	不适用	
I²C 快速模式参数				
f _{SCL}	SCL 时钟频率	0	400	kHz
t _{HD:STA}	启动条件的保持时间	0.6	–	μs
t _{LOW}	SCL 的低电平周期	1.3	–	μs
t _{HIGH}	SCL 的高电平周期	0.6	–	μs

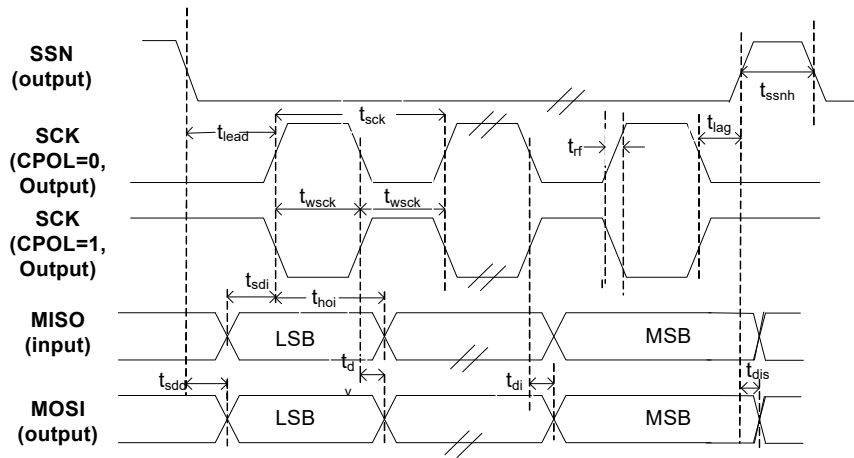


表 13. I²C 时序参数 (续)

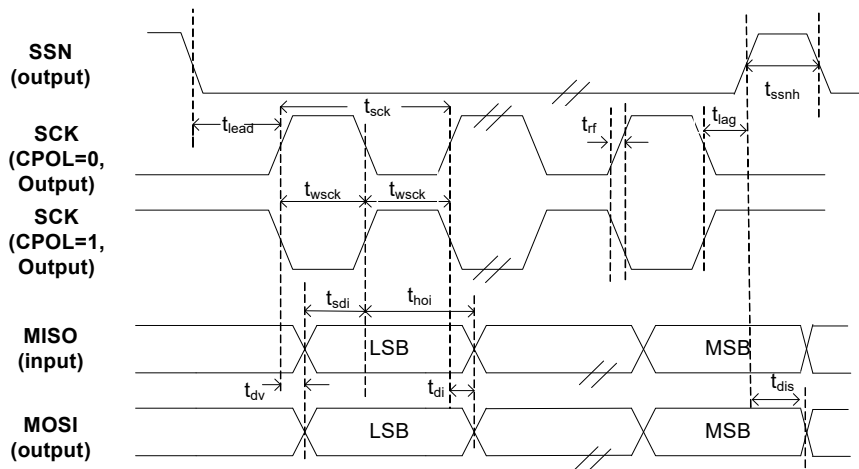
参数	说明	最小值	最大值	单位
t _{SU:STA}	重复 START 事件的建立时间	0.6	–	μs
t _{HD:DAT}	数据保持时间	0	–	μs
t _{SU:DAT}	数据建立时间	100	–	ns
t _r	SDA 和 SCL 信号的上升时间	–	300	ns
t _f	SDA 和 SCL 信号的下降时间	–	300	ns
t _{SU:STO}	停止条件的建立时间	0.6	–	μs
t _{BUF}	STOP 和 START 事件之间的总线空闲时间	1.3	–	μs
t _{VD:DAT}	数据有效时间	–	0.9	μs
t _{VD:ACK}	数据有效 ACK 时间	–	0.9	μs
t _{SP}	需要由输入滤波器抑制的尖峰脉冲宽度	0	50	ns
I²C 增强型快速模式参数 (I2C_VDDQ = 1.2 V 时不支持该参数)				
f _{SCL}	SCL 时钟频率	0	1000	kHz
t _{HD:STA}	启动条件的保持时间	0.26	–	μs
t _{LOW}	SCL 的低电平周期	0.5	–	μs
t _{HIGH}	SCL 的高电平周期	0.26	–	μs
t _{SU:STA}	重复 START 事件的建立时间	0.26	–	μs
t _{HD:DAT}	数据保持时间	0	–	μs
t _{SU:DAT}	数据建立时间	50	–	ns
t _r	SDA 和 SCL 信号的上升时间	–	120	ns
t _f	SDA 和 SCL 信号的下降时间	–	120	ns
t _{SU:STO}	停止条件的建立时间	0.26	–	μs
t _{BUF}	停止和启动条件之间的总线空闲时间	0.5	–	μs
t _{VD:DAT}	数据有效时间	–	0.45	μs
t _{VD:ACK}	数据有效 ACK 时间	–	0.55	μs
t _{SP}	需要由输入滤波器抑制的尖峰脉冲宽度	0	50	ns

SPI 时序规范

图 14. SPI 时序



SPI Master Timing for CPHA = 0



SPI Master Timing for CPHA = 1



表 14. SPI 时序参数

参数	说明	最小值	最大值	单位
f_{op}	工作频率	0	33	MHz
t_{sck}	周期时间	30	–	ns
t_{wsck}	时钟为高 / 低电平的时间	13.5	–	ns
t_{lead}	SSN-SCK 前置时间	$1/2 t_{sck}^{[5]}-5$	$1.5 t_{sck}^{[5]}+5$	ns
t_{lag}	使能延迟时间	0.5	$1.5 t_{sck}^{[5]}+5$	ns
t_{rf}	上升 / 下降时间	–	8	ns
t_{sdd}	输出 SSN 到数据有效的延迟时间	–	5	ns
t_{dv}	输出数据有效的的时间	–	5	ns
t_{di}	输出数据无效的时间	0	–	ns
t_{ssnh}	SSN 为高电平的最短时间	10	–	ns
t_{sdi}	数据建立时间输入	8	–	ns
t_{hoi}	数据保持时间输入	0	–	ns
t_{dis}	SSN 为高电平时禁用数据输出的时间	0	–	ns

注释

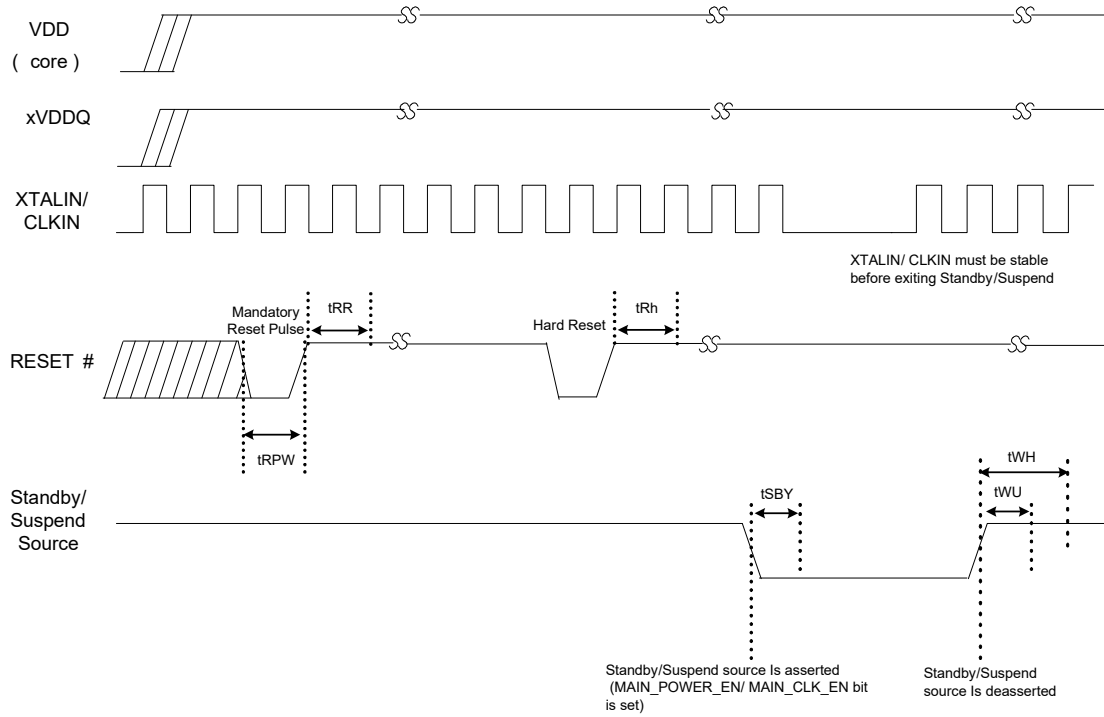
5. 取决于 SPI_CONFIG 寄存器中的 LAG 和 LEAD 设置。

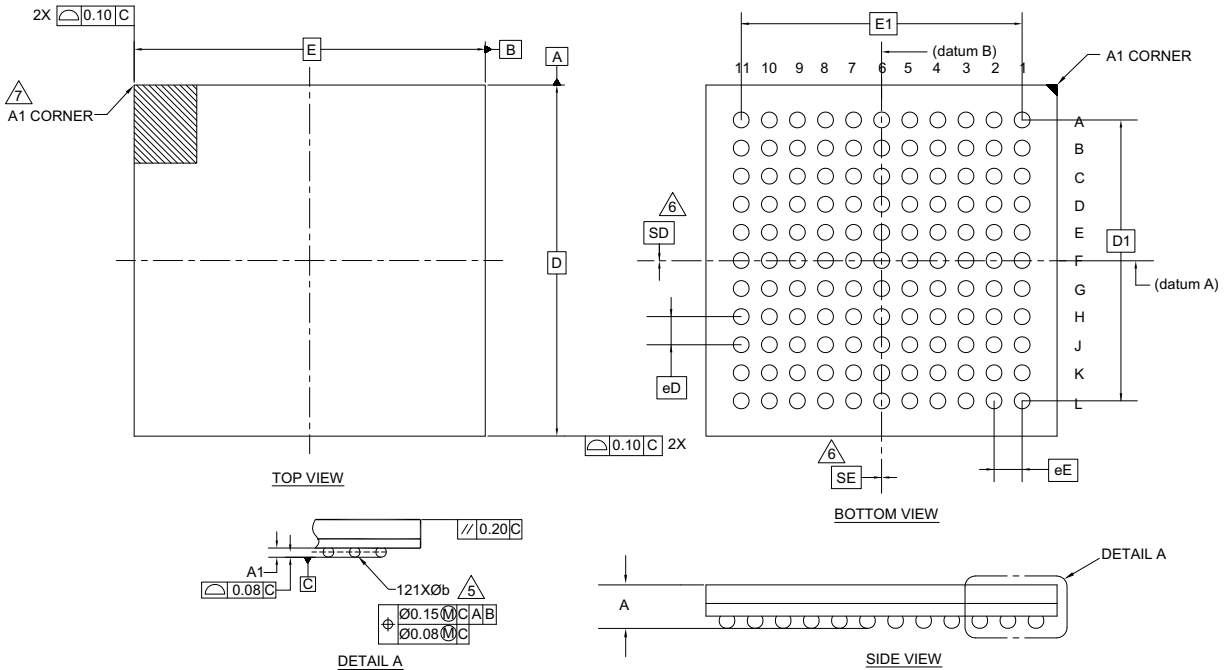
复位序列

本节中详细介绍了 SX3 的硬复位序列的要求。

表 15. 复位和待机时序参数

参数	定义	条件	最小值 (ms)	最大值 (ms)
t_{RPW}	RESET# 脉冲宽度的最短时间	时钟输入	1	–
		晶振输入	1	–
t_{RH}	RESET# 为高电平的最短时间	–	5	–
t_{RR}	复位恢复时间 (在此之后 Bootloader 开始下载固件)	时钟输入	1	–
		晶振输入	5	–
t_{SBY}	进入待机 / 暂停模式的时间 (自 MAIN_CLOCK_EN/MAIN_POWER_EN 位被设置起)	–	–	1
t_{WU}	从待机模式唤醒的时间	时钟输入	1	–
		晶振输入	5	–
t_{WH}	可能重新激活待机 / 暂停资源前的最短时间	–	5	–

图 15. 复位序列


封装图
图 16. 121-BGA 封装图

NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
3. "e" REPRESENTS THE SOLDER BALL GRID PITCH.
4. SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
5. DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
6. "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
7. A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
8. "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.

SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.20
A1	0.15	-	-
D	10.00 BSC		
E	10.00 BSC		
D1	8.00 BSC		
E1	8.00 BSC		
MD	11		
ME	11		
N	121		
ϕb	0.25	0.30	0.35
eD	0.80 BSC		
eE	0.80 BSC		
SD	0.00		
SE	0.00		

001-54471 *F

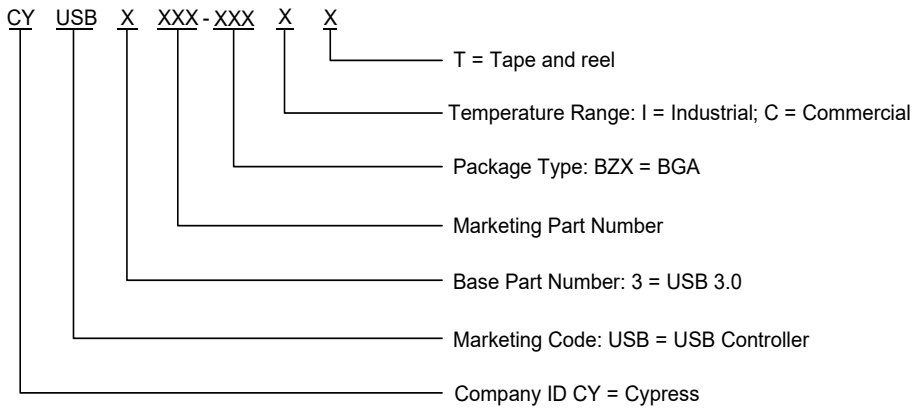


订购信息

表 16. 订购信息

订购代码	USB	SRAM	数据总线宽度	USB 协议支持	工作温度	封装类型
CYUSB3015-BZXCT	USB 3.0	512 KB	16 位	USB 供应商类	0 °C~+70 °C	121-BGA
CYUSB3015-BZXCI	USB 3.0	512 KB	16 位	USB 供应商类	-40°C ~ +85°C	121-BGA
CYUSB3016-BZXCT	USB 3.0	512 KB	32 位	USB 供应商类	0 °C~+70 °C	121-BGA
CYUSB3016-BZXCI	USB 3.0	512 KB	32 位	USB 供应商类	-40°C ~ +85°C	121-BGA
CYUSB3017-BZXCT	USB 3.0	512 KB	32 位	USB 视频类 (UVC)	0 °C~+70 °C	121-BGA
CYUSB3017-BZXCI	USB 3.0	512 KB	32 位	USB 视频类 (UVC)	-40°C ~ +85°C	121-BGA

订购代码定义





缩略语

表 17. 本文中使用的首字母缩略词

缩略语	说明
DMA	直接存储器访问
ESD	静电放电
FIFO	先入先出
GPIO™	通用可编程接口
HBM	人体模型
HNP	主机协商协议
I2C	内部集成电路
ISP	图像信号处理器
MISO	主入从出
MOSI	主出从入
MMC	多媒体卡
MSC	大容量存储类
MTP	媒体传输协议
OTG	On-The-Go
OVP	过压保护
PHY	物理层
PLL	锁相环
PMIC	电源管理 IC
PVT	过程电压温度
RTOS	实时操作系统
SCL	串行时钟线
SCLK	串行时钟
SD	安全数字
SD	安全数字
SDA	串行数据时钟
SDI	串行数据接口
SDIO	安全数字输入 / 输出
SLC	单层单元
SLCS	从设备芯片选择
SLOE	从设备输出使能
SLRD	从设备读取
SLWR	从设备写入
SPI	串行外设接口
SRP	会话请求协议
SSN	SPI 从设备选择 (低电平有效)
TOF	飞时测距
UAC	USB 音频类
UVC	USB 视频类

表 17. 本文中使用的首字母缩略词

缩略语	说明
USB	通用串行总线
ZLP	零长度数据包

文档规范

测量单位

表 18. 测量单位

符号	测量单位
°C	摄氏度
µA	微安
µs	微秒
mA	毫安
Mbps	每秒兆比特
MBps	每秒兆字节
MHz	兆赫兹
ms	毫秒
ns	纳秒
Ω	欧姆
pF	皮法
V	伏特



勘误表

本节介绍的是 SX3 版本 D 的勘误表。具体内容包括勘误触发条件、影响范围、可用解决方案和芯片版本的适用性。若有任何问题，请联系您当地赛普拉斯销售代表。

受影响的器件编号

器件编号	器件特性
CYUSB301x-xxxx	所有形式

合格状态

产品状态：量产中

勘误表汇总

下表定义了可用 EZ-USB™ SX3 可配置的超高速 USB 控制器器件系列版本 D 的勘误表适用性。

项目	器件编号	芯片版本	修复状态
1. 在正常、暂停和待机模式下关闭 VIO1 时，SX3 将停止工作。	CYUSB301x-xxxx	版本 D	已提供的解决方案
2. 当 SX3 自供电时，在 USB 启动模式下发生 USB 枚举故障。	CYUSB301x-xxxx	版本 D	已提供的解决方案
3. 当在 I2C 多主设备配置中将 I2C 模块作为一个主设备使用时，将发生总线冲突情况。	CYUSB301x-xxxx	版本 D	在单主设备配置中使用 SX3
4. 在频率为 400 kHz、占空比为 40/60 的条件下，违反了 I2C 数据有效时间 (tVD:DAT) 规范。	CYUSB301x-xxxx	版本 D	无需解决方案

1. 在正常、暂停和待机模式下关闭 VIO1 时，SX3 将停止工作。	
问题定义	在正常、暂停和待机模式下关闭 VIO1 时，SX3 将停止工作。
受影响的参数	不适用
(各) 触发条件	在正常、暂停和待机模式下关闭 VIO1 时，该条件将被触发。
影响范围	SX3 将停止工作。
解决方案	在正常、暂停和待机模式下，必须保持 VIO1 开启状态。
修复状态	无修复。需要解决方案。

2. 当 SX3 自供电时，在 USB 启动模式下发生 USB 枚举故障。	
问题定义	当 SX3 自供电并且没有与 USB 主机连接时，它将进入低功耗模式。然后，在与 USB 主机连接时，该器件没有被唤醒。其原因是因为 Bootloader 没有通过检查连接器上的 VBUS 引脚来检测 USB 的连接情况。它预期在通电时，USB 总线将被连接到 USB 主机。
受影响的参数	不适用
(各) 触发条件	当 SX3 在 USB 启动模式下进行自供电时，该条件将被触发。
影响范围	器件没有进行枚举
解决方案	连接到 USB 主机后，对该器件进行复位。
修复状态	无修复。需要解决方案。



3. 当在 I ² C 多主设备配置中将 I ² C 模块作为一个主设备使用时，将发生总线冲突情况。	
问题定义	当在 I ² C 多主设备配置中将 SX3 作为一个主设备使用时，偶尔可能会发生总线冲突情况。
受影响的参数	不适用
(各) 触发条件	只有 SX3 的 I ² C 模块在多主设备配置中运行时，该条件才被触发。
影响范围	SX3 I ² C 模块可能在 I ² C 总线为非空闲的状态下发送数据，从而导致总线冲突。
解决方案	将 SX3 作为一个单主设备使用。
修复状态	无修复。

4. 在频率为 400 kHz、占空比为 40/60 的条件下，违反了 I ² C 数据有效时间 (t _{VD:DAT}) 规范。	
问题定义	在频率为 400 kHz、占空比为 40/60 的条件下，I ² C 数据有效 (t _{VD:DAT}) 参数为 1.0625 μs。该数值超过了 I ² C 规范中规定的 0.9 μs 限制。
受影响的参数	不适用
(各) 触发条件	只有在 I ² C 时钟频率为 400 kHz、占空比为 40/60 的条件下，才会发生该违规情况。
影响范围	由于以 400 kHz 的频率发送数据时，数据的建立时间 (t _{SUDAT}) 仍然满足宽广的容限，因此 t _{VD:DAT} 违规情况不会对数据完整性产生任何影响。
解决方案	无需解决方案。
修复状态	无需修复。



文档修订记录

文档标题：CYUSB3015 / CYUSB3016 / CYUSB3017、EZ-USB™ SX3: 可配置的超高速 USB 控制器			
文档编号：002-30704			
版本	ECN	提交日期	更改说明
**	7741702	03/30/2022	翻译自：002-30704 Rev. *C