

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

512M ビット (64M バイト)、256M ビット (32M バイト)、
128M ビット (16M バイト) 1.8V/3.0V HyperFlash™ ファミリ

特長

- 3.0V I/O、11本のバス信号
 - シングルエンド クロック
- 1.8V I/O、12本のバス信号
 - 差動クロック (CK、CK#)
- チップ セレクト (CS#)
- 8ビット データ バス (DQ[7:0])
- 読み書きデータ ストローブ (RWDS)
 - HyperFlash™ メモリは RWDS を読み出しデータ ストローブのみとして使用する。
- 最大 333MBps の持続される読み出しスループット
- DDR - クロック サイクルごとに 2 回のデータ転送
- V_{CC} が 1.8V の時、166MHz クロック レート (333MBps)
- V_{CC} が 3.0V の時、100MHz のクロック レート (200MBps)
- 96ns の初期ランダム読み出しアクセス時間
 - 初期ランダム アクセス レイテンシ: 5 ~ 16 クロック サイクル
- シーケンシャル バースト トランザクション
- 設定可能なバースト特性
 - ラップされるバースト長:
 - 16 バイト (8 クロック)
 - 32 バイト (16 クロック)
 - 64 バイト (32 クロック)
 - リニア バースト
 - ハイブリッド オプション: 1 つのラップ バーストの後にリニア バーストが続く
 - 各トランザクションでラップ バーストまたはリニア バーストのデータ転送方式を選択可能
 - 設定可能な出力駆動能力
- 低消費電力モード
 - 読み出し時のアクティブ クロック停止: 12mA、ウェイクアップが不要
 - スタンバイ: 25μA (typ)、ウェイクアップが不要
 - ディープ パワーダウン: 8μA (typ)
 - 300μs のウェイクアップが必要
- 外部割込みを生成するための INT# 出力
 - ビジーからレディーへの遷移
 - ECC 検出
- システム レベルのパワーオン リセットを生成するための RSTO# 出力
 - ユーザー構成可能な RSTO#LOW 周期
- 512 バイトのプログラム バッファ
- セクタ消去
 - ユニフォーム 256KB セクタ
 - オプションの 8 つの 4KB パラメーター セクタ (合計 32KB)
- 先進的セクタ保護
 - セクタごとの揮発性および不揮発性の保護方式
- 個別の 1024 バイトで 1 回プログラム アレイ
- 動作温度
 - 産業機器用温度範囲 (-40°C ~ +85°C)
 - 産業機器用プラス (-40°C ~ +105°C)
 - 拡張された温度範囲 (-40°C ~ +125°C)
 - 車載用温度範囲、AEC-Q100 グレード 3 (-40°C ~ +85°C)
 - 車載用温度範囲、AEC-Q100 グレード 2 (-40°C ~ +105°C)
 - 車載用温度範囲、AEC-Q100 グレード 1 (-40°C ~ +125°C)
- ISO/TS16949 および AEC Q100 準拠
- アクセス可能回数
 - 10 万プログラム/消去サイクル
- 保持
 - 20 年のデータ保持期間
- 消去およびプログラム時の電流
 - 最高ピーク ≤ 100mA
- パッケージ オプション
 - 24 ボール FBGA
- 追加機能
 - ECC 1 ビット訂正、2 ビット検出
 - CRC

性能概要

読み出しアクセスのタイミング	
1.8V V_{CC}/V_{CCQ} での最大クロック レート	166MHz
3.0V V_{CC}/V_{CCQ} での最大クロック レート	100MHz
最大アクセス時間 (t_{ACC})	96ns
166MHz での最初のワードまでの最大 CS# アクセス時間	118ns

標準的な書き込み/消去時間	
シングル ワード プログラム (2B = 16b)	500 μ s (~ 4KBps)
書き込みバッファ プログラム (512B = 4096b)	475 μ s (~ 1MBps)
セクタ消去時間 (256KB = 2Mb)	930ms (~ 282KBps)

標準的な消費電力	
バースト読み出し (166MHz での連続読み出し)	80mA
パワーオン リセット	80mA
セクタ消去電流	60mA
書き込みバッファ プログラム電流	60mA
スタンバイ (CS# = HIGH)	25 μ A
ディープ パワー ダウン (CS# = HIGH、85°C)	30 μ A (512Mb)
	4 μ A (他のすべてのメモリ容量)

目次

1. 概要	4	9. データ整合性	76
1.1 DDR Center Aligned Read Strobe 機能 (DCARS).....	6	9.1 アクセス可能回数.....	76
1.2 エラー検出および訂正機能.....	6	9.2 データ保持.....	76
2. 接続図	9	ハードウェア インターフェース	
2.1 FBGA 24 ポール 5x5 アレイのフットプリント.....	9	10. 電氣的仕様	77
3. 信号の説明	10	10.1 絶対最大定格.....	77
4. HyperBus プロトコル	11	10.2 熱インピーダンス.....	78
4.1 コマンド/アドレス ビットの割り当て.....	11	10.3 ラッチアップ特性.....	78
4.2 読み出し動作.....	12	10.4 動作範囲.....	78
4.3 DCARS タイミングでの HyperFlash 読み出し.....	15	10.5 DC 特性 (CMOS 互換性).....	79
4.4 書き込み動作.....	16	10.6 電源投入時および電源切断時.....	81
5. アドレス空間マップ	18	10.7 ハードウェアデータ保護による電源オフ.....	86
5.1 フラッシュ メモリ アレイ.....	19	10.8 省電力モード.....	86
5.2 デバイス ID と CFI (ID-CFI) ASO.....	21	11. タイミング仕様	88
6. 組込み動作	23	11.1 AC テスト条件.....	88
6.1 組込みアルゴリズム コントローラー (EAC).....	23	11.2 AC 特性.....	89
6.2 プログラムと消去の要約.....	24	12. 組込みアルゴリズムのパフォーマンス	94
6.3 データ保護.....	53	13. 注文情報	95
7. デバイス ID と共通フラッシュインターフェース (ID-CFI) の ASO マップ	63	13.1 注文製品番号.....	95
7.1 デバイス ID と共通フラッシュインターフェース (ID-CFI) の ASO マップ — 標準.....	63	13.2 有効な組合せ — 標準.....	96
7.2 デバイス ID と共通フラッシュインターフェース (ID-CFI) の ASO マップ — 車載グレード / AEC-Q100.....	68	13.3 有効な組合せ — 車載用グレード / AEC-Q100.....	98
8. ソフトウェアインターフェース参考資料	69	14. 物理インターフェース	100
8.1 コマンドのまとめ.....	69	14.1 物理図.....	100
		改訂履歴	101
		セールス、ソリューションおよび法律情報	102

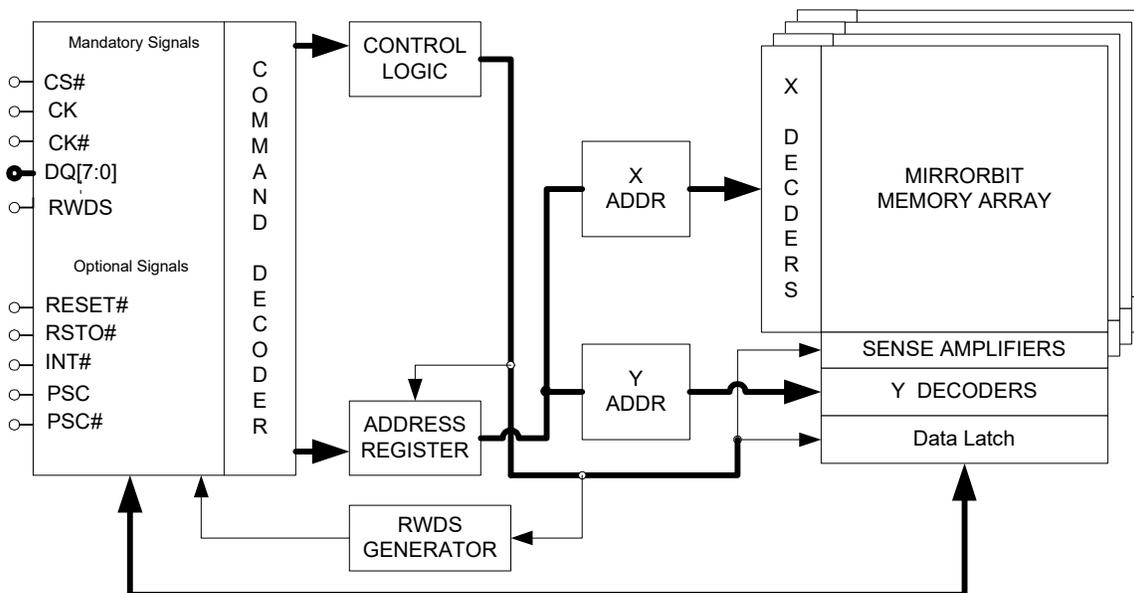
1 概要

Cypress HyperFlash 製品ファミリは、HyperBus 少信号数 DDR (ダブル データ レート) インターフェースを利用して高速読み出しスループットを取得する高速 CMOS、MirrorBit® NOR フラッシュ デバイスです。DDR 方式により、クロック サイクルごとに 2 個のデータ バイトがデータ信号 (DQ) 上に転送されます。HyperFlash の読み書きトランザクションは、内部 HyperRAM コア内の一連の 16 ビット幅で 1 クロック サイクルのデータ転送です。それぞれの転送は DQ 信号上の 2 つの対応する 8 ビット幅で 0.5 クロック サイクルのデータ転送からなります。

データとコマンド/アドレス情報の両方は 8 ビットのデータ バスを介して DDR 方式で転送されます。クロック入力信号は、DQ 信号からコマンド/アドレス/データ情報を受信する際に、信号取り込みのために HyperFlash デバイスにより使用されます。読み書きデータ ストローブ (RWDS) は HyperFlash デバイスからの出力信号で、データがメモリからホストに転送される時点を示します。RWDS は、読み出し動作のデータ転送中に CK の立ち上りと立ち下りエッジを基準にしています。コマンド/アドレス/書き込みデータの値はクロック エッジの中央に揃えますが、読み出しデータの値は RWDS 遷移のエッジに揃えます。

HyperFlash デバイスに対する読み出し/書き込み動作はバースト指向です。読み出しトランザクションはラップ バーストかリニア バースト方式で行えるように設定できます。ラップ動作中に、アクセスは選択したアドレスから開始して、設定した値までグループ ラップ シーケンス内の位置にアクセスし続けます。リニア動作中に、アクセスは選択した位置から開始して、読み出し動作が終了する (CS# が HIGH に戻る) まで逐次的に続きます。書き込みトランザクションは 1 つかそれ以上の 16 ビット値を転送します。

図 1. ロジックブロックダイアグラム



HyperFlash ファミリは多種のメモリ容量を持っており 1.8V か 3.0V のコアと I/O を備えた不揮発性同期フラッシュ メモリ デバイスを含んでいます。これらのデバイスは 1 個の 8 ビット (1 バイト) 幅 DDR データ バスをもち、ワード幅 (16 ビット データ) のアドレス境界のみを使用します。読み出し動作はクロック サイクルごとに 16 ビット (クロック エッジごとに 8 ビット) のデータを提供します。書き込み動作はクロック サイクルごとに 16 ビット (クロック エッジごとに 8 ビット) のデータを使用します。

各ランダム読み出しはページ (長さ 32 バイトにアラインされるデータ セット) にアクセスします。各ページは 1 対の半ページ (長さ 16 バイトにアラインされるデータ アレイのグループ) から構成されます。半ページは 16 バイト アドレス境界にアラインされます。読み出しアクセスは、対象の半ページ アドレスとバースト種類を定義するために 2 クロック サイクルを要し、かつ追加初期レイテンシを要します。初期レイテンシ期間中の 3 番目のクロック サイクルでは対象の半ページの開始アドレスが指定されます。初期データ値が出力された後、後続のクロック サイクルで追加のデータはラップ バーストかリニア バースト方式に従ってページから読み出されます。リニア バースト モードに設定した場合、ページがバースト出力されている間にデバイスは自動的に MirrorBit フラッシュ メモリ アレイから次の連続ページをフェッチします。アレイからのフェッチが進行中に同時にバースト出力すると、連続リニア バースト動作が実行可能になり、333MBps の持続データ出力を実現できます [1 バイト (8 ビット データ バス) * 2 (両クロック エッジのデータ) * 166MHz = 333MBps]。

表 1. S26KS および S26KL アドレス マップ

種類	カウント	アドレス	注
半ページのワード アドレス (16 バイト)	8 (ワード アドレス)	A2 – A0	16 バイト
書き込みバッファ ライン内のワード アドレス (512 バイト)	256 (ワード アドレス)	A7 – A0	512 バイト
消去セクタ (256KB) 内の半ページ (16 バイト)	8192 (半ページ)	A16 – A3	
消去セクタ (256KB) 内の書き込みバッファ ライン (512 バイト)	512 (ライン)	A16 – A8	
消去セクタ (256KB) の合計	256 (512Mb) 128 (256Mb) 64 (128Mb)	Amax – A17	

デバイス制御回路は、ホスト インターフェース コントローラー (HIC) と組み込みアルゴリズム コントローラー (EAC) の 2 つの並行する動作に分かれています。HIC は必要に応じてデバイス入力とデバイス出力の信号レベルを監視し、ホストシステム (HyperFlash マスタ) とのデータ読み出しと書き込み転送を完了します。HIC は読み出し転送で、現在入力されたアドレス マップからデータを出力します。書き込み転送アドレスとデータ情報を EAC コマンド メモリに配置します。電源遷移と書き込み転送を EAC に通知します。EAC は、コマンド メモリを参照して、適切なコマンド シーケンスが発行されたかチェックした後、組み込みアルゴリズムを実行します。

メモリアレイ内の不揮発性データの書換えには、自動アルゴリズム (EA) と呼ばれる複雑な動作シーケンスを必要とします。アルゴリズムは内部の EAC によって完全に管理されています。主要なアルゴリズムは、メイン アレイ データのプログラミングと消去を実行します。ホスト システムはフラッシュ デバイスのアドレス空間にコマンド コードを書き込みます。EAC はコマンドを受け取り、コマンドを完了するために必要なすべてのステップを実行し、EA の進行中にステータス情報を提供します。

各メモリ ビットの消去済み状態はロジック「1」です。プログラムによりロジック "1" (HIGH) からロジック「0」(LOW) に変更します。「0」から「1」への変更を実行できるのは消去動作のみです。消去動作は、セクタと呼ばれる 256KB (パラメーター セクタなら 4KB) にアラインされたデータ グループ全体に対して実行します。Cypress から出荷時は、すべてのセクタは消去されています。

プログラミングは 512 バイトの書き込みバッファを介して行われます。プログラミング動作を開始する前に、書き込みバッファに 1 ~ 256 ワードを書き込みます。フラッシュ メモリ アレイ内では、512 バイト整列のデータ グループはラインと呼ばれます。プログラム動作は揮発性書き込みバッファから不揮発性メモリ アレイのラインにデータを転送します。この動作は書き込みバッファプログラミングと呼ばれます。

書き込みバッファは、リセット後または書き込みバッファを使用した任意の動作完了後、「1」にセットされます。バッファ書き込みコマンドによって「0」が書き込まれていない位置は、デフォルトの「1」の値のまま埋められています。書き込みバッファ内の「1」は、プログラミング動作中にメモリ アレイのデータには影響しません。

HyperBus 専用の必須信号 (CS#, CK, CK#, DQ[7:0], RWDS) に加え、このデバイスには追加信号 (RESET#, INT#, RSTO#, および Phase Shifted クロック PSC/PSC#) も含まれています。

RESET# 信号は LOW から HIGH に遷移すると、デバイスは内部のパワーオン リセット (POR) 後のデフォルト状態に戻ります。

INT# 出力信号は、プログラム動作か消去動作の終了時に HyperFlash がビジーからレディーの状態に遷移した時点を示すために HyperFlash マスタに割り込みを提供できます。

RSTO# はデバイス内で POR が発生している時点を示すオープンドレイン出力であり、システム レベルのリセット信号として使用できます。内部 POR の完了後、ユーザにより定義されたタイムアウト期間が経過した後 RSTO# 信号は LOW インピーダンスから HIGH インピーダンスに遷移します。HIGH インピーダンス状態に遷移した後、外部プルアップ抵抗により RSTO# 信号は HIGH レベルに引っ張られて、デバイスは瞬時に Standby 状態になります。

PSC/PSC#は、CK/CK#の代わりにRWDSエッジの基準として使用されるPhase Shifted Clock入力です。詳細については、6ページの「1.1 DDR Center Aligned Read Strobe機能 (DCARS)」を参照してください。

1.1 DDR Center Aligned Read Strobe機能 (DCARS)

HyperFlashメモリは、読み出しデータ出力に対するRWDS信号の独立したスキュー (位相シフト) を可能にする構成可能な機能を提供します。

DDR Center Aligned Read Strobe (DCARS) 機能が有効な場合、CK/CK#の代わりに2番目の差動位相シフトクロック入力PSC/PSC#がRWDSエッジの基準として使用されます。通常、2番目のクロックは90°位相シフトされたCK/CK#のコピーであり、RWDSエッジをDQ信号の有効なデータウィンドウ内の中央に配置します。ただし、CK/CK#とPSC/PSC#の間の他の位相シフトを使用して、DQ信号の有効なデータウィンドウ内のRWDSエッジの位置を最適化し、RWDSが必要な量のデータセットアップとRWDSエッジに関する保持時間を提供できるようにします。

PSC/PSC#は、書き込みトランザクション中には使用されません。PSCとPSC#は、それぞれLOWとHIGHで駆動されるか、書き込みトランザクション中に両方ともLOWで駆動されます。

1.2 エラー検出および訂正機能

1.2.1 エラー訂正コード

HyperFlashメモリは、フラッシュメモリアレイプログラミング中に組込みハミングエラー修正コード (ECC) を生成し、読み出し中にエラーを検出および修正します。

書き込みバッファにロードされた16バイトに揃えられたデータの各ハーフページが512バイトのフラッシュメモリアレイラインに転送されると、各ハーフページECCユニットのエラー修正コード (ECC) もホストシステムソフトウェアからは見えないメモリアレイの部分にプログラムされます。

ECC情報は、各ハーフページフラッシュアレイの読み出し操作中にチェックされます。ハーフページ内の1ビットエラーは、各ハーフページのアクセス中にECCロジックによって修正されます。

各ハーフページのECC情報は、各ハーフページを含むセクタの各消去後に1回書き込みます。同じハーフページ内で複数回プログラミングすると、そのハーフページ内でエラーの検出と修正が無効になります。

ハーフページで2回以上のワードプログラムと書き込みバッファプログラムはレガシーソフトウェア互換性に対応しています。ただし、最高のデータ整合性を得るために、ワードプログラミングまたは書き込みバッファプログラミングを使用して、ハーフページ内で複数回プログラミングしないことを推奨します。消去せずに同じハーフページに複数の書き込みを行うと、ECCシンドロームが無効になるため、ECC機能が無効になります。同じハーフページ内で複数のプログラミング操作を必要とするアプリケーションの場合、システムソフトウェアのエラー検出と修正を追加して、複数回プログラミングされるハーフページのデータ整合性をより確実にすることを推奨します。

2ビットのエラー検出を有効にできるモードがあります。このモードを有効にすると、ハーフページの1ビットエラーが修正され、2ビットエラーが検出されて報告されます。このモードでは、消去後に同じハーフページに複数回書き込む機能は無効になります。このモードでは、同じハーフページで複数回プログラムしようとする、プログラミング操作の失敗ステータスになります。

ECCエラーは、ECCステータスレジスタの読み出し、割込みの有効化、または修正不可能なエラーが発生した場合のRWDSの停止を有効にして、データをHyperBusマスターに転送する前にバスエラーを作成することで検出できます。

ECCエラーのアドレス位置をキャプチャするためのレジスタが提供されています。

ECC修正または修正不可能なエラーをカウントするためのカウンタが提供されています。

1.2.2 巡回冗長検査

ユーザー定義のアドレス範囲でハードウェアアクセラレーションCRC計算を実行するためのコマンドグループが用意されています。計算はプログラムや消去と同じような組込み動作のもう一つのタイプであり、計算実行中はデバイスがビジーになります。CRC操作は、最大32ビットのエラービットグループを検出できる32ビット多項式を使用します。

コマンドを使用して、CRC Address Space Overlay (ASO) を入力し、CRC計算を開始するために必要なアドレス範囲をロードします。CRC ASOに入力されている間、CRC操作のステータスがチェックされ、メモリアレイからの読み出しが一時停止され、再開され、結果のチェック値が読み取られます。詳細については、18ページの「5 アドレス空間マップ」を参照してください。

1.2.2.1 CRC Check-Valueの計算

Check-value計算コマンドシーケンスにより、デバイスはユーザー定義のアドレス範囲でCRC計算を実行します。CRCの計算は、[図2](#)で説明されている多項式で実現されます。

CRC ASOを入力すると、Check-value生成シーケンスが開始されます。次のステップは、CRC計算でカバーされるアドレス範囲の開始を識別する開始アドレスをCRC Start Addressレジスタにロードすることです。次に、終了アドレスがCRC End Addressレジスタにロードされ、このステップでCRC計算が開始されます。CRCプロセスは、開始アドレスから終了アドレスまでに含まれるデータのCheck-valueを計算します。

計算期間中、デバイスはBusy状態 (SR[7] = 0) になります。Check-valueの計算が完了すると、デバイスはReady状態 (SR[7] = 1) に戻り、計算されたCheck-valueはCheck-value Low ResultレジスタとCheck-value High Resultレジスタで利用可能になります。Check-value Low ResultレジスタにはCheck-valueビット0~15が含まれ、デバイスがCRC ASOにある間にアドレス0から読み出せます。Check-value High Resultレジスタにはビット16~31が含まれ、デバイスがCRC ASOにある間、アドレス1 から読み出せます。CRC計算プロセスが開始されると、Check-value Low ResultレジスタとCheck-value High Resultレジスタに0 がロードされます。

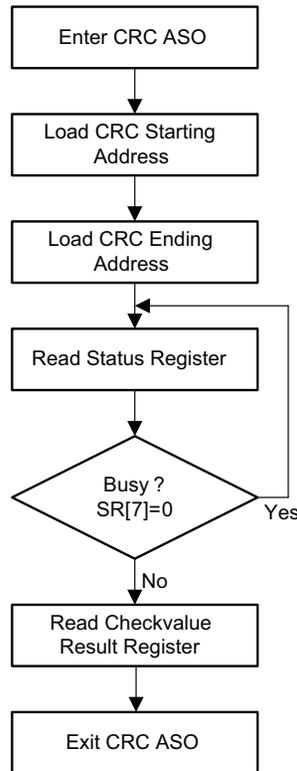
チェック値の計算は、デバイスがStandby状態にある場合のみ開始でき、いったん開始すると、CRC Suspendシーケンスで中断してアレイからデータを読み出せません。Suspend状態の間、ステータスレジスタのCRC Suspend Status Bit (CRCSSB) がセットされます (SR[8] = 1)。一時停止すると、ホストはStatusレジスタを読み出し、アレイからデータを読み出し、CRC Resumeコマンドシーケンスを使用してCRC計算を再開できます。CRC ASOは、開始されると、ASO Exitコマンドまたはハードウェアリセットで終了して、デバイスをアレイ読み出しモードに戻せます。別のASOがアクティブな間は、Check-valueの計算を実行できません。ハードウェアリセットは、CRC Start Addressレジスタ、CRC End Addressレジスタ、Check-value High Resultレジスタ、およびCheck-value Low Resultレジスタの値をクリアします。

Ending Address (EA) は、Starting Address (SA) より少なくとも2つ高いアドレスでなければなりません。EA < SA+2の場合、Check-value計算は中止され、デバイスは準備完了状態 (SR[7] = 1) に戻ります。SR[3]は (1) に設定され、中断状態を示します。EA < SA+2の場合、Check-value High ResultレジスタとCheck-value Low Resultレジスタは不定データを保持します。

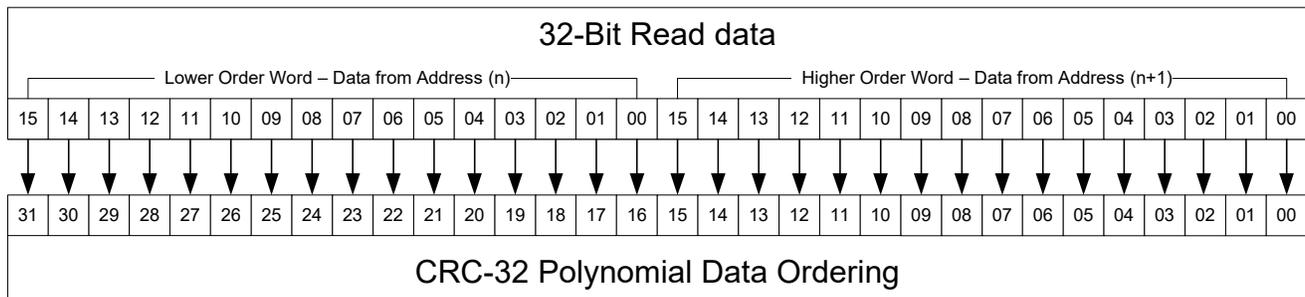
図 2. CRC-32多項式

$$\text{CRC-32C Polynomial} = X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$$

図 3. Check-value計算シーケンス



CRC-32多項式からCheck-valueを計算する際に使用される読み出しデータの順序は次のとおりです。

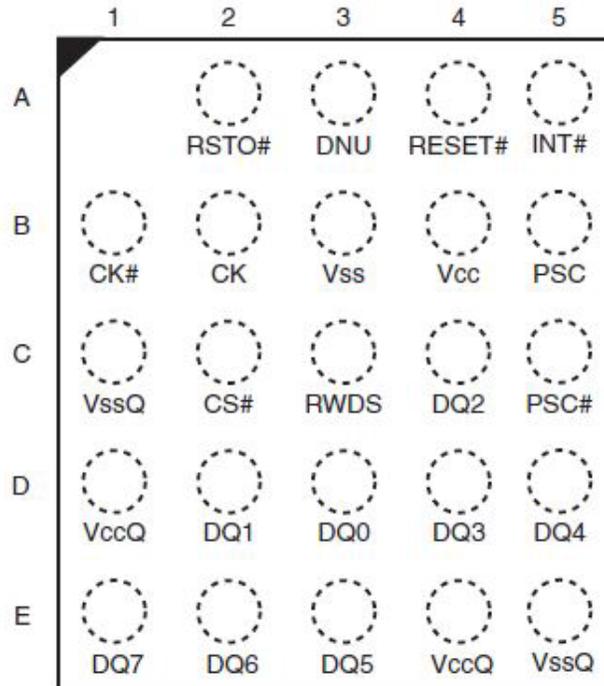


2 接続図

2.1 FBGA 24ボール5×5アレイのフットプリント

HyperFlashデバイスは、6mm x 8mmの本体を持つFortified Ball Grid Array (FBGA)、1mmピッチ、24ボール、5 x 5ボールアレイのフットプリントで提供されます。パッケージの高さはデバイスによって異なり、1mmまたは1.2mmです。詳細については、95ページの「13 注文情報」を参照してください。使用中のパッケージについては、デバイスのデータシートの注文部品番号の有効な組合せを参照してください。

図 4. 24ボールFBGA、6×8 mm、5×5ボールフットプリント、上面図^[1, 2, 3]



注:

1. B1 (CK#) は、3.0Vデバイス (モデル02) 上のRFUです。
2. B5 (PSC) および C5 (PSC#) は、標準の3.0Vおよび1.8Vデバイス (モデル02)のRFUです。C5 (PSC#) は、3V DCARSデバイス (モデル03) 上のRFUです。
3. DNU — Do not Use。このピン/ボールは内部で接続されており、未接続のままにしておく必要があります。

3 信号の説明

図 5. HyperFlash インターフェース

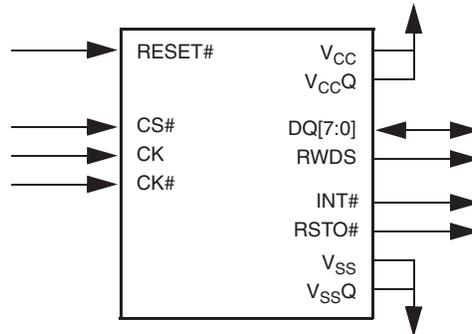


表 2. 信号の説明

記号	種類	M / O	説明
CS#	入力	M	チップセレクト : HyperFlash バス トランザクションは HIGH から LOW への移行で開始。HyperFlash バス トランザクションは LOW から HIGH への移行で終了
CK, CK#	入力	M	差動クロック : コマンド/アドレス/データ情報は、CK と CK# 信号の交差に対する入力または出力。CK# は、1.8V デバイスでのみ使用し、開放にするまたは 3V デバイス上の CK に接続できる
RWDS	出力	M	読み書きデータストロブ : 読み出しトランザクション中の出力データは RWDS とエッジが揃える
DQ[7:0]	入力/出力	M	データ入力/出力 : コマンド/アドレス/データ情報は読み出しと書き込みトランザクション中にこれらの DQ 信号上に転送される
PSC, PSC#	入力	O	位相シフトクロック : PSC / PSC# を使用すると、CK/CK# 入力に対して RWDS 信号を個別にスキューできる。PSC# は 1.8V デバイスでのみ使用。PSC と PSC# は、それぞれ書き込みトランザクション中に HIGH と LOW に駆動されるか、両方が LOW に駆動される。
INT#	出力 (オープン ドレイン)	O	INT 出力 : LOW の時、デバイスは内部イベントが発生したことを示す。この信号は、オンチップ イベントが発生したことを示すために、デバイスに対するシステム レベルの割り込みとして使用されることを意図している。INT# はオープンドレイン出力
RESET#	入力	O	ハードウェア リセット : LOW の時、デバイスは自己初期化してアレイ読み出し状態に戻る。RESET# が LOW の時、RWDS と DQ[7:0]がHigh-Z状態に移行される。RESET#は弱プルアップを含み、RESET#が未接続にされるとHIGH状態にプルアップされる
RSTO#	出力 (オープン ドレイン)	O	RSTO# 出力 : RSTO# はデバイス内で POR が発生している時点を示すために使用されるオープンドレイン出力であり、システムレベルのリセット信号として使用できる。内部 POR の完了後ただちに、ユーザーにより定義されたタイムアウト期間が経過した後、RSTO# 信号は低インピーダンスから高インピーダンスに遷移する。高インピーダンス状態に遷移した後ただちに、外部プルアップ抵抗は RSTO# 信号を HIGH に引き上げ、デバイスは瞬時に Standby 状態になる
V _{CC}	電源	P / G	コア電源
V _{CCQ}	電源	P / G	入力/出力電源
V _{SS}	電源	P / G	コアグラウンド
V _{SSQ}	電源	P / G	入力/出力グラウンド

注:

4 M = Mandatory; O = Optional; P / G = Power / Ground

4 HyperBus プロトコル

すべてのバス トランザクションは読み出しと書き込みの2種類に分けられます。CK = LOW、CK# = HIGH の時、CS# が LOW になると、バス トランザクションは開始します。実行されるトランザクションは最初の3クロック サイクル中に DDR 方式 (合計6クロック エッジを使用すること) で HyperFlash デバイスに提供されます。これらの最初の3クロックでは、3ワードのコマンド / アドレス情報 (CA0、CA1、CA2) が転送され、トランザクションの次の特性を定義します。

- 読み出しトランザクションか書き込みトランザクション

- トランザクションの宛先はメモリ アレイかレジスタ空間か

□HyperBusプロトコルはメモリとレジスタ アドレス空間の両方とも備えるスレーブ デバイスに対応しますが、本仕様書で説明するHyperFlash メモリでは、メモリとレジスタが個別のアドレス空間として区別されません。トランザクションの宛先位置がメモリ空間かレジスタ空間にかかわらず、トランザクションが選択できるアドレス空間は1つのみあります。書き込みトランザクションでは、トランザクション アドレスとデータを1つのコマンド レジスタ セット (バッファ) に格納します。読み出しトランザクションは、コマンドを実行することで単一アドレス空間内に一時的にオーバーレイされるメモリ アレイかレジスタ アドレス空間のウィンドウからデータを返します。レジスタ空間オーバーレイ方法を持つ、この単一アドレス空間はレガシーの平行NORフラッシュ メモリ プログラムと消去ソフトウェア ドライバーと下位互換性があります。

- トランザクションはリニア バーストかラップ バースト シーケンスを使用するか

□HyperFlash書き込みトランザクションはバーストシーケンスをサポートせず、バーストタイプの表示を無視します。書き込みコマンドトランザクションは、書き込みごとに1ワードを転送します。ワードプログラムコマンドの書き込みデータ転送のみ、最大50MHzの線形バーストで実行できます。

- 対象の半ページ アドレス (列と上位行アドレス)

- (半ページ内の) 対象のワード アドレス (下位行アドレス)

トランザクション定義後かつデータ転送前の中で、読み出しレイテンシの要件を満たすためにいくつかのアイドル クロック サイクルが必要になります。対象となるデータが転送された後、HyperBus マスタホストは CK = LOW と CK# = HIGH の状態で CS# を HIGH に駆動することでトランザクションを終了します。データは 16 ビット値として転送されます。この 16 ビットの最初の 8 ビット (ビット 15 ~ ビット 8) は CK の立ち上りエッジ (書き込みデータか CA ビットの場合) または RWDS のエッジ (読み出しデータの場合) にて転送され、2 番目の 8 ビット (ビット 7 ~ ビット 0) は CK の立ち下りエッジまたは RWDS のエッジで転送されます。CK = LOW、CK# = HIGH の時、CS# を HIGH にすることで、読み書き動作中のデータ転送を終了できます。読み出しデータは RWDS の遷移と同時に変化し、書き込みデータはクロック エッジと中央が揃います。

4.1 コマンド / アドレス ビットの割り当て

表 3. コマンド / アドレス ビットの割り当て

CA ビット番号	ビット名	ビット機能
47	R/W#	トランザクションを読み出しか書き込みとして識別 1 = 読み出し動作 0 = 書き込み動作 ターゲット空間は CA46 で定義
46	ターゲット	読み書き動作がメモリかレジスタ空間にアクセスするかを示す 0 = メモリ空間 1 = レジスタ空間 レジスタ空間は不揮発性メモリとペリフェラル デバイスを使用するよう留意される。HyperFlash デバイスは、この機能を備えていないため、読み出しや書き込みトランザクションの間このビットを 0 にセットする必要がある
45	バースト タイプ	バーストがリニアかラップであるかを示す 0 = ラップ バースト 1 = リニア バースト
44 ~ 39 (1Gb) 44 ~ 38 (512Mb) 44 ~ 37 (128Mb)	予約済み	将来のアドレス拡張用に予約済み ホスト コントローラーは予約済みビットを 0 にセットする必要がある
38 ~ 16 (1Gb) 37 ~ 16 (512Mb) 36 ~ 16 (128Mb)	列と上位行 アドレス	宛先アドレスの半ページ コンポーネント
15 ~ 3	予約済み	将来の列アドレス拡張用に予約済み ホスト コントローラーは予約済みビットを 0 にセットする必要がある
2 ~ 0	下位行アドレス	宛先アドレスの下位列要素: システム ワード アドレス ビット A2 ~ 0 で、判ページ内の開始ワードを選択

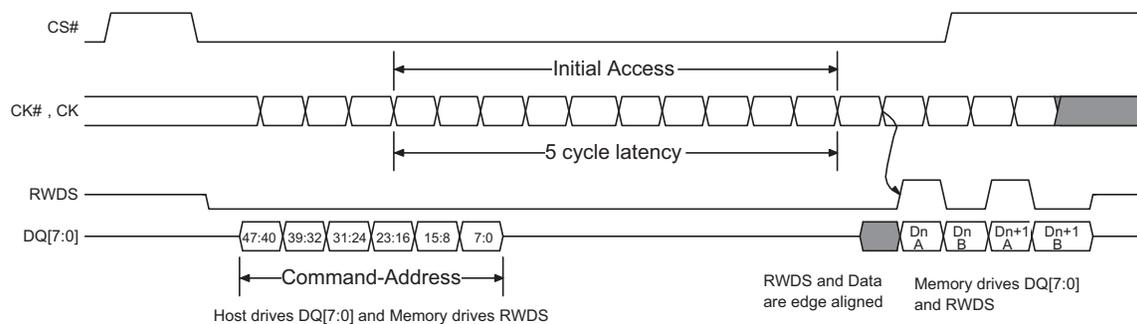
4.2 読み出し動作

CA0 は読み出し動作が次に実行されることを示す一方、バースト種類 (ラップかリニア) も表示します。半ページアドレスが CA0 と CA1 にて提供され次第、読み出し動作は内部のアレイアクセスを開始します。CA2 は選択した半ページ内の対象のワードアドレスを指定します。ホストはコンフィギュレーションレジスタに設定したレイテンシカウンタの値により定義されたサイクル数の期間でクロックを供給し続けます。これらのレイテンシクロックサイクルの設定値に達すると、読み出し / 書き込みデータストローブ (RWDS) の遷移と同時に対象のデータの出力が開始されます。新しいデータがエッジ揃えの方法にて、毎回の RWDS の遷移によって出力されます。ホストから供給されるクロック (CK と CK#) の遷移が続いている限り、データは引き続き出力されます。ラップバーストはバースト長の範囲内で引き続きラップし、リニアバーストはページ境界を越えて順次データを出力します。60 ページの「6.3.11 ハイブリッドバースト」に示すようにハイブリッドバーストは 1 個の初期ラップバーストの次にリニアバーストが後続することを提供します。ラップの読み出しは主要なアレイ (63 ページの「7 デバイス ID と共通フラッシュインターフェース (ID-CFI) の ASO マップ」の CFI 表とセキュアシリコン領域 (60 ページの「6.3.11 ハイブリッドバースト」を参照)) から実行されます。CK = LOW、CK# = HIGH の時、CS# を HIGH にすることで、読み出し転送を終了できます。

リニアバーストがアレイの最後のアドレスに到達すると、バーストが続く場合、アドレスカウンタがラップアラウンドしてアドレス 000000h にロールバックし、読み出しシーケンスを無期限に継続できるようにします。したがって、メモリ全体を 1 つの読み出し命令で読み出せます。

16 バイトと 32 バイトのラップバーストはページ境界を越えず、ページ境界越えのレイテンシも発生させません。64 バイトのラップバースト読み出しでは、開始アドレスに応じて対象のアドレスと次のページの境界を超える時にレイテンシが発生する可能性があります (ページ 40 の表 22 を参照してください)。

図 6. 読み出し動作 [5、6、7、8]



注:

- 5 トランザクションはCKがLOW、CK#がHIGH状態で開始する必要があります。CS#は新しいトランザクションが開始する前にHIGHに復帰しなければなりません。
- 6 CA[23:16]が取り込まれるとフラッシュアレイからの読み出しアクセスは開始します。
- 7 読み出しレイテンシは揮発性コンフィギュレーションレジスタ(または不揮発性コンフィギュレーションレジスタ)内の読み出しレイテンシ値により定義されます。
- 8 この読み出し動作の例ではレイテンシカウンタは5クロックに設定されています。

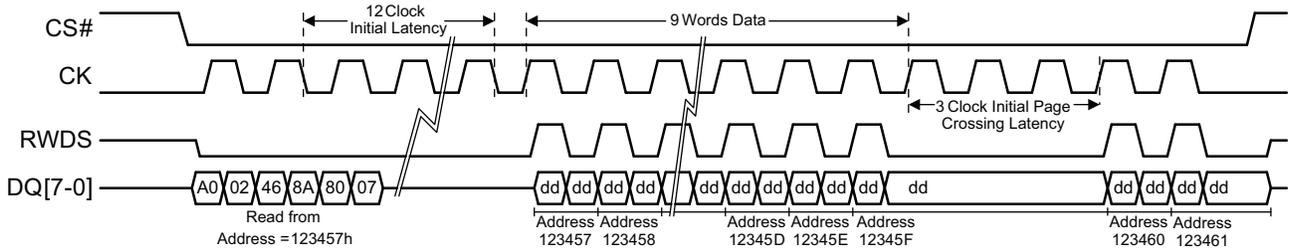
表 4. レイテンシ コード オプションの最大動作周波数

レイテンシ コード	レイテンシ クロック	最大動作周波数 (MHz)
0000	5	52
0001	6	62
0010	7	72
0011	8	83
0100	9	93
0101	10	104
0110	11	114
0111	12	125
1000	13	135
1001	14	145
1010	15	156
1011	16	166
1100	予約済み	該当なし
1101	予約済み	該当なし
1110	予約済み	該当なし
1111	予約済み	該当なし

注:

9. 工場出荷時のデバイスでは NVCR のレイテンシ設定がデフォルトで 16 クロックです。
10. レイテンシ コードは (不) 揮発性コンフィギュレーションレジスタビット xVCR[7:4] にロードされる値です。
11. $t_{ACC} = 96ns$ のデバイスを使用する場合の最大動作周波数です。

図 7. ページ境界を越える読み出しトランザクション [12、13、14、15、16]



注:

- 12 読み出しトランザクションは 123457h のデバイス アドレスから開始します。
- 13 コンフィギュレーションレジスタにロードされるレイテンシ コードは 0111b で、12 のレイテンシ クロック サイクルに該当します。
- 14 この場合ではページ境界を超えるために 3 クロック要します (12 クロックの初期レイテンシから 9 クロック (ワード) の初期データを引いた結果です)。
- 15 CK# は表示されていませんが、CK 信号の反転信号です。
- 16 CA45 = 1 はリア読み出しバーストを意味します。

表 5. リニア読み出し中の最初のページ バウンダリーのカロス (レイテンシ カウント = 11 クロック)

宛先 アドレス	クロック サイクル																													
	0	1	2	3	...	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30						
0	CA0	CA1	CA2	バス ターンア ラウンド + 初期レイテンシ		D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17							
1					D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18								
2					D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19								
3					D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20								
4					D4	D6	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21								
5					D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22								
6					D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	D16	D17	D18	D19	D20	D21	D22								
7					D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	D16	D17	D18	D19	D20	D21	D22								
8					D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25								
9					D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26								
10					D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27								
11					D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28								
12					D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29								
13					D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30								
14					D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	D24	D25	D26	D27	D28	D29	D30								
15					D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	D24	D25	D26	D27	D28	D29	D30								
16					D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	D33								
	—	—	1	2	...	11	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—						
レイテンシ数																														

表 6. リニア読み出し中の最初のページ バウンダリーのカロス (レイテンシ カウント = 16 クロック)

宛先アド レス	CS# が LOW になった後のクロック サイクル																																		
	0	1	2	3	...	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35											
0	CA0	CA1	CA2	バス ターンア ラウンド + 初期レイテンシ		D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17												
1					D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	D16	D17													
2					D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	D16	D17													
3					D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	D16	D17													
4					D4	D6	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	D16	D17													
5					D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	X	D16	D17													
6					D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	X	X	D16	D17													
7					D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	X	X	X	D16	D17													
8					D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25													
9					D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	D24	D25													
10					D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	D24	D25													
11					D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	D24	D25													
12					D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	D24	D25													
13					D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	X	D24	D25													
14					D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	X	X	D24	D25													
15					D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	X	X	X	D24	D25													
16					D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	D33													
	—	—	1	2	...	16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—											
レイテンシ数																																			

ページの境界を越えるときの待ち時間を計算するには、次の式を使用します。

```
if ((PS - LTCY) < ADDR & (SP - 1))
{
  ((ADDR & (SP - 1)) - PS + LTCY)
}
else
{0}
```

ここで

PS = ページサイズ = 16 ワード

SP = サブページサイズ = 8 ワード

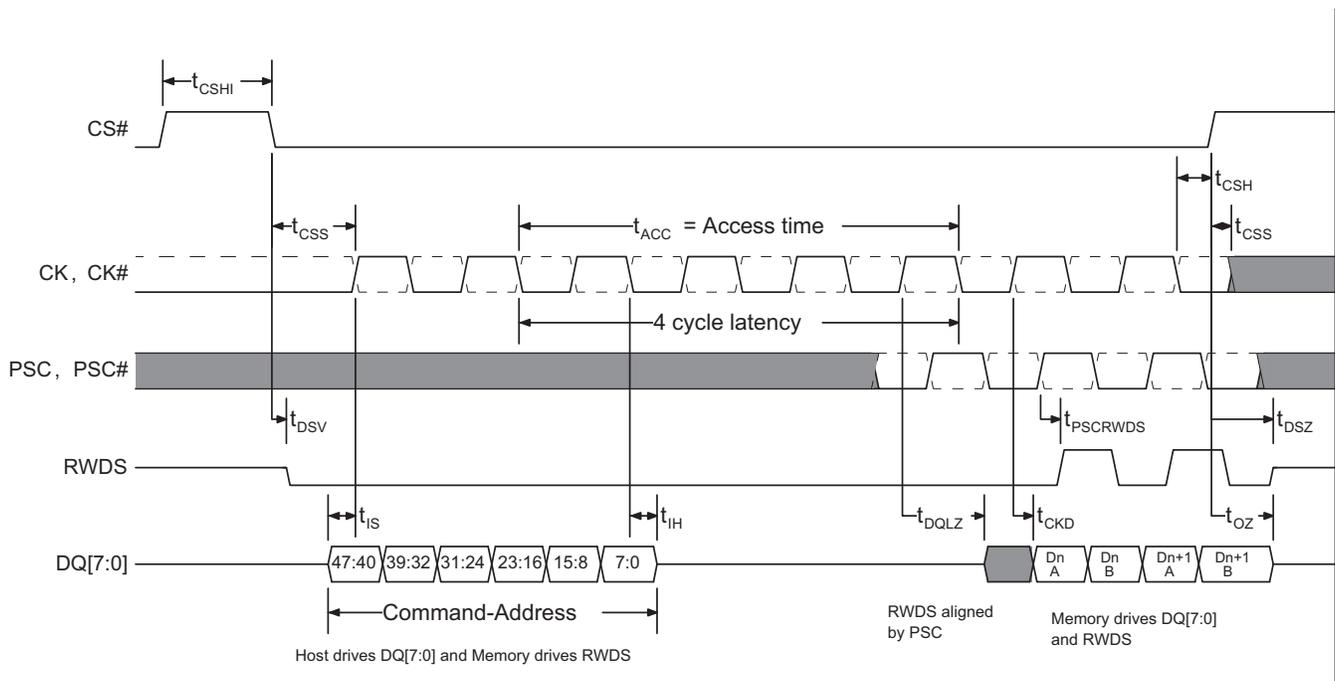
LTCY = レイテンシ

ADDR = ターゲットアドレス

4.3 DCARS タイミングでの HyperFlash 読み出し

ここでの図とパラメーターは、DCARS機能を定義し、位相シフトクロック、RWDS、およびデータ間の関係を示すために必要なもののみです。

図 8. HyperFlash読み出しDCARSタイミングダイアグラム^[17, 18, 19, 20]



注:

17 トランザクションはCKがLOW、CK#がHIGH状態で開始する必要があります。CS#は新しいトランザクションが開始する前にHIGHに復帰しなければなりません。

18 CK #とPSC #はオプションであり、破線の波形として表示されます。

19 メモリは、読み出しトランザクション中にRWDSを駆動します。

20 この例は、4クロックのレイテンシコード設定を示しており、追加の初期レイテンシは不要です。

4.4 書き込み動作

書き込み動作は、トランザクション属性を指示する CAx (コマンド / アドレス) 情報を提供する最初の 3 クロック サイクルから開始します。HyperFlash デバイスは 16 ビットのシングル書き込みトランザクションのみに対応するか、またはワード プログラム コマンドでデータをロードする時のみ連続リニア バーストに対応するため、バースト タイプ ビット CA[45] は「ドントケア」です。CA 情報に従って、ホストは瞬時に書き込みデータを DQ バスに転送できます。最初のデータ バイト (A) は CK の立ち上りエッジにあり、2 番目のデータ バイト (B) は CK の立ち下りエッジにあります。書き込みデータは CK と CK# 入力信号と中央が揃います。CK = LOW、CK# = HIGH の時、CS# を HIGH にすることで、書き込み転送を終了できます。

図 9. 書き込み動作 [21、22、23]

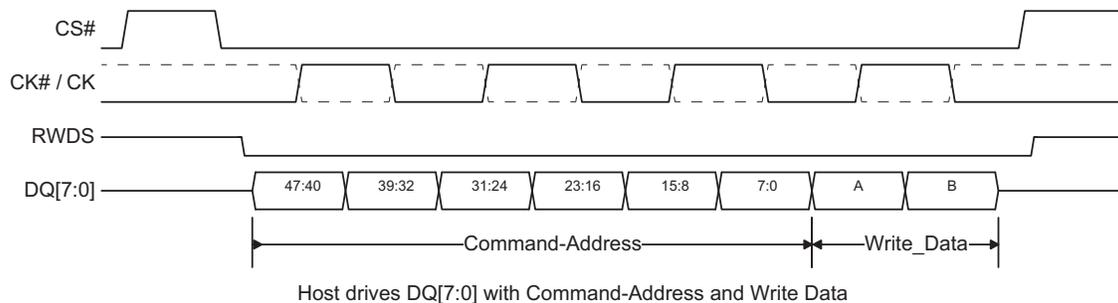
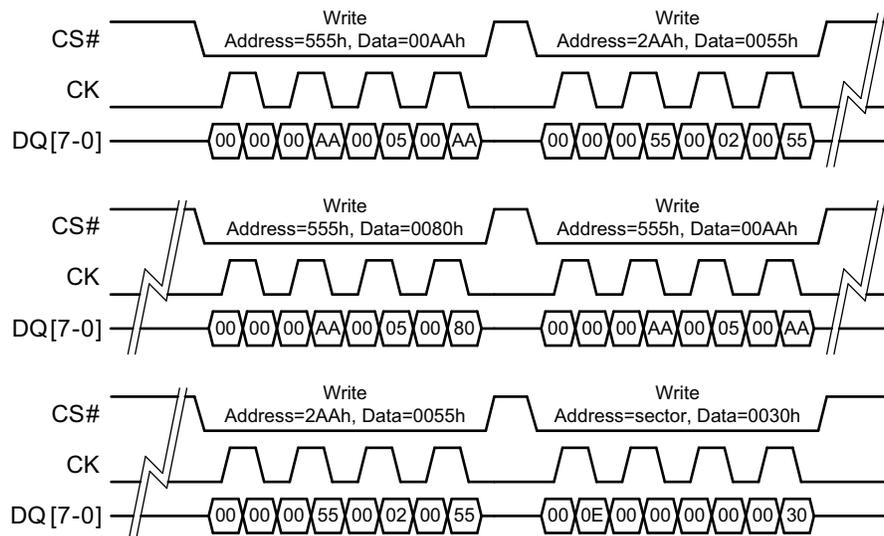


図 10. 書き込みトランザクションの使用例：動作消去コマンド シーケンス [24、25、26、27]



注:

- 21 トランザクションはCKがLOW、CK#がHIGH状態で開始する必要があります。CS#は新しいトランザクションを開始する前にHIGHに復帰しなければなりません。
- 22 CS#がLOWである限り、RWDSはLOWに駆動されます。
- 23 書き込み動作はシングルワード(16ビット)のトランザクションか、またはワードプログラムコマンドでデータをロードする時のみ対応するリニア書き込みバーストのトランザクションに制限されます。この例は、4クロックのレイテンシコード設定を示しており、追加の初期レイテンシは不要です。
- 24 動作消去コマンドシーケンスのフローチャートについては32ページの「図16. セクタ消去動作」を参照してください。
- 25 セクタ消去動作は0700000hから開始します。
- 26 CK#は表示されていませんが、CK信号の反転信号です。
- 27 書き込みトランザクションではRWDSが表示されず使用されません。

図 11. 書き込みトランザクションの使用例：バッファプログラム書き込みコマンドシーケンス [28、29、30、31]

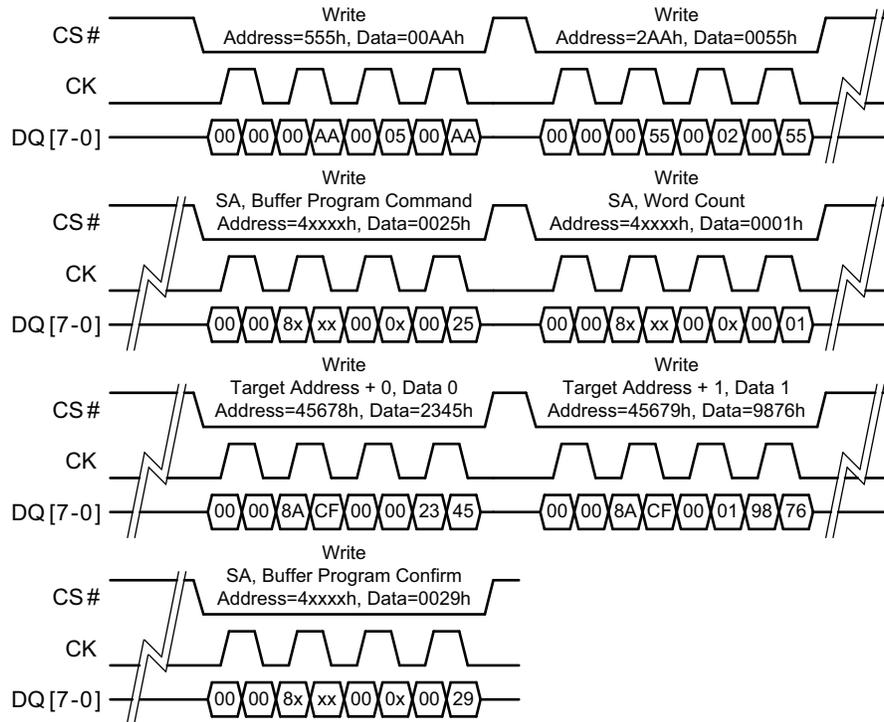
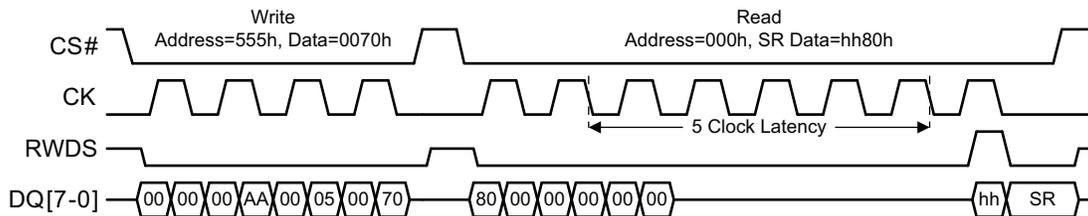


図 12. ステータス読み出しトランザクションの例 [30]



注：
 28 バッファプログラム動作の書き込みコマンドシーケンスのフローチャートについては28ページの「図14. ステータスレジスタを使用した書き込みバッファプログラミング動作」を参照してください。
 29 2345h を 45678h アドレスに、9876h を 45679h アドレスにプログラムします。
 30 CK# は表示されていませんが、CK 信号の反転信号です。
 31 書き込みトランザクションではRWDSが表示されず使用されません。

5 アドレス空間マップ

HyperBus プロトコルはメモリとレジスタ アドレス空間の両方とも備えるスレーブ デバイスに対応しますが、本仕様書で説明する HyperFlash メモリでは、メモリとレジスタが個別のアドレス空間として区別されません。HyperBus トランザクションの宛先位置が選択したデバイスのメモリ空間かレジスタ空間にかかわらず、トランザクションが選択できるアドレス空間は1つのみあります。

書き込みトランザクションでは、トランザクション アドレスとデータを1つのコマンド レジスタ セット (バッファ) に格納します。

読み出しトランザクションは、コマンドを実行することで単一のアドレス空間内に一時的にオーバーレイされるメモリ アレイかレジスタ アドレス空間のウィンドウからデータを返します。レジスタ空間オーバーレイ方法を持つ、この単一アドレス空間はレガシーの平行 NOR フラッシュ メモリ プログラムと消去ソフトウェア ドライバーと下位互換性があります。

フラッシュ メモリ デバイスのアドレス範囲には複数の個別のアドレス空間が表示されることがあります。1つのアドレス空間がいつでも表示 (入力済み) されます。

- フラッシュ メモリ アレイ: データ格納用の主要な不揮発性メモリ アレイであり、読み出し動作によってランダムにアクセスされることがあります。
- ID / CFI: サイプレスの工場でプログラムされたデバイス特性情報格納用のメモリアレイです。この領域には、デバイス識別 (ID) と共通フラッシュ インターフェース (CFI) の情報テーブルが含まれています。
- セキュア シリコン領域 (SSR): サイプレスの工場でプログラムされた恒久データおよびカスタマー プログラム可能恒久データ格納用の 1024 バイト 1 回書き込み可能な (OTP) 不揮発性メモリ アレイです。
- 恒久的保護ビット (PPB): 不揮発性メモリ アレイであり、セクタごとに1ビット幅を有します。プログラムされると、該当するセクタを消去とプログラミングから保護します。
- PPB ロック ビット: PPB ビットの消去とプログラミングを有効/無効化する揮発性レジスタ ビットです。
- パスワード: パスワード モードのセクタ保護を使用する際に PPB ロック ビットの状態を変更可能にするために使用される 64 ビット パスワード格納用の OTP 型不揮発性アレイです。
- ダイナミック保護ビット (DYB): 揮発性アレイであり、セクタごとに1ビット幅を有します。セットされると、該当するセクタを消去とプログラミングから保護します。
- ECC ステータス: ECC 修正データのアドレスと合計 ECC エラーカウントを読み出します。
- CRC: CRC Check-value を読み出します。
- ステータス レジスタ/ペリフェラル レジスタ: 組込みアルゴリズムの状態を表示するか他のレジスタに読み書きするためのレジスタ アクセス空間です。

フラッシュ メモリ アレイはデフォルトの一次アドレス空間ですが、他のアドレス空間によって随時にオーバーレイされることがあります。その代替アドレス空間はアドレス空間オーバーレイ (ASO) と呼ばれています。

各 ASO は、ASO エントリ コマンドに応じて、選択したセクタがフラッシュ デバイスのすべてのアドレス空間を置換 (オーバーレイ) します。ASO に置き換えられたセクタが1個のみの場合、メモリ アレイの残りのセクタの読み出しはそのまま実現できます。特定の ASO アドレス マップで定義されていないアドレス範囲は将来に使用するために予約されます。特に指定のない限り、ASO アドレス マップ外のすべての読み出しアクセスは無効な (未定義) データを返します。その位置にはアクティブに駆動されたデータが表示されますが、それらの意味は定義されていません。

任意の時点においてフラッシュ デバイスのアドレス空間に表示される内容を決定するアドレス マップ モードが多くあります。

- 読み出しモード
- ステータス レジスタ (SR) モード
- アドレス空間オーバーレイ (ASO) モード
- ペリフェラル レジスタ モード

読み出しモードでは、フラッシュ メモリ アレイ全体が、ホストのシステム メモリ コントローラーによって直接読み出せます。メモリ デバイスの組込みアルゴリズム コントローラー (EAC) は、電源投入時、ハードウェア リセット後、コマンド リセット後、または組込みアルゴリズム (EA) が一時停止された後にデバイスを読み出すモードに入ります。読み出しモードでは読み出しアクセスと読み出しコマンドを実現できます。EA が一時停止されている時に読み出しモードでコマンドのサブセットを実現できます。

どのモードでも、ステータス レジスタ読み出しコマンドを発行することで、デバイスのアドレス空間内のあらゆるワード アドレスでステータス レジスタ ASO を表示させられます。このステータス レジスタ ASO モードでは、デバイス インターフェースは読み出しアクセスだけに対応し、書き込みアクセスはすべて無視されます。デバイスへの次の読み出しアクセスはステータス レジス

タの内容にアクセスします。その後、ステータスレジスタ ASO を終了し、デバイスはステータスレジスタ読み出しコマンドを受け取る前の（呼び出し）モードに戻ります。

同様に、他のレジスタを読み書きするコマンドはペリフェラルレジスタモードを利用します。このモードでは、レジスタは臨時の ASO として表示し、コマンドによって選択されたレジスタの読み書き動作が完了すると自動的にモードを終了します。読み出しと書き込み動作はレジスタアクセスコマンドシーケンスの最後のサイクルで実現されます。

EA モードで EAC は不揮発性メモリアレイのプログラミングや消去のような組込みアルゴリズムを実現します。この EA モードではフラッシュメモリアレイはすべて読み出し不可です。プログラム/消去一時停止コマンド、またはステータスレジスタ読み出しコマンドのみがこのモードで実行可能です。他のすべてのコマンドは無視されます。したがって、EA モードで他の ASO への移動は許可されません。

ASO モードでは、残っているオーバーレイアドレス空間の 1 つが入ります（フラッシュメモリアレイのアドレスマップにオーバーレイされます）。一度に移行できる ASO は 1 つだけです。デバイスへのコマンドは、現在移行された ASO に影響を与えます。ASO に応じて特定のコマンドが有効です。有効なコマンドはページ 69 の表 40 の ASO 関連セクションに示されます。

下記の ASO は、1 を 0 に変更するようにプログラムできる不揮発性データを持っています。

- セキュアシリコン領域
- ASP コンフィギュレーションレジスタ (ASPR)
- 恒久的保護ビット (PPB)
- パスワード
- PPB ASO だけが、0 を 1 に変更するように消去できる不揮発性データを持っています。

任意の不揮発性 ASO が入っている間にプログラムコマンドか消去コマンドが発行されると、EA はその ASO 上で動作します。EA が有効の間はその ASO の読み出しは不可です。EA が完了すると、ASO が入っている状態のまま再度読み出し可能になります。EA がこれらの任意の ASO で動作している間は、一時停止コマンドと再開コマンドが無視されます。

ペリフェラルレジスタモードは、パワーオンリセットタイマー、割り込みコンフィギュレーションレジスタ、割り込みステータスレジスタ、揮発性コンフィギュレーションレジスタ、および不揮発性コンフィギュレーションレジスタを管理するために使用されます。

5.1 フラッシュメモリアレイ

S26KL/S26KS ファミリーは、セクタサイズが 256K バイトのユニフォームセクタアーキテクチャを搭載しています。下記の表はデバイスのセクタアーキテクチャを示します。

最初のセクタ (SA00) か最後のセクタ (SAmax) を 8 個の 4K バイトパラメーターセクタにオーバーレイするために 1 つのユーザー設定のオプションが用意されます。最下位セクタや最上位セクタの分割方法を示すパラメーターセクタのアドレスマップは、下記のメモリアドレスマップの表に示されています。パラメーターセクタは、該当するパラメーターセクタアドレスを対象に標準の消去とプログラムコマンドシーケンスを利用することで通常の方法で消去/プログラムできます。比較的小さいパラメーターセクタは、消去およびプログラムコマンドシーケンスでは、対象となるパラメーターセクタを識別するアドレスの一部として A[16:11] を追加する必要があるため、ご注意ください。最初や最後のユニフォームセクタにパラメーターセクタを追加するように設定することは不揮発性コンフィギュレーションレジスタで実現されます。

注：次の表は、1 ページでデバイス全体のセクタ関連情報を示すようにまとめました。(SA001 ~ SA510 のように) 明示的に記載されていないセクタやそのアドレス範囲に対して、そのセクタの開始と終了アドレスは、同じサイズを持つ他のすべてのセクタと同じパターンを持っています。例えば、すべての 256K バイトセクタは XX00000h ~ XX1FFFFh のアドレス範囲パターンを持っています。

表 7. S26KL512S と S26KS512S セクタとメモリアドレスのマップ

セクタサイズ (KB)	セクタ数	セクタ範囲	アドレス範囲 (16 ビット)	注
256	256	SA00	0000000h ~ 001FFFFh	セクタ開始アドレス
		:	:	~
		SA255	1FE0000h ~ 1FFFFFFh	セクタ終了アドレス

表 8. S26KL256S と S26KS256S セクタとメモリアドレスのマップ

セクタ サイズ (KB)	セクタ数	セクタ範囲	アドレス範囲 (16ビット)	注
256	128	SA00	0000000h ~ 001FFFFh	セクタ開始アドレス
		:	:	~
		SA127	0FE0000h ~ 0FFFFFFh	セクタ終了アドレス

表 9. S26KL128S と S26KS128S セクタとメモリアドレスのマップ

セクタ サイズ (KB)	セクタ数	セクタ範囲	アドレス範囲 (16ビット)	注
256	64	SA00	0000000h ~ 001FFFFh	セクタ開始アドレス
		:	:	~
		SA63	07E0000h ~ 07FFFFFFh	セクタ終了アドレス

表 10. 8つの4KBパラメーターセクタで重複される主アレイセクタ0

主アレイセクタサイズ	パラメーターセクタ番号	アドレスサイズ	アドレス範囲 (16ビット)	注
256KB	0	4KB	0000000h ~ 00007FFh	パラメーターセクタ0の開始
	1	4KB	0000800h ~ 0000FFFh	パラメーターセクタ1
	2	4KB	0001000h ~ 00017FFh	パラメーターセクタ2
	3	4KB	0001800h ~ 0001FFFh	パラメーターセクタ3
	4	4KB	0002000h ~ 00027FFh	パラメーターセクタ4
	5	4KB	0002800h ~ 0002FFFh	パラメーターセクタ5
	6	4KB	0003000h ~ 00037FFh	パラメーターセクタ6
	7	4KB	0003800h ~ 0003FFFh	パラメーターセクタ7の終了
	主アレイセクタ0の露出部分	224KB	0004000h ~ 001FFFFh	主アレイセクタ0の露出部分にマッピングされる

表 11. 8つの4KBパラメーターセクタで重複される最終セクタ

主アレイセクタサイズ	パラメーターセクタ番号	アドレスサイズ	アドレス範囲 (16ビット)	注
256KB	主アレイの最終セクタの露出部分	224KB	xx00000h ~ xx1BFFFh	主アレイの最終セクタの露出部分にマッピングされる
	0	4KB	xx1C000h ~ xx1C7FFh	パラメーターセクタ0の開始
	1	4KB	xx1C800h ~ xx1CFFFh	パラメーターセクタ1
	2	4KB	xx1D000h ~ xx1D7FFh	パラメーターセクタ2
	3	4KB	xx1D800h ~ xx1DFFFh	パラメーターセクタ3
	4	4KB	xx1E000h ~ xx1E7FFh	パラメーターセクタ4
	5	4KB	xx1E800h ~ xx1EFFFh	パラメーターセクタ5
	6	4KB	xx1F000h ~ xx1F7FFh	パラメーターセクタ6
	7	4KB	xx1F800h ~ xx1FFFFh	パラメーターセクタ7の終了

5.2 デバイス ID と CFI (ID-CFI) ASO

システムに搭載されたフラッシュメモリの種類を識別するには、次の 2 つの従来方式があります。1 つはデバイス識別 (ID) です。もう一つの方法は、共通フラッシュ インターフェース (CFI) と呼ばれています。

ID について、1 つのコマンドを使用して ASO を有効にし、その最大 16 ワードの位置を読み出すことで JEDEC 製造者識別 (ID)、デバイス ID、およびいくつかの構成情報と保護ステータス情報をフラッシュメモリから取得します。システムはこの製造者 ID とデバイス ID を用いて、フラッシュ デバイスと動作する適切なドライバー ソフトウェアを選択できます。

CFI も 1 つのコマンドを使用して ASO を有効にし、フラッシュメモリの構成や動作方法についての基本情報を提供する拡張可能なテーブルの読み出しを実現できます。この方法を用いると、使用するそれぞれのメモリ デバイス仕様をドライバー ソフトウェアに書き込む必要はありません。代わりに、ドライバー ソフトウェアは多くの異なるデバイスを扱うためにより一般的な方法で書き込まれ、ドライバーの動作は CFI テーブルの情報に基づいて調整されます。

これまでは、これら 2 つのアドレス空間は個別のコマンドを使用し個別のオーバーレイ領域でした。しかし、これら 2 つのアドレス空間のマッピングは重複しないため、単一のアドレス空間に組み合わせ、単一のオーバーレイで共に表示できます。自動選択 (ID) または CFI オーバーレイにアクセス (入る) するために使用される従来のコマンドのどちらも、組み合わせ ID-CFI アドレス マップを表示させます。

ID-CFI アドレスマップは、ID-CFI 入力コマンド内で使用するアドレスによって選択されたセクタ内に表示され、フラッシュ アレイ データをオーバーレイします。ID-CFI ASO が入っている間は、他のすべてのセクタの内容は未定義です。

ID-CFI アドレス マップは、選択されたセクタの 0 の位置から開始します。ID-CFI ASO の最大定義アドレス以上から、選択したセクタの最大アドレスまでの位置のデータは未定義です。ID-CFI 入力コマンドは前世代のメモリと同じアドレスとデータ値を使用してそれぞれ JEDEC 製造者 ID (自動選択) と共通フラッシュ インターフェース (CFI) 情報をアクセスします。

表 12. ID-CFI のアドレスマップの概要

ワード アドレス	説明	読み出し/書き込み
(SA) + 0000h ~ 000Fh	デバイス ID (従来の自動選択値)	読み出し専用
(SA) + 0010h ~ 0079h	CFI データ構造	読み出し専用
(SA) + 007Ah ~ 00FFh	未定義	読み出し専用

完全なアドレス マップについては [ページ 63 の表 34](#) を参照してください。

5.2.1 デバイス ID

JEDEC の標準 JEP106T は、準拠メモリ用の製造者 ID を定義します。一般的な業界使用として、メモリ デバイスから製造者 ID とデバイス固有 ID を読み出す方法とフォーマットを定義しました。製造者 ID とデバイス ID 情報は、デバイスを対応するプログラミング アルゴリズムと自動的に一致させるように主にプログラミング機器に使用されます。サイプレスはこの 32 バイトのアドレス空間内に追加フィールドを追加しました。

オリジナルの業界フォーマットは、あらゆるメモリ データ バス幅 (例えば x8、x16、x32) で動作できるように構成されました。ID コード値は従来はバイト幅ですが、バス幅アドレス境界に位置されます。よって、デバイス アドレス入力のインクリメントは、常にデータバスの最下位バイトに位置する ID コード付きの連続バイト、ワード、またはダブルワード位置を読み出します。デバイスのデータバスはワード幅で、各コード バイトはワード位置の下半部 (下位バイト) に位置します。オリジナルの業界フォーマットでは上位バイトが常に 0 です。サイプレスはアドレス空間のいくつかのワードで両方のバイトを使用するようにフォーマットを変更しました。デバイス ID のアドレス マップの詳細については [ページ 63 の表 34](#) を参照してください。

5.2.2 共通フラッシュ メモリ インターフェース

JEDEC CFI 仕様 (JESD68.01) は、フラッシュ メモリ デバイスから読み出し可能な標準化されたデータ構造を定義し、全デバイスファミリで使用されるベンダー固有ソフトウェア アルゴリズムを可能にします。データ構造には、さまざまな電氣的パラメーターとタイミング パラメーター、およびデバイスがサポートする特別な機能などのシステム構成情報が含まれます。ソフトウェア サポートはデバイスに依存せず、デバイス ID に依存せず、全フラッシュ デバイス ファミリで上位下位互換性があります。

システムは、63 ページの「7. デバイス ID と共通フラッシュインターフェース (ID-CFI) の ASO マップ」に示すように、選択されたセクタ内のアドレスにある CFI 情報を読み出せます。

デバイス ID 情報と同様に、CFI 情報はメモリ データ バス幅 (例えば x8、x16、x32) で動作できるように構成されます。コード値は常にバイト幅ですが、データ バス幅アドレス境界に位置されます。よって、デバイス アドレスのインクリメントは、常にデータ バスの最下位バイトに位置するコード付きの連続バイト、ワード、またはダブルワード位置を読み出します。デバイスのデータ バスはワード幅で、各コード バイトはワード位置の下半部 (下位バイト) に位置し、上位バイトは常に 0 です。

詳細は、「*CFI Specification, Version 1.5*」(またはそれ以降のバージョン)、「および *JEDEC publications JEP137-A and JESD68.01*」の資料を参照してください。

6 組み込み動作

6.1 組み込みアルゴリズム コントローラー (EAC)

EAC は、不揮発メモリ状態を変更するために、フラッシュ メモリ アレイのプログラミングと消去を行うコマンドを受け取り、必要なすべての複雑な操作を実行します。これにより、ホスト システムはプログラムおよび消去のプロセスを管理する必要がなくなります。

EAC 動作は 5 つのカテゴリに分けられます。

- ディープ パワー ダウン (DPD)
- スタンバイ (リードモード)
- アドレス空間の切替え
- 組み込みアルゴリズム (EA)
- アドバンスド セクタ プロテクション (ASP) 管理

6.1.1 ディープ パワー ダウン

ディープ パワー ダウン (DPD) モードでは、消費電流は低レベルに駆動されます。ASO ではない場合、デバイスはスタンバイ状態の時に DPD モードに入る必要があります。

6.1.2 EAC スタンバイ

スタンバイ状態では消費電流を大幅に低減できます。処理中のコマンドがなく、実行中の組み込みアルゴリズムもないとき、EAC はスタンバイ状態に入ります。その組み込みアルゴリズムの進行中にデバイスの選択を外すと (CS# が HIGH)、その動作が完了するまでデバイスは依然としてアクティブ電流を消費します (I_{CC3})。79 ページの「10.5. DC 特性 (CMOS 互換性)」の I_{CC4} はホスト インターフェースと EAC の両方がスタンバイ状態にあるときのスタンバイ電流の仕様を示しています。

6.1.3 アドレス空間の切替え

特定のアドレスとデータ配列 (コマンド シーケンス) を書き込むと、メモリ デバイスのアドレス空間をフラッシュ メモリ アレイからアドレス空間オーバーレイ (ASO) の 1 つに切り替えます。

組み込みアルゴリズムは、現在アクティブな (入っている) ASO で表示されている情報を対象にして動作します。システムが ASO 終了コマンドを発行し、ハードウェア リセットを実行するか、またはデバイスの電源が切られるまで、システムは ASO へのアクセスを続けます。ASO 終了コマンドは、ASO をフラッシュ メモリ アレイのアドレス空間に戻すように切り替えます。特定の ASO に入る時に許可されるコマンドは、コマンド定義テーブルの ASO エントリ コマンドと ASO 終了コマンドの間にリストアップされています。すべてのコマンド シーケンスのアドレスとデータの要件については、69 ページの「8.1. コマンドのまとめ」をご覧ください。

6.1.4 組み込みアルゴリズム (EA)

メモリアレイ内の不揮発性データの書換えには、自動アルゴリズム (EA) と呼ばれる複雑な動作シーケンスを必要とします。アルゴリズムはデバイスの内部組み込みアルゴリズム コントローラー (EAC) によって完全に管理されています。主要なアルゴリズムは、メイン アレイ データと ASO のプログラミングと消去を実行します。ホスト システムはフラッシュ デバイスのアドレス空間にコードを書き込みます。EAC はコマンドを受け取り、コマンドを完了するために必要なすべてのステップを実行し、EA の進行中にステータス情報を提供します。

6.2 プログラムと消去の要約

フラッシュのデータビットは、セクタと呼ばれる大きなグループの中で、並列して消去されます。消去動作によりセクタ内の各データビットが論理 1 状態 (HIGH) になります。フラッシュ データ ビットは、消去済み状態 (論理 1) からプログラム状態 (論理 0、LOW) に個別にプログラムできます。0 のデータ ビットをプログラムで 1 に戻すことはできません。読み出しを連続に実行すると、データが「0」のままであることを示します。0 から 1 に変換できるのは、消去動作のみです。同じワード位置を別の 0 ビットで複数回プログラムすると、直前のデータと新しくプログラムされたデータが論理和 (AND) されます。

プログラム動作と消去動作の時間を 94 ページの「12 組込みアルゴリズムのパフォーマンス」に示します。

プログラムと消去動作を一時停止できます。

- 消去動作を中断 (一時停止) することで、消去動作中に (消去セクタ以外の) 別のセクタのプログラムや読み出しを行えます。消去一時停止中は他の消去動作を開始できません。
- プログラム動作を中断することで、別の位置 (プログラム中のライン以外の位置) の読み出しを行えます。
- プログラム動作の中断中は、他のプログラム動作または消去動作を開始できません。つまり、プログラム動作の中断中はプログラム コマンドと消去コマンドが無視されます。
- 間に挟んだプログラム動作または読み出しアクセスが完了すると、中断していた消去動作やプログラム動作が再開されます。
- プログラム動作と消去動作は、必要に応じて何度でも中断できますが、プログラム動作または消去動作を進捗させ完了させるためには、再開コマンドと次の一時停止コマンドの間は 94 ページの「12 組込みアルゴリズムのパフォーマンス」に示すように t_{PRS} または t_{ERS} 以上の時間を置く必要があります。
- 組込みアルゴリズム (EA) が完了すると、EAC は、EA 開始 (消去一時停止または EAC スタンバイ) 前の動作状態とアドレス空間に戻ります。

システムは、ステータス レジスタを読み出してプログラム動作または消去動作のステータスを調べられます (47 ページの「6.2.14 エラー タイプおよび消去手順」を参照してください)。

組込みプログラム アルゴリズムの実行中にデバイスに書き込まれるコマンドは、プログラム一時停止とステータス読み出しコマンド以外は無視されます。

組込み消去アルゴリズムの実行中にデバイスに書き込まれるコマンドは、消去一時停止とステータス読み出しコマンド以外は無視されます。

ハードウェア リセットが発生すると、進行中のプログラム/消去動作が直ちに終了し、 t_{RPH} 時間後に読み出しモードに戻ります。データの整合性を確保するために、終了した動作は、デバイスがスタンバイ状態に戻ったら再開する必要があります。

パフォーマンスと信頼性を考慮したうえで、プログラミングは 16 バイトにアラインされたアドレス範囲を利用して 16 バイト ハーフページ上で内部的に行われます。

79 ページの「10.5 DC 特性 (CMOS 互換性)」の I_{CC3} は書き込み (組込みアルゴリズム) 動作時のアクティブ電流仕様を示しています。

6.2.1 プログラム粒度

S26KL/S26KS は、ワードのプログラムと、書き込みバッファを使用したプログラムの 2 つの方式によるプログラムをサポートしています。

ワード プログラムは、コマンドによって提供されたデータ ワードを検査し、コマンドのデータ ワードの 0 と一致させるようにアドレス指定したメモリ アレイのワードに 0 をプログラムします。

書き込みバッファ プログラムは、書き込みバッファを検査し、書き込みバッファの 0 と一致させるようにアドレス指定したメモリ アレイのラインに 0 をプログラムします。なお、書き込みバッファのすべてをデータで満たす必要はありません。単一ビット、複数ビット、単一ワード、複数ワード、1 ハーフページ、複数ハーフページ、またはバッファすべてを 1 つのプログラム動作で実現できます。書き込みバッファ方式を使用すると、プログラム コマンドを書き込む時のホスト システムのオーバーヘッドが削減され、プログラム動作時のメモリ デバイスの内部オーバーヘッドが削減されるため、書き込みバッファによるプログラムはより効率的になり、ワード プログラム コマンドによって個別ワードをプログラムする方式よりプログラム時間がさらに短縮されます。

各ハーフページはそれらの方式のどちらかでプログラムできます。異なる方式でプログラムされたハーフページが 1 つのラインに混在する場合もあります。

半ページで 2 回以上のワード プログラミングと書き込みバッファ プログラミングは、レガシー ソフトウェア互換性用にサポートされます。ただし、消去せずにハーフページ内でワードプログラミングまたは書き込みバッファプログラミングを複数回使用する

と、そのハーフページに対するデバイスの ECC 機能が無効になります。同じ半ページで複数のプログラミング動作を要求するアプリケーションの場合、半ページのデータ整合性を強化するためにシステム ソフトウェアのエラー検出および訂正機能を追加することを推奨します。

注: 2ビットECCが有効な場合、同じページ内で複数のワードプログラミングまたは書き込みバッファプログラミングを行うと、プログラムエラーが発生します。

シリコンでの次世代の HyperFlash では、半ページを含むセクタに消去動作がない同じ半ページでの複数プログラムの動作に対応しなくなる可能性があります。次世代向けソフトウェア置き換え計画として、半ページごとおよび1つの消去動作ごとの単一プログラム動作のみ対応するデータ構造とデータ管理方式を受け取るようにする必要があります。

6.2.2 追加プログラム

同じワード位置では、ワードまたはライトバッファプログラミング方式のいずれによっても、1から0へのインクリメントな変更を1回以上プログラム可能です。ただし、24ページの「6.2.1 プログラム粒度」で記述されているように、追加プログラムはECCシンドロームビットに影響し、デバイスがその半ページのECCを無効にします。

注: 2ビットECCが有効な場合、同じページ内で複数のワードプログラミングまたは書き込みバッファプログラミングを行うと、プログラムエラーが発生します。

6.2.3 プログラム方式

6.2.3.1 ワードのプログラム

ワードプログラミングは、フラッシュメモリアレイの任意の場所に単一ワードやワードグループをプログラムするために使用されます。

ワードプログラムのコマンドシーケンスは最小で4つのコマンド書き込みトランザクションを要します。プログラムコマンドシーケンスは、ロックされない2つのコマンド書き込みトランザクション(トランザクション1と2)の次にプログラム設定コマンド(トランザクション3)を発行することで開始されます。プログラムアドレスとデータが次に書き込まれ(トランザクション4)、順番に組込みプログラムアルゴリズムが開始されます。システムは、さらに制御やタイミングを提供する必要はありません。デバイスは自動的にプログラムパルスを生成し、内部でプログラムされたセルマージンを検証します。組込みプログラムアルゴリズムが完了すると、EACはスタンバイ状態に戻ります。

ワードプログラムコマンドシーケンスのこの4つのトランザクションは単一(16ビット)ワード(2バイト)のプログラムに使用されます。バースト書き込み機能を使用することで、複数の順次ワードをワードプログラムシーケンスでプログラムできます。ロックされないプログラムのコマンドシーケンスは単一ワードプログラムシーケンスと同一ですが、データ/アドレストランザクション中に、1回のCS#アサートで多くの順次データ値がロードされます。既存のデータは、バースト書き込みトランザクションのコマンド/アドレスフェーズで識別された対象のアドレスから開始する順次アドレスにプログラムされます。整列される256ワード(512バイト)アドレス境界を越えない限り、最大256ワード(512バイト)をプログラムできます。

システムは、ステータスレジスタを読み出してプログラム動作のステータスを調べられます。47ページの「6.2.14 エラータイプおよび消去手順」を参照してください。

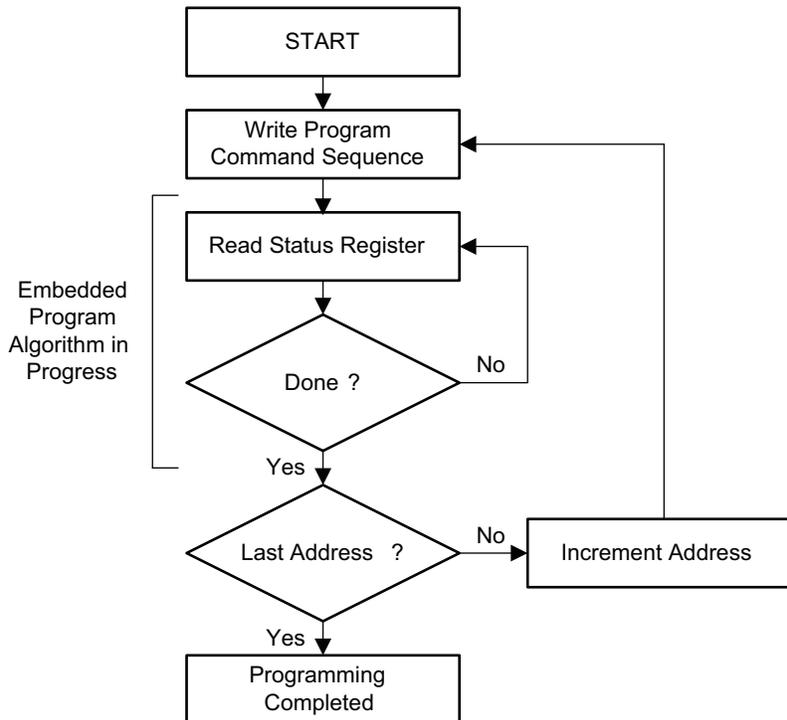
組込みプログラムアルゴリズムの実行中にデバイスに書き込まれるプログラム一時停止とステータスレジスタ読み出し以外のコマンドはすべて無視されます。

ハードウェアリセット(RESET# = V_{IL})や電源切断により、プログラム動作が瞬時に終了し、 t_{RPH} 時間後にデバイスが読み出しモードに戻ることに、ご注意ください。しかし、この動作終了では、プログラム進行中の領域は、データ値が無効か不安定である中間的な状態になる場合があります。データが完全にプログラムされるために、デバイスのハードウェアリセット動作が完了すると、プログラムコマンドシーケンスは同様のデータで再度開始しプログラム動作を完成できます。ただし、最高のデータ整合性を保証するためには、プログラム動作が終了されたセクタを消去し再プログラムする必要があります。

ワードプログラムコマンドは、SSR ASOに入ったときに使用することもできます。

ロックされない書き込みサイクルなしの修正済みワードプログラムコマンドは、ASPコンフィギュレーションレジスタ(ASPR)、パスワード、PPB ASOに入るときのプログラミングとして使用されます。PPBロックとDYB ASOに入るときに、揮発性ビットを変更するためにも、同様のコマンドが使用されます。プログラムコマンドシーケンスについては、ページ69の表40をご覧ください。

図 13. ワード プログラム動作



6.2.3.2 書き込みバッファプログラム

書き込みバッファは、512 バイトの境界 (ライン) にアラインされた 512 バイトのアドレス範囲内のデータをプログラムする際に使用されます。このように、フルサイズの書き込みバッファプログラム動作はライン境界に整列される必要があります。512 バイト以下のプログラム動作は、任意のワード境界で開始できますが、ライン境界を越えることはできません。書き込みバッファプログラム動作の開始時に、バッファ内のすべてのビット位置は 1 (FFFFh ワード) であるため、ロードされない位置には既存のデータが保持されます。アドレス マップについては、[ページ 5 の表 1](#) を参照してください。

書き込みバッファプログラムでは、1 回の動作で最大 512 バイト プログラミングできます。各書き込みバッファプログラム動作では、1 ビットから 512 バイトまでのプログラムが可能で、複数の 16 バイト (半ページ) に書き込み、各半ページは 1 回だけ書き込むことを強く推奨します。最高のパフォーマンスを得るには、512 バイト境界上の 512 バイト 整列ライン全体でプログラムする必要があります。

書き込みバッファプログラムはフラッシュ メモリ アレイまたは SSR ASO のみサポートされます。

最初にロックされないサイクルを 2 回書き込みして、書き込みバッファプログラム動作を開始します。その後、プログラミング中のセクタ アドレス (SA) で、バッファ書き込みコマンドの 3 回目の書き込みサイクルが続きます。次に、システムはワード位置 -1 の値を書き込みます。これにより、デバイスはデータをロードする書き込みバッファアドレス数を認識し、したがって、プログラムバッファの確認コマンドの実行タイミングを認識します。バッファへの書き込みコマンドと、ワード数書き込みコマンド内のセクタ アドレスは一致しなければなりません。プログラム対象のセクタはアンロック (非保護) になる必要があります。プログラミング動作をロックされたセクタで行おうとする場合、その動作は中止され、失敗がステータスレジスタに表示されます ([ページ 36 の表 17](#) を参照してください)。

この後、システムは開始アドレスとデータワードを書き込みます。この開始アドレスはプログラムされる最初のアドレスとデータのペアで、書き込みバッファライン内の開始アドレスを選択します。セクタアドレスは、バッファコマンドセクタアドレスへの書き込みと一致する必要があります。そうでない場合は、動作が中断され、開始状態に戻ります。それ以降のすべてのアドレスとデータのペアは順次書き込まれる必要があります。すべての書き込みバッファアドレスは同じライン内にある必要があります。システムがこの範囲外のデータをロードしようとする場合、動作は中止され、開始状態に戻ります。データワードのロード中は、線形バーストシーケンスはサポートされないことに注意してください。

ワードカウンタは、データのロード動作ごとにデクリメントします。データ書き込みをカウントダウンしながら、毎回の書き込みは、書き込みバッファへロードされているデータと見なされることに注意してください。書き込みバッファロード中は、すべての

コマンドが不可能です。書き込みバッファのロードを停止する唯一の方法は、プログラミング動作のライン外にあるアドレスを使って書き込むことです。無効なアドレスを受け取ると、バッファへの書き込みコマンドは直ちに停止し、バッファ書き込み停止ステータスビット (SR[3]) を設定します。

書き込みバッファ位置の指定した数をロードしたら、システムはセクタ アドレスに対してプログラム バッファを書き込み、フラッシュ コマンドを実行しなければなりません。デバイスはビジー状態になります。組込みプログラム アルゴリズムはデータを自動的にプログラムし、データ パターンが正しいかを検証します。システムは、これらの動作中に制御やタイミングを提供する必要はありません。書き込みバッファ位置の不正な数がロードされた場合、動作は中止され、開始状態に戻ります。データワードのワード カウント数の最後にプログラム バッファ フラッシュ コマンドが書き込まれずに、別のコマンドやデータが書き込まれると、動作は中止されます。

書き込みバッファの組込みプログラム動作は、プログラム中止コマンドにより中止できます。組込みプログラム アルゴリズムが完了すると、EAC は、プログラム動作が開始された時の EAC スタンバイまたは消去中止スタンバイの状態に戻ります。

システムは、ステータス レジスタを使用してプログラム動作のステータスを調べられます ([ページ 36 の表 17](#) を参照してください)。プログラム動作図については、 [28 ページの「図 14. ステータス レジスタを使用した書き込みバッファ プログラミング動作」](#) を参照してください。

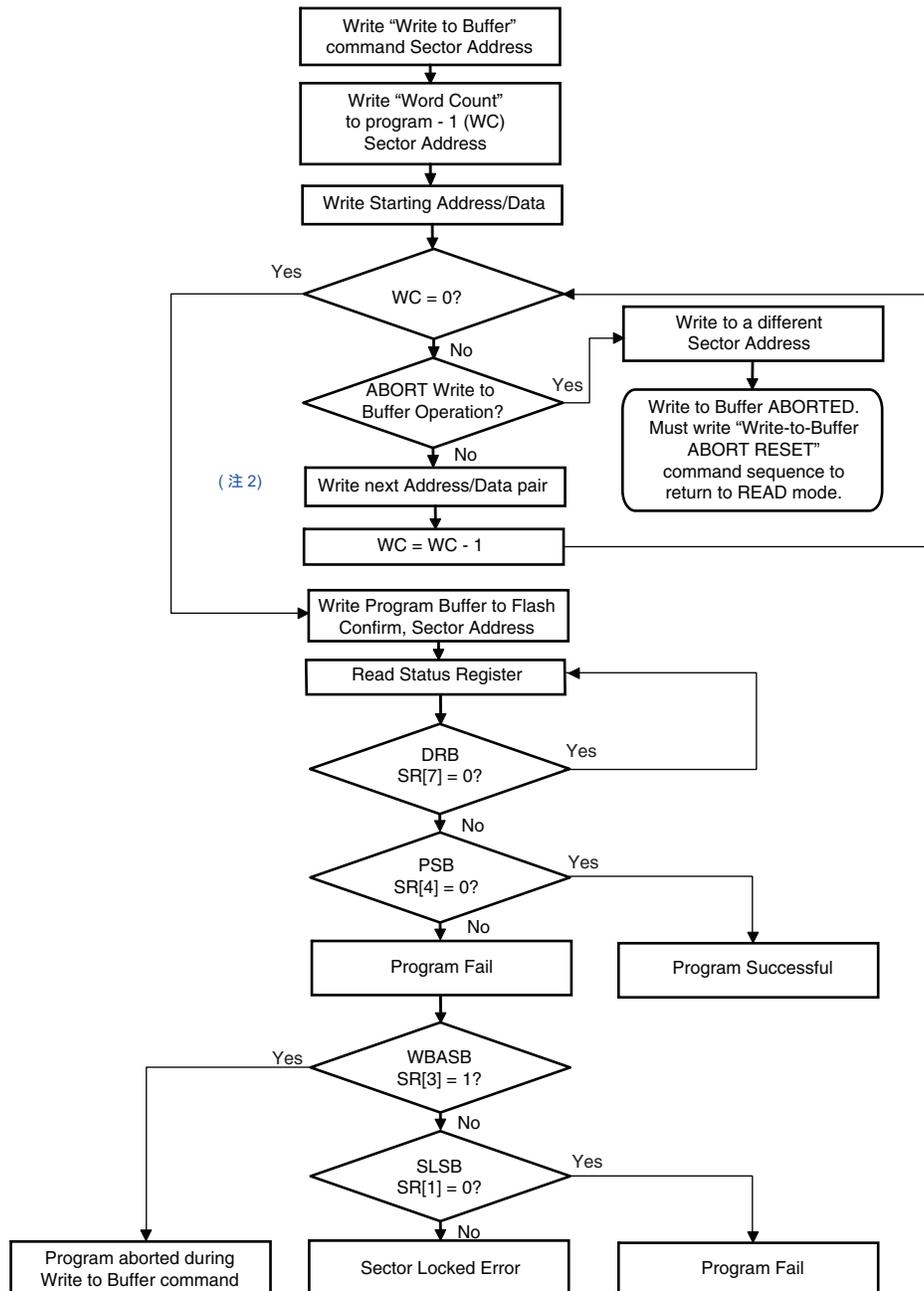
バッファ書き込みプログラミング シーケンスは、以下の条件で中止されます。

- バッファ サイズ (255) を越えるワード カウント値をロードしました。
- バッファへの書き込みコマンドで指定されたラインに属さないアドレスを書き込みました。
- 書き込みワード カウント数で指定したデータ ワードがロードされた後に、フラッシュへのバッファ プログラム コマンドが実行されませんでした。

バッファ書き込みコマンドの強制終了の原因となる何らかの状態が発生すると、動作は直ちに終了し、ステータス レジスタのビット 位置 4 (PSB = 1) に、バッファ書き込み中止のビット位置 3 (WBASB = 1) によるプログラム失敗が報告されます。その後、プログラム動作が成功すると、この失敗の状態はクリアされます。またはクリア ステータス レジスタが実行されて、PSB ステータスビットがクリアされます。

バッファ書き込みプログラミング シーケンスは、ハードウェア リセットまたはパワー サイクルにより終了させられます。しかし、これらの方法のいずれかの使用は、中間的な不安定な状態のデータになってしまう場合があります。この場合は、同じデータで同じ領域を再プログラムするか、または消去してデータ値を正しくプログラムまたは消去する必要があります。最高のデータ整合性を確実にするために、プログラム動作が終了しセクタを消去し再プログラムする必要があります。

図 14. ステータスレジスタを使用した書き込みバッファプログラミング動作



注:
 32 バッファ書き込みプログラムに必要なコマンドシーケンスについては、ページ69の表40を参照してください。
 33 セクタアドレスが指定された時、指定されたセクタのいずれのアドレスも有効になります。ただし、バッファ書き込みアドレス位置をデータと共にロードする場合は、アドレスはすべて、選択したバッファ書き込みページ内に収める必要があります。

表 13. 書き込みバッファ プログラムでのコマンド シーケンス

シーケンス	アドレス	データ	注記
アンロック コマンド 1 を実行	555h	AAh	
アンロック コマンド 2 を実行	2AAh	55h	
セクタ アドレスでバッファ書き込みコマンドを実行	SA	0025h	
セクタ アドレスでロケーション数を実行	SA	WC	WC = プログラムするワード数 - 1
例: WC = 0: 1 ワードをプログラム WC = 1: 2 ワードをプログラム			
開始アドレス/データのペアをロード	開始アドレス	PD	1 行を選択し、最初のアドレス/データのペアをロード
次のアドレス/データのペアをロード	WBL	PD	アドレスはすべて、選択した行の境界内に収まり、逐次的な順序でロードされる 必要がある
最後のアドレス/データのペアをロード	WBL	PD	アドレスはすべて、選択した行の境界内に収まり、逐次的な順序でロードされる 必要がある
セクタアドレスでライトバッファプログラム確認コマンドを実行	SA	0029h	このコマンドは、ロードされた最後の書き込みバッファ ロケーションの直後に 実行しなければならない 。それ以外の場合は動作が終了
デバイスがビジーになる			

凡例:

SA = セクタ アドレス (非セクタ アドレス ビットは「ドント ケア」です。セクタ内の任意のアドレスで十分です。)

WBL = 書き込みバッファ位置 (開始アドレスによって指定されたライト - バッファ - ラインの境界内である必要があります。)

WC = ワードカウント

PD = プログラム データ

6.2.4 プログラム中止/プログラム再開コマンド

プログラム中止コマンドにより、システムは組込みプログラム動作に割り込み、中止されていない他のラインからデータを書き込みます。プログラミング実行中にプログラム中止コマンドを書き込むと、デバイスは t_{PSL} (プログラム中止レイテンシー) の間、そのプログラム動作を停止して、ステータス ビットを更新します。プログラム中止コマンドを書き込む際、アドレスは「ドント ケア」です。

プログラム動作が中止すると、システムは中止されていない任意のラインからデータ アレイを読み出せるようになります。消去中止時に他のセクタにプログラムしている場合でも、プログラム中止が可能です。この場合、消去中止またはプログラム中止状態になっていないアドレスのいずれからでもデータを読み出せます。

プログラム再開コマンドを書き込むと、デバイスはプログラム動作に戻り、ステータス ビットが更新されます。システムは、ステータス レジスタを読み出してプログラム動作のステータスを調べられます。これらのステータス ビットについては、[47 ページの「6.2.14 エラー タイプおよび消去手順」](#)を参照してください。

プログラム中止中に有効なアクセスとコマンドは次のとおりです。

- 非消去中止セクタに対する読み出し
- 非プログラム中止ラインに対する読み出し
- ステータス読み出しコマンド
- ASO 終了またはコマンド セット 終了
- プログラム再開コマンド
- ロード割込みコンフィギュレーション レジスタ
- ロード割込みステータス レジスタ

プログラム中止モードを終了して、プログラム動作を続けるには、プログラム再開コマンドを書き込む必要があります。さらにプログラム再開コマンドを書き込んで無視されます。デバイスがプログラム動作を再開した後は、プログラム中止コマンドを再度書き込みます。

プログラム動作は、何度でも必要なだけ中止できますが、プログラム動作を進捗させ完了させるためには、再開コマンドと次の中止コマンドの間を、 t_{PRS} 以上にする必要があります。[23 ページの「6.1 組込みアルゴリズム コントローラー \(EAC\)」](#)を参照してください。

プログラムの中止と再開は、ASO に入っている間はサポートされません。プログラムの中止の間は、ASO に入ることはサポートされません。

6.2.5 ブランクチェック

ブランク チェック コマンドにより、選択したフラッシュ メモリ アレイ セクタが完全に消去されているかどうかを確認できます。ブランク チェック コマンドの実行中は、対象アレイの読み出しはできなくなります。このコマンドの実行中に対象アレイを読み出すと、不明なデータが返されます。

任意のセクタでブランクチェックを開始するには、EAC がスタンバイ状態になっている時に、そのセクタのアドレス 555h に 33h を書き込みます。

デバイスがプログラムまたは消去を実行中、または中止中であると、ブランク チェック コマンドが書き込まれない場合があります。

ステータス レジスタの書き込みコマンドを使用して、デバイスがビジーであるかどうか、また、完了後にセクタがブランクになっているかどうかを確認してください。ステータス レジスタのビット 7 に、デバイスがブランク チェックを実行中であるかどうかを示されます (消去動作と同様)。ステータス レジスタのビット 5 は、セクタが消去された場合は 0 にクリアされ、消去されなかった場合は 1 にセットされます。

消去されなかったビットを発見するとすぐに、デバイスは動作を停止して、結果を報告します。

ブランク チェックが完了すると、EAC はスタンバイ状態に戻ります。

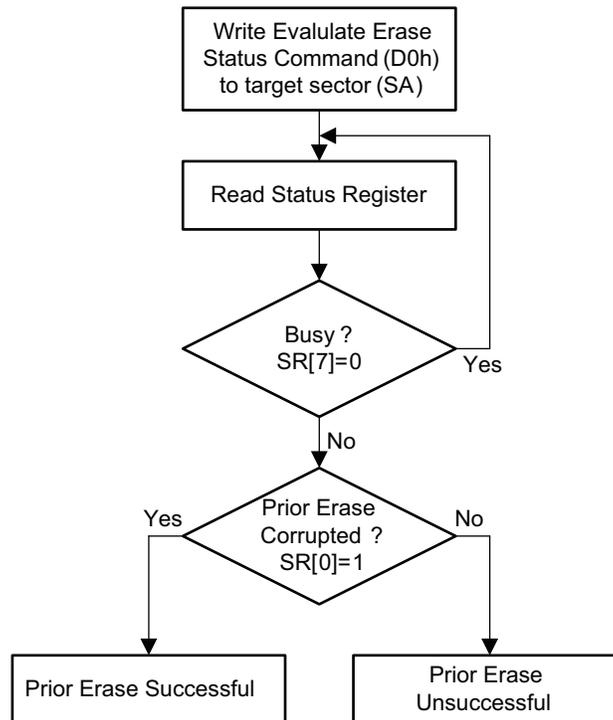
6.2.6 消去ステータス評価

消去ステータス評価 (EES) コマンドは、アドレス指定されたセクタの最後の消去動作が正常に完了したかを確認します。選択されたセクタが正常に消去された場合は、ステータス レジスタ内のセクタ消去ステータス ビット (SR[0]) が 1 にセットされます。選択したセクタが完全に消去されていない場合は SR[0] が 0 にクリアされます。詳細は、[31 ページの「図 15. 消去ステータス評価ソフトウェアシーケンス」](#)を参照してください。

EES コマンドは、消去動作中の電力喪失、リセット、または失敗による消去動作を検出できます。

EES コマンドは、ステータス レジスタ内のセクタ消去ステータス ビット (SR[0]) を完了し、更新するために t_{EES} を要します。ステータス レジスタ内のデバイス レディー ビット (SR[7]) は書き込みステータス レジスタ (70h) コマンドを使用して EES コマンドの完了タイミングを確定します。ステータス レジスタ内のデバイス レディー ビットは、デバイスがレディー (1) 状態に戻ったことを示したら、セクタ消去ステータス ビット (SR[0]) は対象セクタが正常に消去されたかどうかを示します。任意のセクタが消去されない (SR[0] = 0) ことが検出された場合、そのセクタ内のデータ格納を確保するために、セクタを再び消去しなければなりません。

図 15. 消去ステータス評価ソフトウェア シーケンス



6.2.7 消去方式

6.2.7.1 チップ消去

チップ消去機能は、フラッシュ メモリ アレイ全体を消去します。消去の前にデバイスをプリプログラムする必要はありません。組込み消去アルゴリズムは自動的にプログラムし、電気的な消去実行の前に、メモリ全体がすべて 0 になっているかを検証します。チップ消去が正常に完了すると、デバイス内のすべての領域が FFFFh になります。システムは、これらの動作中に、制御やタイミングを提供する必要はありません。アンロック サイクル (2 回) の後に、セットアップ コマンドを書き込んで、チップ消去コマンドシーケンスを開始します。さらに、アンロック書き込みサイクル 2 回の後にチップ消去コマンドを書き込むと、組込み消去アルゴリズムが開始します。

組込み消去アルゴリズムが完了すると、EAC はスタンバイ状態に戻ります。組込み消去動作の実行中は、デバイスから有効なデータを書き込めません。システムは、ステータス レジスタを読み出して消去動作のステータスを調べられます。これらのステータスビットについては、47 ページの「6.2.14 エラー タイプおよび消去手順」を参照してください。チップ消去動作が一旦開始すると、ステータス書き込み、ハードウェア リセット、パワー サイクルのみが有効です。その他のすべてのコマンドは無視されます。ただし、ハードウェア リセットまたはパワー サイクルを実行すると、消去動作が直ちに終了し、 t_{RPH} 時間後に読み出しモードに戻ります。チップ消去動作が終了した場合は、データの完全性を確保するために、デバイスがスタンバイ状態に戻ったらチップ消去コマンドシーケンスを再度実行してください。

ASP DYB および PPB ビットによって保護されたセクタは消去されません。69 ページの「8 ソフトウェアインターフェース参考資料」を参照してください。チップ消去は、保護されたセクタを飛ばして、次のセクタの消去を続行します。保護されたセクタで失敗した消去動作があっても、ステータス レジスタの消去ステータスビットとセクタ ロックビットは 1 にセットされません。

6.2.7.2 セクタ消去

セクタ消去機能は、メモリ アレイ内の 1 つのセクタを消去します。消去の前にデバイスをプリプログラムする必要はありません。組み込み消去アルゴリズムは自動的にプログラムし、電気的な消去の前に、セクタ全体がすべて 0 になっているかを検証します。セクタ消去が正常に完了すると、消去されたセクタ内のすべての領域が FFFFh になります。システムは、これらの動作中に、制御やタイミングを提供する必要はありません。アンロック サイクル (2 回) の後に、プログラム セットアップ コマンドを書き込んで、セクタ消去コマンド シーケンスを開始します。次に、追加の 2 つのアンロック書き込みサイクルの後に、消去対象セクタのアドレスと、セクタ消去コマンドが続きます。

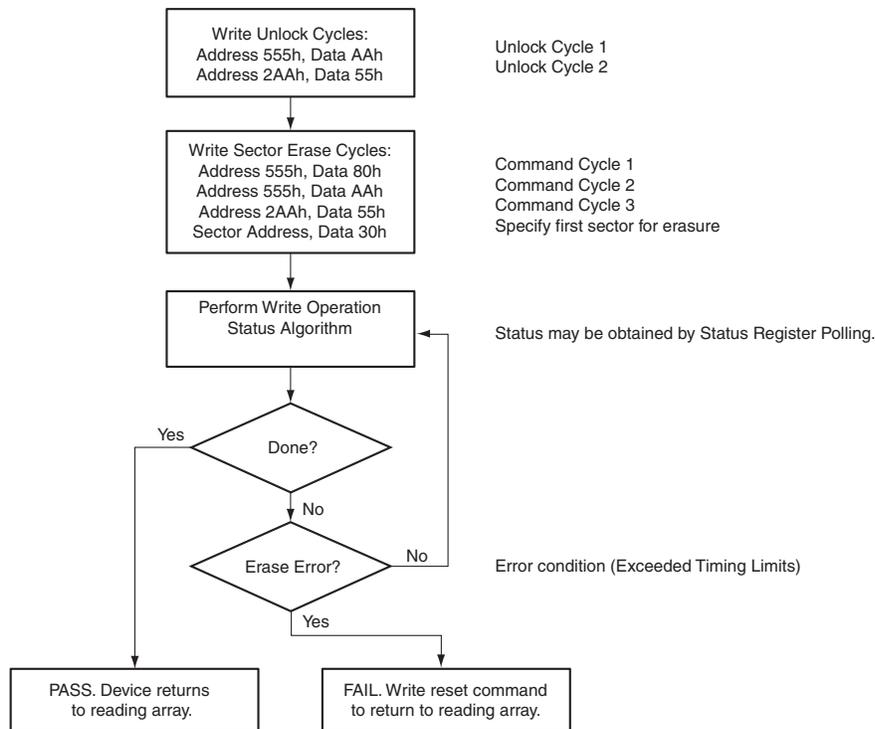
システムは、ステータス レジスタを読み出して消去動作のステータスを調べられます。これらのステータス ビットについては、47 ページの「6.2.14 エラー タイプおよび消去手順」を参照してください。

一旦セクタ消去動作が始まると、ステータス レジスタ書き込みコマンドと消去中止コマンドが有効となります。他のコマンドはすべて組み込みアルゴリズム コントローラーにより無視されます。ただし、ハードウェア リセットを実行すると、直ちに消去動作が終了し、 t_{RPH} 時間後に読み出しモードに戻ります。セクタ消去動作が終了した場合は、デバイスの動作がリセットされたらセクタ消去コマンド シーケンスを再度実行して、データの完全性を確保してください。

パラメーターとタイミング図については、23 ページの「6.1 組み込みアルゴリズム コントローラー (EAC)」を参照してください。

ASP DYB および PPB ビットによって保護されたセクタは消去されません。69 ページの「8 ソフトウェアインターフェース参考資料」を参照してください。プログラミング動作をロックされたセクタで行おうとする場合、その動作は中止され、失敗がステータス レジスタに表示されます (ページ 43 の表を参照してください)。

図 16. セクタ消去動作



6.2.8 消去中止／消去再開

消去中止コマンドを実行すると、システムはセクタ消去動作を中止して、フラッシュメモリアレイのデータ読み出し／書き込みができるようになります。このコマンドはセクタ消去またはセクタプログラムの動作中にのみ有効です。チップ消去動作中に消去中止コマンドを書き込んでも無視されます。

セクタ消去中に消去中止コマンドが書き込まれると、デバイスは消去動作を中止するまでに最大 t_{ESL} (消去中止レイテンシ) を必要とします。

消去動作が中止された後、デバイスは消去中止モードに入ります。この時、システムは、フラッシュメモリアレイのデータ読み出し／書き込みができるようになります。消去中止の対象セクタ内のいずれかのアドレスから読み出すと、不確定なデータが返されます。システムは、ステータスレジスタを読み出すことで、セクタが消去中、あるいは消去中止中かどうかを調べられます。これらのステータスビットについては、47ページの「6.2.14 エラータイプおよび消去手順」を参照してください。

消去中止中のプログラム動作が完了すると、EACは消去中止状態に戻ります。通常のプログラム動作と同じように、システムはステータスレジスタを読み出すことで、プログラム動作の状態を確認できます。

消去中止中にプログラムが失敗した場合は、ステータスレジスタクリアまたはソフトウェアリセットコマンドにより、デバイスを消去中止状態に復帰させられます。そのメモリアレイに再度プログラムする場合は、その前に消去を再開し完了させる必要があります。

以下は消去中止中に有効なアクセスとコマンドです。

- 中止状態でないセクタからの読み出し
- 中止状態でないセクタへのプログラム
- ステータス読み出しコマンド
- ASO終了またはコマンドセット終了
- 消去再開コマンド
- SSR エントリ
- SSR 読み出し
- SSR プログラム

セクタ消去動作を再開させるには、消去再開コマンドを書き込む必要があります。デバイスは消去動作に戻り、ステータスビットが更新されます。また、この後に再開コマンドを書き込んでも無視されます。チップが消去動作を再開すると、消去中止コマンドを再度書き込みます。

デバイスが消去中止状態である間はコマンドがDYB ASOに入力できないことに注意してください。

6.2.9 揮発性および不揮発性レジスタのまとめ

6.2.9.1 不揮発性コンフィギュレーションレジスタ

表 14. 不揮発性コンフィギュレーションレジスタ

記号	名前	幅 (bits)	NV タイプ	デフォルト 値	参照
NVCR	不揮発性コンフィギュレーションレジスタ	16	P/E	8EBBh	37ページの「6.2.12 不揮発性コンフィギュレーションレジスタと揮発性コンフィギュレーションレジスタ」
PASS	パスワード保護レジスタ	64	OTP	FFFF FFFF FFFF FFFFh	58ページの「6.3.9 パスワード保護モード」
PPB	恒久的保護ビット	セクタあたり 1ビット	P/E	1	56ページの「6.3.4. 恒久的プロテクトビット (PPB)」
ASPR	ASPコンフィギュレーションレジスタ	16	OTP	FEFFh	57ページの「6.3.7. ASPコンフィギュレーションレジスタ」
PORTime	パワーオンリセット時間	16	OTP	FFFFh	82ページの「10.6.1 パワーオン(コールド)リセット(POR)」

6.2.9.2 揮発性コンフィギュレーションレジスタ

表 15. 揮発性コンフィギュレーションレジスタ

記号	名前	幅 (ビット)	デフォルト値	参照
VCR	揮発性コンフィギュレーションレジスタ 0	16	NVCR	37 ページの「6.2.12. 不揮発性コンフィギュレーションレジスタと揮発性コンフィギュレーションレジスタ」
DYB	動的保護ビット	セクタあたり 1ビット	1	56ページの「6.3.5. 動的保護ビット (Dynamic Protection Bit)」
PPBL	PPBロックビット	1	ASPR[2]	56ページの「6.3.3. PPBロック」
ICR	割込みコンフィギュレーションレジスタ	16	FFFFh	61ページの「6.3.12. INT#出力」
CRCS	CRC開始アドレスレジスタ	26 (1 Gb)	3FFFFFFh	7ページの「1.2.2.1 CRC Check-Valueの計算」
CRCE	CRC終了アドレスレジスタ	26 (1 Gb)	3FFFFFFh	7ページの「1.2.2.1 CRC Check-Valueの計算」

6.2.10 揮発性結果と状態レジスタ

表 16. 揮発性Resultとステータスレジスタ

名前	幅 (ビット)	デフォルト値	参照
セクタロックステータス	セクタあたり3ビット	該当なし	ページ69の表40の注を参照
ステータスレジスタ	16	xx80h	ページ36の表17
割込みステータスレジスタ	16	FFFBh	ページ62の表33
ECCステータスレジスタ	16	該当なし	
エラー下位アドレス トラップレジスタ	16	該当なし	ページ69の表40
エラー上位アドレス トラップレジスタ	16	該当なし	ページ69の表40
読み出しCheck-value Low Resultレジスタ	16	該当なし	44ページの「6.2.12.1 CRC値レジスタ」
読み出しCheck-value High Resultレジスタ	16	該当なし	44ページの「6.2.12.1 CRC値レジスタ」

6.2.11 ステータスおよび構成レジスタの定義

6.2.11.1 ステータスレジスタモード

組込みアルゴリズムのステータスは、単一の16ビットステータスレジスタによって提供されます。ステータスレジスタ読み出しコマンドが発行され、続いてステータスレジスタ情報の読み出しアクセスが1回実行されます。ステータスレジスタの内容は、デバイスアドレス空間のすべての場所でエイリアス (オーバーレイ) されます。オーバーレイは、1回の読み出しアクセス、特にステータスレジスタ読み出しコマンドに続く次の読み出しアクセスに対して有効です。ステータスレジスタに1回アクセスすると、ステータスレジスタASOが終了します。

ステータスレジスタには、最後に開始された組込みアルゴリズム (EA) の結果 (成功または失敗) に関連するビットが含まれていません。

- 消去ステータス (ビット 5)
- プログラムステータス (ビット 4)
- 書き込みバッファアポート (ビット 3)
- セクタロックステータス (ビット 1)
- セクタ消去ステータスビット (ビット 0)

そして、プロセス中EAの現在の状態に関連するビットも含まれています。

- デバイスビジー (ビット 7)
- 消去中止 (ビット 6)
- プログラム中止 (ビット 2)
- CRC 計算中止 (ビット 8)

現在のステータスビットは、EAが処理中、中止、または完了したかどうかを示します。

上位7ビット (ビット15:9) は予約されています。これらには未定義のHighまたはLowの値があり、ある状態から別の状態に変わる可能性があります。これらのビットは「don't care」として扱われ、ソフトウェア読み出しステータスでは無視されます。

クリアステータスレジスタコマンドおよびソフトウェアリセットコマンドは、ステータスレジスタの結果関連ビット (ビット5、4、3、2、1、および0) を0にクリアしますが、現在の状態ビットには影響しません。

表 17. ステータスレジスタ

ビット番号	ビット説明	ビット名	リセットステータス	ビジーステータス	レディステータス
[15:9]	予約済み		X	無効	X
[8]	CRC中止ステータスビット	CRCSSB	0	無効	0 = CRC中止なし 1 = CRC中止
[7]	デバイスレディビット	DRB	1	0	1
[6]	消去中止ステータスビット	ESSB	0	無効	0 = 消去中止なし 1 = 消去中止
[5]	消去ステータスビット	ESB	0	無効	0 = 消去成功 1 = 消去失敗
[4]	プログラムステータスビット	PSB	0	無効	0 = プログラム成功 1 = プログラム失敗
[3]	書き込みバッファアポルトステータスビット	WBASB	0	無効	0 = プログラム中止なし 1 = バッファへコマンドへの書き込み中プログラムが中止
[2]	プログラム中止ステータスビット	PSSB	0	無効	0 = プログラム中止なし 1 = プログラム中止
[1]	セクタロックステータスビット	SLSB	0	無効	0 = 動作中のセクタロックなし 1 = セクタロックエラー
[0]	セクタ消去ステータスビット	ESTAT	0	無効	0 = セクタ消去ステータスコマンド結果 = 前の消去が正常に完了しなかった 1 = セクタ消去ステータスコマンド結果 = 前の消去が正常に完了した

注:

- 34 ビット15～9は、将来の使用のために予約されており、0または1として表示される場合があります。これらのビットは、ステータスをチェックするときに無視（マスク）する必要があります。
- 35 デバイスで進行中の埋め込みアルゴリズムがない場合、ビット7は1です。
- 36 ビット8およびビット6～0は、ビット7が1の場合にのみ有効です。
- 37 すべてのビットは、コールドリセットまたはウォームリセットによってリセット状態になります。
- 38 ビット5、4、3、1、および0は、ステータスレジスタのクリアコマンドまたはソフトウェアリセットコマンドによって0にクリアされます。
- 39 消去中止コマンドを発行すると、ユーザーはDRBが1になるまでステータスの読み出しを続ける必要があります。
- 40 ESSBは、消去再開コマンドによって0にクリアされます。
- 41 ESBは、最新の消去操作の成功または失敗を反映しています。
- 42 PSBは、最新のプログラム操作の成功または失敗を反映しています。
- 43 消去中止中に、中止されたセクタにプログラミングすると、プログラムエラーが発生し、プログラムステータスビットが1に設定されます。
- 44 消去中止中、消去操作により消去エラーが発生し、消去ステータスビットが1に設定されます。
- 45 プログラム中止中、プログラミング操作によりプログラムが失敗し、プログラムステータスビットが1に設定されます。
- 46 プログラム中止中に、消去操作により消去エラーが発生し、消去ステータスビットが1に設定されます。
- 47 プログラム中止コマンドを発行すると、ユーザーはDRBが1になるまでステータスの読み出しを続ける必要があります。
- 48 PSSBは、プログラム再開コマンドによって0にクリアされます。
- 49 SLSBは、ターゲットメモリ領域がロックされているため、プログラムまたは消去操作が失敗したことを示します。
- 50 SLSBは、最新のプログラムまたは消去操作のステータスを反映します。
- 51 CRCSSB — CRC計算の中止中は、アレイからの読み出し操作のみが許可されます。

6.2.12 不揮発性コンフィギュレーションレジスタと揮発性コンフィギュレーションレジスタ

不揮発性構成レジスタ (NVCR) 及び揮発性構成レジスタ (VCR) は HyperFlash バスの動作条件を定義するために使用されます。以下は構成可能な特性です。

1. ラップ式バースト長 (16 バイト、32 バイト、または 64 バイトのラップ式バースト)
 - a. 16 バイトと、32 バイトのラップ式バーストは、従来の方法で動作し、64 バイトのラップ式バーストは [ページ 40 の表 22](#) のように動作します。
2. 読み出しレイテンシ (最初の読み出しレイテンシを可能にするために 5 ~ 16 のクロックを供給)
3. 出力ドライバー駆動強度
4. 4KB のパラメーター セクタが使用されるかどうか、そしてそれらがどのようにアドレス マップにマップされるか
5. セキュア シリコン領域をロックするための SSR フリーズ ビット
6. 揮発性コンフィギュレーション レジスタと不揮発性コンフィギュレーション レジスタをロックするための xVCR フリーズ ビット

[ページ 69 の表 40](#) で説明するように VCR と NVCR の内容をロードし、読み戻せます。HyperFlash デバイスは、NVCR の内容を電源投入時、またはハードウェア リセット後にバス特性を定義するために使用します。ホスト システムが VCR をロードする場合、バス特性は VCR 内容によって定義されます ([図 17](#) を参照してください)。NVCR は、初期設定を保持して起動中にホスト コントローラー設定との整合を取るために意図されます。VCR は、起動中にしばしば最適設定に更新されます。VCR がロードされると、バス特性のソースが NVCR から VCR に (電源投入またはハードウェア リセット後) 切り替わります。一旦 VCR をロードした場合、バス特性は電源投入またはハードウェア リセットのみにより NVCR 設定に戻されます。VCR は、ロック解除されている限り、デバイスがアイドルの時にいつでも変更できます。

NVCR の消去および再プログラム可能な回数は n_NVCR 仕様で定義されています。NVCR のプログラミング中およびその後にはバス コンフィギュレーションの一貫性を確保できるよう、NVCR プログラミング時に VCR をバス動作特性の定義に使用してください。

表 18. VCR と NVCR コンフィギュレーション レジスタ ビットの割り当て

xVCR ビット	機能	設定 (2 進数)
xVCR[15]	予約済み	1 = 予約済み (デフォルト)
xVCR[14:12]	ドライブ強度	ページ 38 の表 19 を参照してください。
xVCR[11]	xVCR フリーズ	0 = VCR または NVCR がロックされる (NVCR のプログラムや消去も VCR の変更もない) 1 = VCR と NVCR がロック解除される (工場出荷時のデフォルト状態)
xVCR[10]	SSR フリーズ	0 = セキュア シリコン領域がロックされる (プログラムは不可) 1 = セキュア シリコン領域がロック解除される (工場出荷時のデフォルト状態)
xVCR[9:8]	パラメーター セクタ マッピング	00 = パラメーター セクタと読み出しパスワード セクタは最下位のアドレスにマッピングされる 01 = パラメーター セクタと読み出しパスワード セクタは最上位のアドレスにマッピングされる 10 = ユニフォーム セクタと読み出しパスワード セクタが最下位のアドレスにマッピングされる (工場出荷時のデフォルト状態) 11 = ユニフォーム セクタと読み出しパスワード セクタが最上位のアドレスにマッピングされる
xVCR[7:4]	読み出しレイテンシ	0000 = 5 クロック レイテンシ 0001 = 6 クロック レイテンシ 0010 = 7 クロック レイテンシ 0011 = 8 クロック レイテンシ 0100 = 9 クロック レイテンシ ... 1011 = 16 クロック レイテンシ (工場出荷時のデフォルト状態) ページ 13 の表 4 を参照してください。
xVCR[3]	予約済み	1 = 予約済み (デフォルト)
xVCR[2]	予約済み	0 = デュアルエラー検出時にRWDSはストール (Lowのまま) します (デフォルト) 1 = デュアルエラー検出時にRWDSがストールしない
xVCR[1:0]	バースト長	00 = 予約済み 01 = 64 バイト 10 = 16 バイト 11 = 32 バイト (工場出荷時のデフォルト状態)

注:

52 コンフィギュレーション レジスタ ビットの配置は、不揮発性と揮発性コンフィギュレーション レジスタでは同じです。

表 19. 駆動強度

xVCR[14:12]	標準インピーダンス 1.8V V _{CCQ}	標準インピーダンス 3V V _{CCQ}	単位
000 (デフォルト)	27	20	Ω
001	117	71	
010	68	40	
011	k45	27	
100	34	20	
101	27	16	
110	24	14	
111	20	12	

注:

56 標準インピーダンスは基準 V_{CCQ} および 25°C で測定されます。

図 17. コンフィギュレーション制御^[53, 54, 55]

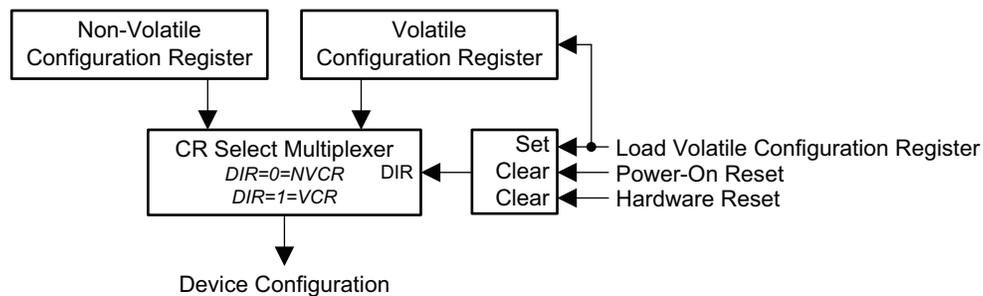


表 20. 電源投入やハードウェア リセットの直後の VCR と NVCR フリーズビット

NVCR.11 ビット	VCR.11 ビット	NVCR	VCR
1	1	プログラマブル/消去可能	設定可能/クリア可能
1	0	一時的ロック	一時的ロック
0	1	プログラマブル/消去可能	設定可能/クリア可能 ^[57, 59]
0	0	恒久的ロック	恒久的ロック ^[60]

注:

57 次の POR またはハードウェア リセットの後でない限り、NVCR のプログラミング/消去は動作に影響しません。

58 VCR をロードすると、直ちに動作に影響を与えます。

59 この影響は、NVCR[11] = VCR[11] = 1、かつ NVCR[11] ビットがプログラムされると発生します。この状態は次の POR またはハードウェア リセットまで維持します。その後は、NVCR[11] = VCR[11] = 0。

60 VCR は、NVCR[11] が以前にプログラムされており、POR またはハードウェア リセットが発生するとこの状態に入ります。

注:

53 ソフトウェア リセットが発生しても CR 選択マルチプレクサの状態は変わりません。

54 NVCR をプログラミングまたは消去しても以前にロードした VCR 内容は影響を受けません。

55 VCR がロードされていない場合、NVCR をプログラミングすると、VCR が NVCR の新しい値にロードされます。

表 21. パーストシーケンス例

VCR / NVCR [1:0]	CA[45]	ラップバウンダリ (バイト)	開始アドレス (16進数)	アドレスシーケンス (16進数) (ワード)
XX	1	リニア	XXXXXXXX03	03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、10、11、12、13、14、15、16、17、18、など
10	0	16	XXXXXXXX02	02、03、04、05、06、07、00、01、など
10	0	16	XXXXXXXX0C	0C、0D、0E、0F、08、09、0A、0B、など
11	0	32	XXXXXXXX0A	0A、0B、0C、0D、0E、0F、00、01、02、03、04、05、06、07、08、09、など
11	0	32	XXXXXXXX1E	1E、1F、10、11、12、13、14、15、16、17、18、19、1A、1B、1C、1D、など
01	0	64	XXXXXXXX03	03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、10、11、12、13、14、15、16、17、18、19、1A、1B、1C、1D、1E、1F、00、01、02、など
01	0	64	XXXXXXXX2E	2E、2F、30、31、32、33、34、35、36、37、38、39、3A、3B、3C、3D、3E、3F、20、21、22、23、24、25、26、27、28、29、2A、2B、2C、2D、など

表 22. 64 バイト ラップ パースト アドレス シーケンス (レイテンシ コード = 16) (続き)

クロックサイ クル	1	CA1																															-	レイテンシ数
	0	CA0																															-	
宛先アドレ ス	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	23	17	18	19	20	21	22	23	24	25	26	27	28	28	30	31		

凡例：

X = RWDS がトグルしないためバスがアイドル状態になるサイクル。 - = 64 バイトのラップ式パーストが完了した

表 22. 64 バイト ラップ パースト アドレス シーケンス (レイテンシ コード = 12) (続き)

15	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	-
14	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	-
13	バスターンアラウンド																											12					
...	+																											...					
3	初期レイテンシ																											2					
2	CA2																											1					
1	CA1																											-					
0	CA0																											-					
宛先アドレス	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	23	17	18	19	20	21	22	23	24	25	26	27	28	28	30	31	

凡例 :

X = RWDS がトグルしないためバスがアイドル状態になるサイクル。 - = 64 バイトのラップ式パーストが完了した

6.2.12.1 CRC値レジスタ

揮発性CRCレジスタ (CRCR) は、開始アドレスから終了アドレスまでのデータのCheck-valueを計算するCRCプロセスの結果を保存します。

表 23. CRC値レジスタビット割り当て

ビット位置	CRC値Low Resultレジスタ	CRC値High Resultレジスタ
[15]	R15	R31
[14]	R14	R30
[13]	R13	R29
[12]	R12	R28
[11]	R11	R27
[10]	R10	R26
[9]	R9	R25
[8]	R8	R24
[7]	R7	R23
[6]	R6	R22
[5]	R5	R21
[4]	R4	R20
[3]	R3	R19
[2]	R2	R18
[1]	R1	R17
[0]	R0	R16

6.2.13 ASO へのエントリおよび終了

6.2.13.1 ID-CFI ASO

システムは読み出しモード中に ID-CFI エントリ コマンド シーケンスを実行することで、ID-CFI ASO にアクセスできます。このエントリ コマンドは、コマンド内のセクタ アドレス (SA) を使用して、どのセクタがオーバーレイされるかを確認します。詳細については、[ページ 69 の表 40](#)、[ページ 21 の表 12](#)、[21 ページの「5.2.1 デバイス ID」](#)、[22 ページの「5.2.2 共通フラッシュ メモリ インターフェース」](#)を参照してください。

ID-CFI ASO では次の動作が行えます。

- 入力コマンドで使用した SA と同じ SA を使用して ID-CFI ASO を読み出せます。
- ASO を終了します。

以下は CFI へのエントリおよび終了関数を使用した C ソースコードの例です。サイプレス フラッシュ メモリ ソフトウェア開発ガイドラインについては、[Spansion Low Level Driver User Guide](#) を参照してください。

```

/* Example: CFI Entry command */
*( (UINT16 *)base_addr + 0x555 ) = 0x0098; /* write CFI entry command */

/* Example: CFI Exit command */
*( (UINT16 *)base_addr + 0x000 ) = 0x00F0; /* write cfi exit command */

```

注:
61 CRC 値は揮発性レジスタです。

6.2.13.2 ステータス レジスタ ASO

ステータス レジスタの読み出しコマンドを実行すると、レジスタが現在のステータスを取得し、ASO に入ります。ステータス レジスタ ASO で読み出すと、ASO から抜け出し、ステータス レジスタの読み出しコマンド実行直前に使用していたアドレス空間マップに戻ります。ステータス レジスタ ASO を終了するには、ステータスを読み出す前に、他のコマンドを送信しないでください。ステータス レジスタの内容は、バースト読み出しの最初のデータ値としてのみ出力され、次のクロック サイクルでは不定のデータが出力されます。

6.2.13.3 セキュア シリコン領域 ASO

システムは、リードモード中にセキュアシリコン領域エントリ コマンド シーケンスを実行することで、セキュア シリコン領域にアクセスできます。このエントリ コマンドは、コマンド内のセクタ アドレス (SA) を使用して、どのセクタがオーバーレイされるかを確認します。

セキュア シリコン領域 ASO では次の動作が行えます。

- エントリ コマンドで使用した SA と同じ SA を使用してセキュア シリコン領域を読み出します。オーバーレイされた SA を使用して SSR 外の領域を読み出すと不確定データが返ります。
- セキュア シリコン領域外の SA を読み出すと、アレイ データが取得されます。このアレイを読み出す場合、SSR ASO を終了しません。
- ワードまたは書き込みバッファのプログラム コマンドを使用して、お客様用セキュアシリコン領域をプログラムします。
- ソフトウェア下位互換性のための、レガシーのセキュアシリコン終了コマンドを使用して ASO を終了します。
- すべての ASO に共通の終了コマンドを使用して ASO を終了します (終了方式を一貫したい場合に行います)。

6.2.13.4 ASP コンフィギュレーション レジスタ (ASPR) ASO

システムは、読み出しモード中に ASP コンフィギュレーション レジスタ エントリ コマンド シーケンスを実行することで、ASP コンフィギュレーション レジスタにアクセスできます。このエントリ コマンドは、エントリ コマンド内のセクタ アドレスを使用しません。ASP レジスタはデバイス アドレス空間のワード位置 0 に配置されます。デバイス アドレス空間の他のすべての位置は未定義となります。

ASP コンフィギュレーション レジスタ ASO では次の動作が行えます。

- デバイスのアドレス位置 0 を使用して ASP コンフィギュレーション レジスタを読み出します。
- ワード プログラミング コマンドを変更してお客様用 ASP コンフィギュレーション ビットをプログラムします。
- ソフトウェア下位互換性のためにレガシーのコマンド セット終了コマンドを使用して ASO を終了します。
- すべての ASO に共通の終了コマンドを使用して ASO を終了します (終了方式を一貫にしたい場合に行います)。

6.2.13.5 パスワード ASO

システムは、リードモード中にパスワードエントリコマンドシーケンスを実行することで、パスワード ASO にアクセスできます。このエントリ コマンドは、エントリ コマンド内のセクタ アドレスを使用しません。パスワードは、デバイス アドレス空間のワード位置 0 ~ 3 に現れます。デバイス アドレス空間の他のすべての位置は未定義となります。

パスワード ASO では次の動作が可能です。

- デバイスのアドレス位置 0 ~ 3 を使用した、パスワードの読み出し。
- アンロック サイクルなしのワード プログラミング コマンドを使用してパスワードをプログラムします。
- パスワード アンロック コマンドを使用して PPB ロック ビットのロックを解除します。
- ソフトウェア下位互換性のためにレガシーのコマンド セット終了コマンドを使用して ASO を終了します。
- すべての ASO に共通の終了コマンドを使用して ASO を終了します (終了方式を一貫にしたい場合に行います)。

6.2.13.6 PPB ASO

システムは、読み出しモード中に PPB エントリコマンドシーケンスを実行することで、PPB ASO にアクセスできます。このエントリ コマンドは、エントリ コマンド内のセクタ アドレスを使用しません。あるセクタの PPB ビットが、そのセクタ内のすべてのワード位置のビット 0 に現れます。

PPB ASO では次の動作が行えます。

- セクタ内の任意のワードのビット 0 内にあるセクタの PPB 保護ステータスを読み出します。
- アンロックサイクルなしのワードプログラミングコマンドを使用して、PPB ビットをプログラムします。
- PPB 消去コマンドですべての PPB ビットを消去します。
- ソフトウェア下位互換性のためにレガシーのコマンド セット終了コマンドを使用して ASO を終了します。
- すべての ASO に共通の終了コマンドを使用して ASO を終了します (終了方式を一貫したい場合に行います)。

6.2.13.7 PPB ロック ASO

システムは、読み出しモード中に PPB ロック エントリ コマンド シーケンスを実行することで、PPB ロック ASO にアクセスできます。このエントリ コマンドは、エントリ コマンド内のセクタ アドレスを使用しません。グローバル PPB ロックビットが、そのデバイスのすべてのワード位置のビット 0 に現れます。

PPB ロック ASO では次の動作が行えます。

- デバイス アドレス空間の任意のワードの PPB ロック保護ステータスのビット 0 を読み出します。
- アンロック サイクルなしのワード プログラミング コマンドを使用して、PPB ロック ビットをクリアします。
- ソフトウェア下位互換性のためにレガシーのコマンド セット終了コマンドを使用して ASO を終了します。
- すべての ASO に共通の終了コマンドを使用して ASO を終了します (終了方式を一貫したい場合に行います)。

6.2.13.8 動的保護ビット (DYB) ASO

システムは、読み出しモード中に DYB エントリ コマンド シーケンスを実行することで、DYB ASO にアクセスできます。このエントリ コマンドは、エントリ コマンド内のセクタ アドレスを使用しません。各セクタの DYB ビットが、そのセクタ内のすべてのワード位置のビット 0 に存在します。

DYB ASO では次の動作が可能です。

- セクタ内の任意のワードのビット 0 のセクタの DYB 保護ステータスを読み出します。
- アンロックサイクルなしのワードプログラミングコマンドを使用して、DYB ビットを設定します。
- 変更したワード プログラミング コマンドを使用して、DYB ビットを消去します。
- ソフトウェア下位互換性のためにレガシーのコマンド セット終了コマンドを使用して ASO を終了します。
- すべての ASO に共通の終了コマンドを使用して ASO を終了します (終了方式を一貫したい場合に行います)。

6.2.13.9 ECCステータスASO

ECCステータスASOは、フラッシュメモリアレイの半分のページを読み取るときにエラー修正アクションのステータスを表示します。ステータスの1つの単語は、ハーフページ内の任意の単語の場所に表示されます。

システムは、読み出しモード中にECCステータスエントリコマンドシーケンスを発行することにより、ECCステータスASOにアクセスできます。このエントリコマンドは、エントリコマンドのセクタアドレスを使用しません。ハーフページのECCステータスビットは、アドレス指定されたハーフページのすべてのワード位置のビット4、3、2、1、および0に表示されます。

ECCステータスASOでは、次のアクティビティが許可されます。

- アドレス指定されたハーフページの ECC ステータスレジスタ値の読み出し
- エラー検出上位および下位アドレストラップレジスタの読み出し
- ECC エラーカウンターレジスタの読み出し
- ASO 出口

6.2.13.10 CRC ASO

CRC ASOを入力すると、CRC関連のコマンドとCRC計算結果チェック値の読み出しが有効になります。CRC計算は中断されませんが、CRC ASOはフラッシュメモリアレイ全体をオーバーレイします。CRC計算が中断されると、フラッシュメモリアレイが読み出し可能になります。CRC ASOに入力されている間、メモリアレイの読み出しのみがサポートされ、CRC計算は中断されます。CRC ASOは次のアクティビティを許可します。

- CRC 開始位置のロード
- CRC 終了位置のロード
- CRC 計算の中断
- 中断中のフラッシュアレイの読み出し
- CRC 計算の再開
- チェック値の結果の読み出し
- CRC ASO の終了

6.2.13.11 ソフトウェア (コマンド) リセット / ASO 終了

ソフトウェアリセットはコマンドセット (ページ 69 の表 40 を参照してください) の一部で、EAC をスタンバイ状態に復帰させる働きもします。必ず、以下の条件の場合に使用してください。

- ID/CFI モードの終了
- タイムアウト発生時に、データ ポーリング用のタイムアウト ビット (DQ5) を消去

ソフトウェアリセットを実行しても EA モードへの影響はありません。いったんプログラムまたは消去が開始された後は、その動作が完了するまで、リセットコマンドは無視されます。ソフトウェア リセットを実行しても出力への影響はありません。ソフトウェア リセットの第一の役割は、ASO モードから、または失敗したプログラム動作または消去動作から、読み出しモードに復帰させることです。

ソフトウェア リセットを実行すると、無効なコマンド シーケンスに由来する未定義状態からリードモードに戻る場合があります。一部の未定義状態から通常動作に復帰させるには、ハードウェア リセットが必要になる場合があります。

ソフトウェア リセットのレイテンシの要件はありません。リセット コマンドは、 t_{WPH} の間に実行されます。

6.2.14 エラー タイプおよび消去手順

組込み動作ステータス方式により報告されるエラーには 3 タイプあります。エラー タイプによって、報告されるエラー ステータスとエラー ステータスのクリア手順が異なります。以下で、エラー ステータスのクリア手順について説明します。

- エラーの前に ASO に入っていた場合は、デバイスは ASO に入ったままとなり、ASO の読み出しまたはコマンド待機状態となります。
- エラーの前に消去を中止していた場合は、デバイスは消去中止状態に戻り、フラッシュアレイの読み出しまたはコマンド待機状態となります。
- それ以外の場合は、デバイスはスタンバイ状態になり、フラッシュアレイの読み出しまたはコマンドの待機状態となります。

6.2.14.1 組込み動作エラー (および無効パスワード)

組込み動作 (プログラム、消去、ブランクチェック、パスワードアンロック) の間にエラーが発生した場合は、組込みアルゴリズム コントローラーは有効のままになります。ステータス レジスタは、レディーを示し、(SR[7] = 1) エラーの原因を示す有効なステータス ビットを示します。ホスト システムのステータス監視によりエラー ステータスが検出され、エラー ステータスがクリアされるまで、組込みアルゴリズムは有効のままになります。

組込みアルゴリズム (EA) がエラー状態にある間は、ステータス レジスタは以下のように表示されます。

- SR[7] = 1、有効のステータスを表示
- SR[6] = X、EA エラー中に消去中止が可能かどうかを示す
- SR[5] = 1: 消去またはブランクチェック エラー。そうでない場合は SR[5] = 0
- SR[4] = 1: プログラム エラーまたは無効なパスワード。そうでない場合は SR[4] = 0
- SR[3] = X ; 「ドント ケア」 として扱う (マスク)
- SR[2] = 0、中止中のプログラムなし
- SR[1] = 0

- SR[0] = X ; 「ドント ケア」 として扱う (マスク)

自動アルゴリズムのエラーステータスが検出された場合は、通常動作に戻し、新しいリードまたはコマンドライトを行えるようにするには、エラーステータスをクリアする必要があります。エラーステータスは、以下を書き込むことでクリアできます。

- リセットコマンド
- ステータス レジスタ 消去コマンド

組込みアルゴリズムがエラー状態にある間に受けられるコマンドは次のとおりです。

- ステータス レジスタ 読み出し
- リセットコマンド
- ステータス レジスタ 消去コマンド

6.2.14.2 プロテクトエラー

自動アルゴリズムが、保護設定された領域内でデータの変更を試みると (保護設定されたセクタまたは OTP 領域に対するプログラム動作または消去動作)、デバイス (EAC) は 20 ~ 100 μ s 間ビジーになった後、通常動作に戻ります。保護メカニズムは DYB、PPB、およびロックが含まれています。ビジーの間に、ステータス レジスタは無効なステータス ビットでレディーではない状態を示します (SR[7]=0)。プログラミングまたは消去動作をロックされた領域で行おうとする場合、その動作は中止され、失敗がステータス レジスタに表示されます (ページ 36 の表 17 を参照してください)。

保護エラー ステータスによるビジーの間に受けられるコマンドは次のとおりです。

- ステータス レジスタ 読み出し

ビジー期間が終了すると、デバイスは通常動作に戻り、ステータスレジスタは有効なステータスビットによりレディー状態を示します。この時デバイスは、フラッシュ アレイへの新しいコマンドの読み書きを受け付ける準備ができています。

プロテクトエラー ステータスによるビジー期間後は、ステータス レジスタの表示は次のようになります。

- SR[7] = 1: 有効ステータスが表示された
- SR[6] = X: 保護エラーによるビジー期間後に消去中止があったかどうか
- SR[5] = 1: 消去エラーが発生した場合に示す。そうでなければ SR[5] = 0
- SR[4] = 1: プログラムまたはパスワード ロック解除エラーが発生した場合に示す。そうでなければ SR[4] = 0
- SR[3] = X ; 「ドント ケア」 として扱う (マスク)
- SR[2] = 0: 中止中のプログラムなし
- SR[1] = 1: 保護エリア書き換え処理実行エラー
- SR[0] = X ; 「ドント ケア」 として扱う (マスク)

保護エラー ステータスによるビジー期間後に受け付けられるコマンドは次のとおりです。

- すべてのコマンド

プログラム ステータス ビットが設定された場合は、さらにプログラム動作を行うと SR[4] がクリアされます。消去ステータス ビットが設定された場合は、さらに消去動作を行うと SR[6] がクリアされます。

6.2.14.3 書き込みバッファ中止

バッファへの書き込みコマンドの実行中にエラーが発生すると、デバイス (EAC) はビジーのままになります。ステータス レジスタは、有効なステータス ビットでレディー状態を示します。ホスト システムのステータス監視によりエラー ステータスが検出され、エラー ステータスがクリアされるまで、デバイスはビジーのままになります。

組込みアルゴリズム (EA) がエラー状態にある間は、ステータス レジスタは以下のように表示されます。

- SR[7] = 1: 有効ステータスを表示
- SR[6] = X: WBA のエラー ステータスで、消去中止があったかどうかを示す
- SR[5] = 0: 正常に消去した
- SR[4] = 1: プログラム関係のエラーが発生した。そうでなければ、SR[4] = 0

- SR[3] = 1、バッファ書き込み中断
- SR[2] = 0: 中止中のプログラムなし
- SR[1] = 0: 動作中にセクタはロックされていない
- SR[0] = X: 「ドント ケア」として扱う (マスク)

WBA のエラーステータスが検出された場合は、通常動作に戻し、新しいリードまたはコマンドライトを行えるようにするには、エラーステータスをクリアする必要があります。エラーステータスは、以下を書き込むことでクリアできます。

- バッファ書き込み中止リセット コマンド

□ステータスレジスタをクリアし、通常動作に戻ります。

- ステータスレジスタ消去コマンド

組込みアルゴリズムがエラー状態にある間に受けられるコマンドは次のとおりです。

- ステータスレジスタ読み出し

□ステータスレジスタを読み出して、WBA ビジー状態に戻ります。

- バッファ書き込み中止リセット コマンド

- ステータスレジスタ消去コマンド

組込みアルゴリズムを実行している間、ステータスレジスタ読み出しに関係ない読み出しトランザクションを行うと、RWDS が切り替わり、不確定データが返ります。

6.2.14.4 ECCエラー

ECCエラーが検出されたときにホストシステムに報告する方法は3つあります。

- ECC ステータス ASO があり、ASO 内のハーフページの場所を読み取るときに実行されたエラー検出または修正アクションのステータスを提供します。
- 割込み (INT#) 出力を有効にして、ハーフページの読み出し中に 1 ビットまたは 2 ビットのエラーが検出されたことを示せません。
- モードを有効にして、2 ビットエラーを含むハーフページの読み出し時に読み出し/書き込みデータストローブ (RWDS) のトグル (ストール) を停止させられます。RWDS が 32 クロックサイクル以上遷移しない場合、ストール状態はバスエラーとして HyperBus マスターによって検出されます。

ECC ステータスレジスタ (ECCSR)

ECCSRにはユーザーがプログラム可能な不揮発性ビットはありません。定義されたビットはすべて揮発性の読み出し専用ステータスです。各ハーフページECCユニットのECCのステータスは、16ビットECCステータスレジスタ (ECCSR)によって提供されます。ECC Register Readコマンドが書き込まれ、その後にECCユニットアドレスが続きます。ステータスレジスタの内容は、選択したECCユニットについて、ECCにエラーがあるか、ECCユニットデータであるか、またはそのECCユニットでそのECCが無効になっているかを示します。2ビットECC検出 (ECCSR[4]) および1ビットECC修正 (ECCSR[3]) に関する結果はグローバルであり、特定のECCユニットアドレスに依存しません。

表 24. ECC ステータスレジスタビット割り当て

ビット	フィールド名	機能	タイプ	初期ステータス	説明
[15:5]	RFU	予約済み	揮発性, 読み出しのみ	0	将来に使用するために予約済み
[4]	2BD	2ビットECC検出	揮発性, 読み出しのみ	0	1 = 最後のECCステータスASO終了以降に2ビットECC検出が発生 0 = 最後のECCステータスASO終了以降に2ビットECC検出が発生なし
[3]	CB	1ビットECC訂正	揮発性, 読み出しのみ	0	1 = 最後のECCステータスASO終了以降にECC訂正実行 0 = 最後のECCステータスASO終了以降にECC訂正実行なし
[2]	EECC	ECCでのエラー	揮発性, 読み出しのみ	0	1 = ECCユニットのエラー訂正コードでシングルビットエラーあり 0 = エラーなし
[1]	EECCD	ECCユニットデータでのエラー	揮発性, 読み出しのみ	0	1 = ECCユニットデータでのシングルビットエラー訂正 0 = エラーなし
[0]	ECCD1	ECC無効	揮発性, 読み出しのみ	0	1 = 選択したECCユニットでECCが無効 0 = 選択したECCユニットでECCが有効

ECCSR[0] = 1は、ECCユニットでECCが無効になっていることを示します。

ECCSR[1] = 1は、ECCユニットデータのエラーが訂正されたことを示します。

ECCSR[2] = 1は、ECCシンドロームでエラーが訂正されたことを示します。

ECCSR[2:0]ビットのデフォルト状態の0は、エラーがなく、ECCが有効になっていることを示します。

ECCSR[3] = 1は、最後のECCステータスASO終了以降にECC修正が実行されたことを示します。ECCステータスASO終了以降は、ECCSR[3]値を0状態にリセットします。現在のECCステータス読み出しのECC結果がECCSR[3]ビットに影響する可能性があることに注意してください。

ECCSR[4] = 1は、最後のECCステータスレジスタASOが終了してから2ビットECC検出が発生したことを示します。ECCステータスASO終了以降は、ECCSR[4]値を0状態にリセットします。2ビットECCイベントが発生した場合、ECCSR[3:1]ビットは無効であることに注意してください。2ビットECC検出が発生した場合、エラーが検出されたときにアクセスされたアドレスは、レジスタのペアにトラップされます。現在のECCステータスリードのECC結果がECCSR[4]ビットに影響する可能性があることに注意してください。

ECCSR[15:5]ビットは予約されています。これらには、1つのECCステータスから別のステータスに変化する可能性のある未定義のHIGHまたはLOW値があります。これらのビットは「ドントケア」として扱われ、ECCステータスを読み出すソフトウェアでは無視されます。

ECCSRは、ハードウェアリセットで、またはソフトウェアリセット/ASO終了コマンドでECCステータスASOが終了すると、デフォルト状態 (0) に戻ります。

アドレストラップレジスタ (ATR)

フラッシュアレイの読み出し中にECCエラーが最初に発生したハーフページアドレスをキャプチャするためのレジスタが提供されています。512Mビット容量HyperFlashデバイスは、2ビットエラーが発生したアドレスのみを記録します。他のすべてのHyperFlashデバイスは、ASPR[13]構成ビットを使用して、アドレストラップレジスタが1ビットと2ビットの両方のエラー位置をキャプチャできるようにします。ECCステータスレジスタ (ECCSR) ビット3または4=1の場合、アドレストラップレジスタには有効なアドレスがあります。

エラー下位アドレスレジスタとエラー上位アドレスレジスタには、エラーが検出されたときにアクセスされたアドレスが含まれています。不良ビットは、レジスタに示されている正確なアドレスに配置されていない場合がありますが、エラーが検出された16バイトの位置合わせされたハーフページ内に配置されます。単一の読み出し操作中に複数のハーフページでエラーが検出された場合、最初に失敗したハーフページアドレスのアドレスがエラー下位/上位アドレスレジスタにキャプチャされます。パワーオンリセット (POR)、ハードウェアリセット、またはECC ASOの終了後に検出された、最初に有効にされたエラータイプのアドレス (2ビット)

トまたはASPR[13]で選択された1ビットまたは2ビット)のみキャプチャされます。各ECC ASO終了は、アドレストラップレジスタとECCSR[4:3]ビットをクリアします。

2ビットエラー検出が有効になっておらず、同じハーフページが複数回プログラムされている場合、そのハーフページのECCエラー検出は無効になっているため、アドレスをトラップするエラーを認識できません。

表 25. エラー上位/下位アドレストラップレジスタのビット割り当て

容量	エラー下位アドレスレジスタ	エラー上位アドレスレジスタ		
	すべて	128 Mb	256 Mb	512 Mb
[15]	A15	0	0	0
[14]	A14	0	0	0
[13]	A13	0	0	0
[12]	A12	0	0	0
[11]	A11	0	0	0
[10]	A10	0	0	0
[9]	A9	0	0	0
[8]	A8	0	0	A24
[7]	A7	0	A23	A23
[6]	A6	A22	A22	A22
[5]	A5	A21	A21	A21
[4]	A4	A20	A20	A20
[3]	A3	A19	A19	A19
[2]	0	A18	A18	A18
[1]	0	A17	A17	A17
[0]	0	A16	A16	A16

エラー検出カウンター

512Mb容量HyperFlashデバイスは、この機能をサポートしていません。容量512Mビット以外のHyperFlashデバイスでは、ハーフページがフラッシュアレイから読み出される時に発生する1ビットまたは2ビットエラーの数を追跡するためのカウンターが提供されます。メインアレイで認識されたエラー（アクティブなASOなし）のみが、エラー検出カウンターをインクリメントします。ECC ASOIに入る間、カウンターは増加しません。

ECC ASOが終了しても、エラー検出カウンターはクリアされません。カウンターは、POR、ハードウェアリセット、またはCounter Clearコマンドシーケンスで0に設定されます。Counter ReadおよびCounter Clearコマンドシーケンスは、ECCステータスASOでのみ動作します。16ビットエラー検出カウンタは、FFFFhを超えてインクリメントしません。エラーカウントが最後のECC ASO出口から増加した場合、ECCアドレストラップレジスタは、ECC ASO終了の後に見つかった最初のECCエラーの有効なアドレスを保持します。

2ビットエラーが検出され、RWDSがトグルを停止する（ストールする）連続読み出し操作中に、クロックがトグルを継続し、メモリデバイスがデータアドレスをインクリメントし、DQ信号に新しいデータを配置し続けることに注意してください。エラーが発生した追加のハーフページは、CS#がHIGHに戻るまでカウントされます。

バースト読み出しトランザクション中に、エラーが見つかったハーフページごとに1つのエラーのみがカウントされます。各読み出しトランザクションは、ターゲットのハーフページの新しい読み出しを引き起こします。複数の読み出しトランザクションがエラーを含む同じハーフページにアクセスする場合、エラーカウンターはそのハーフページが読み出されるたびにインクリメントします。

2ビットエラー検出が有効になっておらず、同じハーフページが複数回プログラムされると、そのハーフページのECCエラー検出が無効になるため、エラーを認識またはカウントできません。

RWDSストール

xVCR[2]のRWDSストール制御ビットを使用すると、2ビットエラーが発生したときにRWDSストールを有効にできます。有効(xVCR[2] = 0)の場合、DED時にRWDSはLOWに駆動されます。CS#がアサートされているかぎり、RWDSはLOW状態のままになり、CS#がHIGHに戻るとすぐに通常のRWDS機能が再開します。RWDSストール制御ビットが無効状態(xVCR[2] = 1)の場合、RWDSの動作は影響を受けません。

6.3 データ保護

6.3.1 セキュア シリコン領域

各デバイスは、フラッシュ メモリ アレイとは分割された 1024 バイトのワンタイム プログラム可能なセキュア シリコン領域 (SSR) のアドレス空間を持っています。SSR 領域は 32 の領域に分割され、それぞれが単独にロックでき、32 バイト 整列長です。

アドレス 0 から始まる 32 バイトの領域では、

- 最下位 16 アドレス バイトは、サイプレスによって 128 ビットの乱数でプログラムされます。サイプレスのみがこれらのバイトをプログラムできます。これらの位置に 0 をプログラムしようとする場合、そのプログラム動作が失敗し、プログラム ステータス エラーが発生します (SR[4] = 1)。
- 次の上位 4 アドレス バイト (SSR ロック バイト) は恒久的に各領域をプログラミングから保護するために SSR 領域ごとに 1 ビットを提供するために使用されます。サイプレス出荷時にこれらのバイトは消去されます。SSR 領域は、プログラムした後、SSR ロック バイト単位の関連する保護ビットをプログラムすることで、さらなるプログラミングをロックできません。
- 最下位アドレス領域の次の上位 12 バイトは、将来の使用 (RFU) のためにリザーブ (予約) されています。これらの RFU のバイト内のビットは、ホスト システムによりプログラムできますが、将来のデバイスにより、より大きな SSR 領域の保護に使用される場合があることを理解しておいてください。サイプレス出荷時にこれらのバイトは消去されます。

残りの領域は、出荷時に消去され、追加の恒久的なデータをプログラミングできます。

54 ページの「[図 18. SSR アドレス空間](#)」に SSR のメモリ空間の図を示します。

SSR メモリ空間はシステム セキュリティ強化のために企画されています。サイプレスによってプログラムされる乱数のような SSR 値は、フラッシュ コンポーネントをシステム CPU / ASIC とを「メイト」するために使用できます。

コンフィギュレーション レジスタ SSR フリーズ (xVCR[10]) ビットは、全体 SSR のメモリ空間を 0 にクリアされる (または NVCR にプログラムされる) 時にプログラミングから保護します。

6.3.1.1 セキュア シリコン領域メモリ空間の読み出し

SSR 領域の読み出しは、SSR ASO に入ってから、SSR のエントリ シーケンスを使用して行われます。SSR は、SSR エントリ コマンド シーケンスの間に識別された特定のセクタにマッピングされます。SSR エントリ コマンド シーケンス中に識別セクタ内でも有効な 8KB SSR アドレス範囲外で SSR を読み出すと、不確定のデータを取得します。SSR ASO によってオーバーレイされるセクタを読み込むと配列データを取得します。SSR 終了シーケンスを実行すると、デバイスがアレイ読み出し ASO に戻ります。

6.3.1.2 セキュア シリコン領域メモリ空間のプログラミング

SSR メモリのプログラミングは、SSR ASO に入ってから、SSR のエントリ シーケンスを使用して行われます。SSR プログラミング コマンドのプロトコルは、通常のアレイ プログラミングと同じです。SSR のプログラミング シーケンスは、特定の SSR のアドレスに複数回実行できますが、このアドレス空間を消去できません。54 ページの [図 18](#) に SSR プログラムが許可されるアドレス範囲を示します。有効な SSR アドレス範囲外での SSR プログラム動作は、アドレス A9 以上を無視し、有効な SSR アドレスの範囲内にアリアスします。フリーズ = 0 の時に、SSR プログラムを行うと失敗し、その失敗は示されません。ASP 保護モードを選択しても、SSR アドレス空間が保護されません。フリーズ SSR ビット (xVCR.10) は SSR アドレス空間を保護するために使用できます。SSR 終了シーケンスを実行すると、デバイスが読み出しモードに戻ります。

図 18. SSR アドレス空間

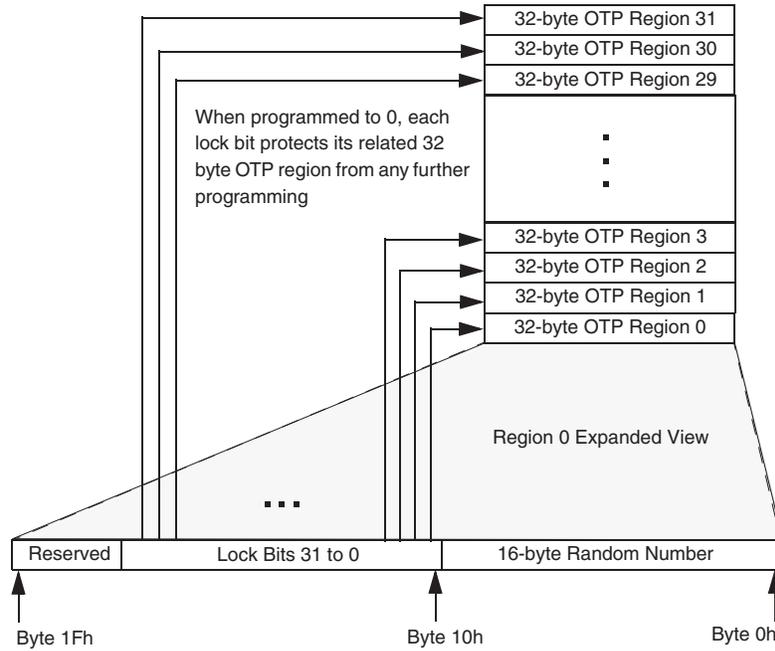


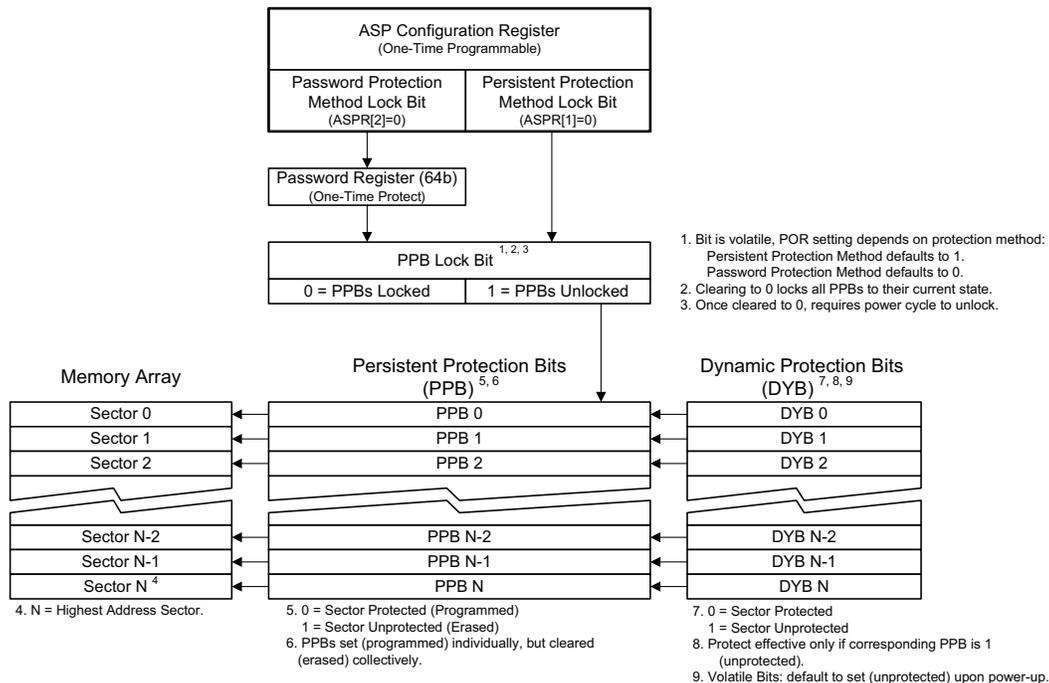
表 26. SSR アドレス マップ

領域	バイト アドレス 範囲 (16 進数)	目次	初期デリバリー状態 (16 進数)
領域 0	0000h	サイプレスがプログラムする ランダム番号の最下位バイト	サイプレスがプログラムする ランダム番号
	
	000Fh	サイプレスがプログラムする ランダム番号の最上位バイト	
	0010h - 0013h	領域ロックビット バイト 10 [ビット 0] は 0 である時は 領域 0 をプログラムから保護 ... バイト 13 [ビット 7] は 0 である場合は 領域 31 をプログラムから保護	全バイト = FFh
	0014h - 001Fh	将来に使用するために予約済み (RFU)	全バイト = FFh
領域 1	0020h - 003Fh	ユーザー プログラミング用に使用可能	全バイト = FFh
領域 2	0040h - 005Fh	ユーザー プログラミング用に使用可能	全バイト = FFh
...	...	ユーザー プログラミング用に使用可能	全バイト = FFh
領域 31	03E0h - 03FFh	ユーザー プログラミング用に使用可能	全バイト = FFh

6.3.2 Advanced Sector Protection (セクタの高度な保護)

Advanced Sector Protection (ASP) は、1つのセクタ、またはすべてのセクタで、プログラム動作や消去動作を個別に無効または有効にするための、独立したハードウェアおよびソフトウェア手段の一式です。ここでは、メモリ アレイに保存されたデータのさまざまな保護手段を説明します。これらの方式の概要を図 19 に示します。

図 19. Advanced Sector Protection の概要



各フラッシュ メモリ アレイには関連する不揮発性 (PPB) と揮発性 (DYB) の保護ビットがあります。いずれかのビットが 0 であると、セクタはプログラム動作やイレース動作から保護されます。

PPB ビットは、PPB ロックビットが 0 である場合に、プログラムやイレースから保護されます。PPB ロックビットの状態を管理する方式には、恒久保護およびパスワード保護の 2 つがあります。

恒久的保護方式では、POR またはハードウェア リセット時に PPB ロック ビットを 1 にセットし、PPB ビットがデバイス リセットによって非保護となるようにします。ソフトウェア リセットが発生しても PPB ロック ビットに影響しません。PPB を保護するために、PPB ロック ビットを 0 にクリアするためのコマンドがあります。恒久的保護方式では、PPB ロックビットをセットするためのコマンドはないため、次の電源切断またはハードウェアリセットまで、PPB ロックビットは 0 のままになります。恒久的な保護方法は、プログラミングまたは PPB 消去によってセクタ変更を保護するオプションである起動コードを可能にし、次に PPB ロック ビットを消去することで、通常のシステム動作の残りを、さらなる変化から PPB を保護します。これは時に、起動コード制御によるセクタ保護と呼ばれます。

パスワード方式では、POR またはハードウェアリセット時に PPB ロックビットを 0 にクリアして、PPB を保護します。パスワード方式では、64 ビットのパスワードを恒久的にプログラムし、隠せます。コマンドはパスワードを提供し、隠しパスワードと比較するために使用できます。パスワードが一致した場合には、PPB ロックビットは PPB を保護解除するために 1 に設定されます。コマンドを使用して、PPB ロックビットを 0 にクリアできます。この方法ではパスワードを使用して PPB 保護を制御する必要があります。

PPB ロック管理方法の選択は、使用方法を恒久的に選択するために、ASP コンフィギュレーション レジスタの OTP ビットのプログラミングによって行われます。

PPB ビットは、工場出荷時にフラッシュ メモリ アレイのセクタがすべて非保護となるように消去されます。

6.3.3 PPB ロック

恒久的保護ロックビットは、すべてのPPBビットを保護するための揮発性ビットです。0にクリアすると、すべてのPPBをロックし、1に設定するとPPBの変更を許可します。PPBロックビットはデバイスあたり1つのみ割り当てられます。

PPBロックコマンドを使用してビットを0にクリアします。PPBロックビットは、必ずすべてのPPBを所望の設定に構成した後で、0にクリアしてください。

恒久的保護モードでは、PORまたはハードウェアリセット時に、PPBロックビットが1に設定されます。PPBロックビットクリアシーケンスでクリアされると、PPBロックを設定できません。別のハードウェアリセットまたは電源投入でPPBロックビットを設定する必要があります。

パスワード保護モードでは、PORまたはハードウェアリセット時に、PPBロックビットが0にクリアされます。PPBロックビットは、パスワードロック解除コマンドシーケンスによってのみ、1に設定できます。PPBロックビットは、PPBロックビットクリアシーケンスで0にクリアできます。

6.3.4 恒久的プロテクトビット (PPB)

恒久的プロテクトビット (PPB) は、別の不揮発性フラッシュアレイに配置されています。PPBの1つは、各セクタに割り当てられます。PPBが0にプログラムされる場合、その関連するセクタはプログラムおよび消去動作から保護されます。PPBは個別にプログラムされていますが、グループとして消去が必要です。これは個々のワードがメインアレイでプログラム可能ですが、消去については、全セクター括で行う必要があります。消去前のプリプログラムと検証はEACが行います。

PPBビットのプログラムには、通常のワードプログラムのための時間が必要です。PPBビットプログラミング動作またはPPBビット消去の間に、ステータスレジスタはアクセスしてその動作が完了したかを確認できます。すべてのPPBを消去するには、一定のセクタ消去時間が必要です。

PPBロックビットが0の場合は、PPBプログラムまたはイレーズコマンドは、PPBのプログラムまたはイレーズを行わずに、タイムアウトします。プログラミングまたは消去動作が0になっているPPBロックビットで行おうとする場合、その動作は中止され、失敗がステータスレジスタに表示されます(ページ36の表17を参照してください)。

所定のセクタに対するPPBのプロテクト状態は、PPB ASOに入った時にPPBステータス読み出しコマンドを書き込むことで、検証できます。

6.3.5 動的保護ビット (Dynamic Protection Bit)

動的保護ビットは、揮発性で、セクタ固有であり、個別に変更できます。DYBは、PPBがクリアされているセクタのみで保護を制御できます。DYBの設定/クリアコマンドシーケンスを実行することで、DYBが0(非保護)に設定されるか、または1(保護)にクリアされて、各セクタが非保護または保護の状態になります。この機能により、ソフトウェアで簡単にセクタを意図しない変更から保護できますが、変更が必要な場合は簡単に保護を解除できます。

DYBは、何度でも必要なだけ、0にセットまたは1にクリアできます。

6.3.6 セクタ保護状態の概要

各セクタは、次の保護状態があります。

- ロック解除 ~ セクタは非保護です。簡単なコマンドで保護を変更できます。パワーサイクルまたはハードウェアリセット後は、デフォルトで非保護になります。
- 動的ロック ~ セクタは保護され、保護は簡単なコマンドで変更できます。パワーサイクルまたはハードウェアリセットを経過した場合、保護状態は保存されません。
- 恒久的ロック ~ セクタは保護されます。PPB保護が1にセットされた場合のみ、保護を変更できます。保護状態は不揮発性で、パワーサイクルまたはハードウェアリセットを経過した後も保存されます。保護状態を変更するには、PPBビットをプログラムまたは消去する必要があります。

表 27. セクタの保護状態

保護ビット値			セクタ状態
PPB ロック ビット	PPB	DYB	
1	1	1	非保護 - PPB と DYB は変更可能
1	1	0	保護 - PPB と DYB は変更可能
1	0	1	保護 - PPB と DYB は変更可能
1	0	0	保護 - PPB と DYB は変更可能
0	1	1	非保護 - PPB は変更不可、DYB は変更可能
0	1	0	保護 - PPB は変更不可、DYB は変更可能
0	0	1	保護 - PPB は変更不可、DYB は変更可能
0	0	0	保護 - PPB は変更不可、DYB は変更可能

6.3.7 ASP コンフィギュレーション レジスタ

ASP コンフィギュレーション レジスタ (ASPR) はセキュリティ マネジメントを制御します。

表 28. ASP コンフィギュレーション レジスタ

ビット	デフォルト値	レジスタ名
[15:14]	1	予約済み
[13]	1	1 ビットアドレストラップイネーブル (512Mb デバイスでは使用不可) ASPR[13] = 0: アドレストラップレジスタは 1 ビットエラーと 2 ビットエラーの両方をトラップ ASPR[13] = 1: アドレストラップレジスタは 2 ビットエラーのみをトラップ (レガシー機能)
[12]	1	予約済み
[11]	1	ハイブリッド パースト タイプ イネーブル (512Mb デバイスには存在しない) ASPR[11] = 0: ハイブリッド - 1つのラップ パーストシーケンスの後にリニア パーストが続く ASPR[11] = 1: レガシー - ラップ パーストシーケンスのみ
[10]		予約済み
[9]	1	DED / ECC オン - オフビット ASPR[9] = 0: ECC オン - オフビットが無効、デュアルエラー検出が有効 ASPR[9] = 1: ECC オン - オフビットが有効、デュアルエラー検出が無効 (デフォルト設定)
[8]	0	予約済み
[7]	X	予約済み
[6]	1	予約済み
[5]	1	読み出しパスワードモードの有効化 ASPR[5] = 0: 読み出しパスワードモードが永続的に有効 ASPR[5] = 1: 読み出しパスワードモードが無効 (工場出荷時のデフォルト設定)
[4]	1	予約済み
[3]	1	予約済み
[2:1]	1	恒久的 / パスワード保護モード ロック ビット ASPR[2:1] = 00: 無効 ASPR[2:1] = 01: パスワードモードが永久に有効になり、ASPRがフリーズされる ASPR[2:1] = 10: 恒久モードが永久に有効になり、ASPRがフリーズされる ASPR[2:1] = 11: 恒久モードが一時的に有効になる (工場出荷時のデフォルトの設定)
[0]	1	予約済み

工場出荷時は、すべてのデバイスはデフォルトの恒久プロテクト方式になっており、電力が印加されたときはすべてのセクタが非保護になっています。デバイス プログラマーやホスト システムは、どのセクタ保護方法を使用するか選択できます。以下の 2 つのいずれかの、1 回のみプログラム可能な不揮発性ビットをプログラムすると、当該パーツはそのモードで恒久的にロックされません。

- 恒久的な保護モード ロック ビット (ASPR[1])
- パスワード保護モード ロック ビット (ASPR[2])

両方のロックビット (ASPR[2] と ASPR[1]) が同時にプログラムするために選択され、動作が中止され、ステータスレジスタのビット SR [4] と SR[1] の設定は失敗を示します。パスワードモードロックビットがプログラムされると、恒久的モードロックビットは永久に無効とされ、保護方式に対する変更は許可されません。同様に、恒久的モードロックビットをプログラムすると、パスワードモードは恒久的に無効となります。ASPR[2] または ASPR[1] がプログラミングされた場合、すべての ASPR へのプログラミング動作は停止され、ステータスレジスタビット SR[4] と SR[1] の設定は失敗を示します。

パスワードモードを選んだ場合は、対応するロックレジスタビットを設定する前に、パスワードをプログラムしてください。4ワードのパスワードは 0-1-2-3 の順でプログラムされなければなりません。他の順序でプログラミングすると未定義の動作につながります。パスワード保護モードロックビットがプログラムされた後は、PPB ロックビットを 0 にセットして PPB アレイを保護するためには、パワーサイクル、ハードウェアリセット、または PPB ロックビットセットコマンドが必要になります。

ASP コンフィギュレーションレジスタのプログラム時間は、通常のワードプログラムに要する時間と同じです。ASP コンフィギュレーションレジスタのプログラミングEAの間は、システムはまた、ステータスレジスタを読み出すことで ASPR プログラミング状態を決定できます。これらのステータスビットについては、47 ページの「6.2.14 エラータイプおよび消去手順」を参照してください。

6.3.8 恒久的な保護モード

恒久的保護方式では、POR またはハードウェアリセット時に PPB ロックビットを 1 にセットし、PPB ビットがデバイスリセットによって非保護となるようにします。PPB を保護するために、PPB ロックビットを 0 にクリアするためのコマンドがあります。恒久的保護方式では、PPB ロックビットを 1 にセットするためのコマンドはないため、次の電源切断またはハードウェアリセットまで、PPB ロックビットは 0 を維持します。

6.3.9 パスワード保護モード

パスワード保護モードを使用すると、PPB ロックを設定しようとする試みに対して 64 ビットのパスワードを要求することによって、恒久的セクタ保護モードよりも高レベルのセキュリティを実現できます。このパスワード要件に加えて、電源投入またはリセット後、電源投入時に保護を確実にするために PPB ロックは 0 に消去されます。完全なパスワードを入力してパスワードアンロックコマンドを正常に完了すると、PPB ロックビットが 1 にセットされ、セクタの PPB の変更が可能になります。

パスワード保護の注意。

- パスワードプログラムコマンドでプログラムできるのは、0 だけです。
- 工場出荷時はパスワードはすべて 1 になっています。パスワードは自身のメモリ空間内にあり、パスワードプログラム/パスワード読み出しコマンドによりアクセス可能です。
- あらゆる 64 ビットパスワードの組み合わせがパスワードとして有効です。
- いったんパスワードをプログラムして検証したら、パスワードの読み出しを防ぐためには、パスワード保護モードロックビットをセットする必要があります。
- いったんパスワード保護モードロックビットを (0 に) プログラムすると、データバス上で 64 ビットパスワードの読み出しができなくなるため、パスワードのプログラムができなくなります。これ以降、パスワード領域に対するプログラムコマンドや読み出しコマンドは無効になり、これらのコマンドは無視されます。保護されたパスワードをプログラミングしようとする、セクタロックステータスビット (SR[1]) とプログラムステータスビットが設定されます (SR[4])。更なるプログラミング動作をパスワードまたはパスワード保護モードロックビットで行おうとする場合、その動作は中止され、ステータスレジスタに失敗が表示されます (ページ 36 の表 17 を参照してください)。パスワード保護モードロックビットがプログラムされた後に、パスワードが何であるかを確認する方法はありません。パスワードの検証ができるのは、パスワード保護モードを選択する前のみです。
- パスワードモードロックビットは消去できません。
- ロック解除を実行するためには、64 ビットのパスワードがすべて入力さえされれば、任意の順序でパスワード領域にアクセスできます。パスワードロック解除コマンドにより提供されたパスワードが、隠されている内部パスワードと一致しない場合は、保護されている領域におけるプログラム動作と同様に、ロック解除動作は失敗します。ステータスレジスタはレディ状態に戻り、プログラムステータスビットが 1 にセットされます。これは、ロックされた領域であるため、プログラム動作が失敗したことを示します。この場合、有効なパスワードが不足し PPB ロックビットがまだ保護されているため、PPB ロックビットの状態を変更することは失敗となります。
- 有効な 64 ビットパスワードがデバイスに指定された後、PPB ロックを設定するためにデバイスが要する時間は、 t_{PSWD} = 約 100 μ s です。

- パスワードロック解除コマンドを一度に t_{PSWD} より高速に実行することはできません(ページ94の表60を参照してください)。これによって、ハッカーが正しく一致するパスワードをすべて試行するために64ビットすべての組合せを実行するには、非現実的な長さの時間(5800万年)がかかります。EAステータスチェック方式を使用して、EACが新規パスワードコマンドを受け付ける準備ができていないかも判定できます。
- パスワードモードロックビットを設定後にパスワードを失くした場合、PPBロックビットをクリアする方法はありません。

6.3.10 読み出しパスワード保護モード

読み出しパスワードモードは58ページの「6.3.9 パスワード保護モード」の代替モードとして備わっています。読み出しパスワードモードは、ユーザーが $ASPR[5] = 0$ にプログラムした時に初期PPBパスワード保護モードの代わりに使用されます。パスワードがプログラムされ、 $ASPR[2]$ が0にプログラムされないかぎり、読み出しパスワードモードはアクティブになりません。

読み出しパスワード保護モードでは、フラッシュメモリアレイは読み出し、プログラムおよび消去から保護されます。パスワードロック解除コマンドが正常に完了するまでは、不揮発コンフィギュレーションレジスタビット $xVCR[9:8]$ によって選択された最下位または最上位(256KB)セクタアドレス範囲のみが読み出せます。アレイの読み出し保護部分から読み出そうとすると、そのセクタは読み出し可能なセクタによりオーバーレイされます。

このモードでは、PPBロックビットはアドレスの上位ビットを制御するために使用されます。PPBロックビットが1の場合、アドレスビットが正常に動作します。以下の表のように、PPBロックビットが0の場合、メインアレイセクタアドレスを選択するアドレスビットは、0($xVCR[9:8] = 00$ または10)または1s($xVCR[9:8] = 01$ または11)に強制的に設定され、最下位または最上位アドレスフラッシュメモリアレイアドレス範囲を選択します。 $xVCR[9:8] = 00$ または10の場合アレイの最下位(ゼロアドレス)の256KBから読み出せます。 $xVCR[9:8] = 01$ または10の場合アレイの最上位(最大アドレス)の256KBから読み出せます。

表 29. 恒久モードとパスワード保護モードでのASPコンフィギュレーションレジスタの選択

ASPRビット	デフォルト値	レジスタ名
2	1	恒久的/パスワード保護モードロックビット
1	1	$ASPR[2:1] = 00$: 無効 $ASPR[2:1] = 01$: パスワードモードが永久に有効になる $ASPR[2:1] = 10$: 恒久モードが永久に有効になる $ASPR[2:1] = 11$: 恒久モードが一時的に有効になる(工場出荷時のデフォルトの設定)

表 30. ブートブロックアドレス範囲のxVCRマッピング

xVCRビット	デフォルト値	レジスタ名
$xVCR[9:8]$	11	00 - マップパラメーターセクタと読み出しパスワードセクタは最下位のアドレスにマッピングされる 01 - マップパラメーターセクタと読み出しパスワードセクタは最上位のアドレスにマッピングされる 10 - ユニフォームセクタと読み出しパスワードセクタが最下位のアドレスにマッピングされる 11 - ユニフォームセクタと読み出しパスワードセクタが最上位のアドレスにマッピングされる

PPBロックビットが0の場合はPPBビットにはプログラムまたは消去アクセスができなく、PPBロックビットが1の場合はPPBビットにはプログラムまたは消去アクセスができます。

パスワード保護モードと同じように、PPBロックビットは、PORまたはPPBハードウェアリセットによって0に設定されます。

読み出しパスワード保護の注意

- 読み出しパスワード OPN オプションが使用できる場合、ユーザーは、必要に応じて ASPR[5] ビットを 0 にプログラムして読み出しパスワードを使用するかどうかを選択できます。
- 読み出しパスワード方式のプログラミング、読み出し、ロックのコマンドシーケンスは、PPB パスワード方式のデフォルトシーケンスと同じです。
- 読み出しパスワードモードとパスワード保護モードが有効になっていると (ASPR[2]、ASPR[5] が 0 にプログラムされている) 場合、パスワードロック解除シーケンスに正しいパスワードが入力されるまで、すべてのアドレスが起動セクタにリダイレクトされます。正しいパスワードが入力されると、読み出しパスワードモードが無効になり、すべてのアドレス指定が適切な位置を選択します。
- システムハードウェアリセットが発生した場合は、読み出しパスワードモードが再び有効になります。
- ASPR[5] は PPB パスワードと読み出しパスワードのオプションのどちらかを選択するために使用されます。ASPR[5] = 0 の場合、デバイスは読み出しパスワードを許可します。ASPR[2] = 0 でないかぎり、読み出しパスワードは有効になりません。ASPR[2] = 0 になると、デバイスが正しいロック解除シーケンスおよびパスワードによりロック解除されるまで、すべてのアドレスは最下位または最上位のセクタからのみ選択されます。ASPR[2] = 1 の場合、アドレス指定を行えます。これにより、ユーザーはコードでプログラムし、試験し、パスワードを設定し、ASPR[2] = 0 にプログラミングすることでロックできます。
- 読み出しパスワード保護が有効の場合に読み出しパスワードコマンドシーケンスを送信すれば、不確定の結果が返ります。PPB ロックビットは、ハードウェアリセット、POR または PPB ロックビットクリアコマンドシーケンスが発生した時のみ、0 に戻ります。
- 読み出しパスワードモード時、PPB ロックビット = 0 の場合、ID 読み出しコマンド、パスワードロック解除コマンド、およびアレイ読み出しのみが可能です。パスワードが入力されてデバイス全体の読み出しおよびコマンド動作を許可するまで、他のコマンドは無効です。
- 読み出しパスワード保護モードがアクティブ (ASPR[5] = 0、ASPR[2] = 0、PPB ロックビット = 0) の場合、メインアレイの読み出しは可能ですが、メモリセクタアドレスを 0 か 1 にすることで起動セクタからのみ読み出せます。DYB または PPB アドレス空間を読み出すと、不確定のデータが返ります。
- 読み出しパスワード保護モードがアクティブの場合、メモリ空間へのプログラミングまたはレジスタ書き込みはできません。リセットは普通に行え、バスプロトコルはモードビットをリセットすることで変更できます。

6.3.11 ハイブリッドバースト

ハイブリッドバーストは、1 つのラップ式バーストの後にリニアバーストが続くもう 1 種のバーストです。このバーストは HyperFlash ファミリのすべてのデバイスに備えられています。

ハイブリッドバーストはバースト長グループに応じてラップしたターゲットアドレス内で一回ラップしてから、最初にラップされたバースト長グループの終了アドレスの後にあるリニアバーストにアクセスします。ハイブリッドバーストは 16 バイトと 32 バイトバースト長グループにサポートされますが、64 バイトにはサポートされません。

表 31. ハイブリッドバーストタイプを選択するための ASP コンフィギュレーションレジスタビットの割り当て

ビット	デフォルト値	レジスタ名
[11]	1	ハイブリッドバーストタイプイネーブル 0 = ハイブリッド - 1 つのラップバーストシーケンスの後にリニアバーストが続く 1 = レガシー - ラップバーストシーケンスのみ

以下は 32 バイトと 16 バイトのハイブリッドバースト読み出しのバーストシーケンスの例です。

1. 32 バイトの例 (リニアバーストに移行する前に、32 バイト以内でラップする)
 - a. 06-07-08-09-0A-0B-0C-0D-0E-0F-00-01-02-03-04-05-10-11
 - b. 0E-0F-00-01-02-03-04-05-06-07-08-09-0A-0B-0C-0D-10-11
2. 16 バイトの例 (リニアバーストに移行する前に、16 バイト以内でラップする)
 - a. 06-07-00-01-02-03-04-05-08-09
 - b. 03-04-05-06-07-00-01-02-08-09

6.3.12 INT# 出力

INT# ピンは、ホスト システムにフラッシュ デバイス内のイベントが発生したことを通知するオープン ドレイン出力です。ユーザーは以下の場合に内部イベントを選択して INT# 出力ピンをアクティブ (LOW) にできます。

- ビジー状態からレディ状態に移行
- 2ビット ECC エラーが検出
- ビジー状態からレディ状態への移行

割込みソースは、割込み構成レジスタによって有効にされます。

動作は、INT# 出力 (通常はHIGH) が有効の場合に割込みコンフィギュレーション レジスタ (ICR) で制御されます。割込み構成レジスタは、内部イベントを有効にして、INT# 出力ピンでHIGHからLOWへの移行をトリガーするタイミングを確認します。割込みステータス レジスタは、ISRが最後にクリアされた時点から、何の有効な内部イベントが発生したかを示します。INT# 出力ピンを有効にした場合、有効なイベントの発生時にHIGHからLOWに移行します。ホストがINT#がLOW状態に移行したことを認識すると、どの内部イベントが移行の原因かを確認するために割込みステータス レジスタを読み出せます。

以下の3つの方法で、INT#出力をHIGHインピーダンス状態に移行させ (外部プルアップ抵抗でHIGHに戻す) られます。

- 割込みコンフィギュレーション レジスタのビット 15 に 1 をロードすることで、INT# 出力を無効にします。割込みステータス レジスタは 1 で ICR[15] をロードする時にクリアされます。
- 割込みコンフィギュレーション レジスタの該当するイベント イネーブルビットに 1 をロードすることで、出力を Low に移行させるイベント チャネルを無効にします。ICR の対応するビットに 1 をロードすると、割込みステータス レジスタの対応するビットがクリアされます。
- 出力を Low に移行させる内部イベントを示す割込みステータス レジスタのビットを (1 を書き込むことで) リセットします。INT# 出力が HIGH に戻る前に、Low であり、割込みコンフィギュレーション レジスタで有効になっているすべての割込みステータス レジスタのビットもリセットしてください。

INT# 出力も、ハードウェア リセット (RESET# = LOW) またはパワーオンリセットにより初期状態 (無効、HIGH-Z) に戻されます。ハードウェア リセットとパワーオンリセットは、割込みコンフィギュレーション レジスタを初期状態 (すべての割込みが無効) に設定する割込み構成レジスタを設定することですべての割込みを無効にします。

表 32. 割り込みコンフィギュレーション レジスタ

ビット	機能	種類	POR の初期設定状態	RESET# の初期設定状態	説明
[15]	INT# 出力有効	揮発性、読み出し／書き込み	1	1	1 = INT# 出力が無効 (High またはオープン ドレイン) 0 = INT# 出力が有効。内部イベントにより HIGH から LOW への遷移を発生させる
[14]	予約済み		1	1	予約済み
[13:5]	予約済み		1	1	将来に使用するために予約済み
[4]	READY		1	1	1 = レディ/ビジー遷移は INT# 出力の遷移なし 0 = ビジーから レディへの遷移は INT# 出力の High から Low への遷移を発生させる
[3]	予約済み		1	1	将来に使用するために予約済み
[2]	予約済み		1	1	将来に使用するために予約済み
[1]	2ビットエラー検出		1	1	1 = 2ビットエラー検出は INT# 出力の遷移なし 0 = 2ビットエラー検出は、INT# 出力で High から Low への遷移が発生させる
[0]	1ビットエラー検出		1	1	1 = 1ビットエラー検出は INT# 出力の遷移なし 0 = 1ビットエラー検出は、INT# 出力で High から Low への遷移が発生させる

注：
62 POR とハードウェア リセットの両方は、すべての割込みチャンネルを無効にします。

表 33. 割り込みステータス レジスタ

ビット	機能	種類	POR の 初期設定状態	RESET# の 初期設定状態	説明
[15:5]	予約済み	揮発性、 読み出し／ 書き込み	1	1	将来に使用するために予約済み
[4]	READY		1	1	1 = ビジーからレディへの遷移が発生しなかった 0 = ビジーからレディへの遷移が発生した
[3]	予約済み		1	1	将来に使用するために予約済み
[2] ^[65, 66]	POR 検出		0	1	1 = POR が発生しなかった 0 = POR が発生した
[1]	2 ビット エラー検出		1	1	1 = 2 ビットエラー検出が発生しなかった 0 = 2 ビットエラー検出が発生した
[0]	1 ビット エラー検出		1	1	1 = 1 ビットエラー検出が発生しなかった 0 = 1 ビットエラー検出が発生した

注：

63 ハードウェア リセットを行った場合、すべての ISR ビットが 1 にセットされます。

64 POR を行った場合、ISR POR 検出ビット (ISR[2]) が 0 にクリアされ、他のビットがすべて 1 に設定されます。

65 ISR[2] が POR 中に (0 に) クリアされ、ハードウェア リセット (RESET# = 0) または ISR への書き込みによってのみ (1 に) 設定されます。

66 INT# 出力状態は、ISR[2] の値に影響されません。

67 ISR に書き込むのは、ビットの状態を 0 から 1 に反転することのみができます。割り込み発生のみが ISR ビットの状態を 1 から 0 に反転します。

7 デバイスIDと共通フラッシュインターフェース (ID-CFI) のASOマップ

7.1 デバイスIDと共通フラッシュインターフェース (ID-CFI) のASOマップ — 標準

ASO (ワードロケーション0h~0Fh) のデバイスID領域には、メーカーID、デバイスID、およびデバイスの基本機能セットの情報が入っています。詳細は、44ページの「6.2.13.1. ID-CFI ASO」を参照してください。

表 34. ID (オートセレクト) アドレス マップ

ワード アドレス	データ	説明
(SA) + 0000h	0001h	サイプレス製造者 ID
(SA) + 0001h	007Eh	デバイス ID
(SA) + 0002h	予約済み	RFU
(SA) + 0003h	予約済み	
(SA) + 0004h	予約済み	
(SA) + 0005h	予約済み	
(SA) + 0006h	予約済み	
(SA) + 0007h	予約済み	
(SA) + 0008h	予約済み	
(SA) + 0009h	予約済み	
(SA) + 000Ah	予約済み	
(SA) + 000Bh	予約済み	
(SA) + 000Ch	0005h	下位ソフトウェアビット ビット 0 - ステータス レジスタのサポート 1 = ステータス レジスタがサポートされている 0 = ステータス レジスタがサポートされていない ビット 1 - DQ ボーリングのサポート 1 = DQ ビットのボーリングがサポートされている 0 = DQ ビットのボーリングがサポートされていない ビット 3 ~ 2 - コマンドセットのサポート 11 = 予約済み 10 = 予約済み 01 = HyperFlash コマンド セット 00 = クラシック コマンド セット ビット 4-F - 予約済み = 0
(SA) + 000Dh	予約済み	上位ソフトウェアビット
(SA) + 000Eh	0070h = 512 Mb (1.8V 時) 006Fh = 512 Mb (3.0V 時)	デバイス ID
	0072h = 256 Mb (1.8V 時) 0071h = 256 Mb (3.0V 時)	
	0074h = 128 Mb (1.8V 時) 0073h = 128 Mb (3.0V 時)	
(SA) + 000Fh	0000h	デバイス ID

表 35. CFI クエリ識別用文字列

ワード アドレス	データ	説明
(SA) + 0010h (SA) + 0011h (SA) + 0012h	0051h 0052h 0059h	固有 ASCII 文字列「QRY」のクエリ
(SA) + 0013h (SA) + 0014h	0002h 0000h	プライマリ OEM コマンドセット
(SA) + 0015h (SA) + 0016h	0040h 0000h	プライマリ拡張テーブルのアドレス
(SA) + 0017h (SA) + 0018h	0000h 0000h	代替 OEM コマンドセット (00h = 未使用)
(SA) + 0019h (SA) + 001Ah	0000h 0000h	代替 OEM 拡張テーブルのアドレス (00h = 未使用)

表 36. CFIクエリ識別用文字列

ワード アドレス	データ	説明
(SA) + 001Bh	0017h ($V_{CC} = 1.8V$ 時) 0027h ($V_{CC} = 3.0V$ 時)	V_{CC} (Min) (消去/プログラム) (D7-D4 ボルト、D3-D0: 100 ミリボルト)
(SA) + 001Ch	0019h ($V_{CC} = 1.8V$ 時) 0036h ($V_{CC} = 3.0V$ 時)	V_{CC} (Max) (消去/プログラム) (D7-D4 ボルト、D3-D0: 100 ミリボルト)
(SA) + 001Dh	0000h	V_{PP} (Min) 電圧 (00h = V_{PP} ピンなし)
(SA) + 001Eh	0000h	V_{PP} (Max) 電圧 (00h = V_{PP} ピンなし)
(SA) + 001Fh	0009h	1 ワード書き込み時の標準タイムアウト = $2^N \mu s$
(SA) + 0020h	0009h	最大複数バイト マルチバイト プログラム = $2^N \mu s$ (ただし、00h = 未対応)
(SA) + 0021h	000Ah	個別ブロック消去の標準タイムアウト = $2^N ms$
(SA) + 0022h	0012h (512 Mb) 0011h (256 Mb) 0010h (128 Mb)	チップ全体消去の標準タイムアウト = $2^N ms$ (00h = 未対応)
(SA) + 0023h	0002h	1 ワード書き込み時の最大タイムアウト = 標準時間 $\times 2^N$
(SA) + 0024h	0002h	バッファ書き込みの最大タイムアウト = 標準時間 $\times 2^N$
(SA) + 0025h	0002h	個別ブロック消去の最大タイムアウト = 標準時間 $\times 2^N$
(SA) + 0026h	0002h	チップ全体消去の最大タイムアウト = 標準時間 $\times 2^N$ (ただし、00h = 未対応)

表 37. CFIデバイスロケーションの定義

ワード アドレス	データ	説明
(SA) + 0027h	001Ah (512M ビット) 0019h (256M ビット) 0018h (128M ビット)	デバイスサイズ = 2^N バイト
(SA) + 0028h	0000h	フラッシュ デバイス インターフェースの説明 0 = x8 固定、1 = x16 固定、2 = x8 / x16 対応
(SA) + 0029h	0000h	
(SA) + 002Ah	0009h	複数バイトプログラム時の最大バイト数 = 2^N (ただし、00 = 未対応)
(SA) + 002Bh	0000h	
(SA) + 002Ch	0001h	デバイス内のイレーズブロックの種類 1 = ユニフォームデバイス、2 = ブートデバイス
(SA) + 002Dh	説明を参照してください	消去ブロック 1 の情報 (JEDEC の JESD68-01 または JEP137 仕様を参照) 00FFh、0000h、0000h、0004h = 512Mb (256 x 2Mb ブロック) 007Fh、0000h、0000h、0004h = 256Mb (128 x 2Mb ブロック) 003Fh、0000h、0000h、0004h = 128Mb (64 x 2Mb ブロック)
(SA) + 002Eh		
(SA) + 002Fh		
(SA) + 0030h		
(SA) + 0031h	0000h	消去ブロック領域 2 の情報 (JEDEC JESD68-01 または JEP137 仕様を参照)
(SA) + 0032h	0000h	
(SA) + 0033h	0000h	
(SA) + 0034h	0000h	
(SA) + 0035h	0000h	消去ブロック領域 3 の情報 (JEDEC JESD68-01 または JEP137 仕様を参照)
(SA) + 0036h	0000h	
(SA) + 0037h	0000h	
(SA) + 0038h	0000h	
(SA) + 0039h	0000h	消去ブロック領域 4 の情報 (JEDEC JESD68-01 または JEP137 仕様を参照)
(SA) + 003Ah	0000h	
(SA) + 003Bh	0000h	
(SA) + 003Ch	0000h	

表 38. CFI プライマリベンダ固有拡張クエリ (シート 1/2)

ワード アドレス	データ	説明
(SA) + 0040h	0050h	固有 ASCII 文字列のクエリ用「PRI」
(SA) + 0041h	0052h	
(SA) + 0042h	0049h	
(SA) + 0043h	0031h	メジャーバージョン番号 (ASCII)
(SA) + 0044h	0035h	マイナーバージョン番号 (ASCII)
(SA) + 0045h	001Ch	<p>コマンド入力時のアドレス (ビット 1 ~ 0)</p> <p>00b = 必要、01b = 不要</p> <p>プロセステクノロジー (ビット 5-2)</p> <p>0000b = 0.23µm フローティングゲート</p> <p>0001b = 0.17 µm フローティングゲート</p> <p>0010b = 0.23 µm ミラービット</p> <p>0011b = 0.13 µm フローティングゲート</p> <p>0100b = 0.11 µm ミラービット</p> <p>0101b = 0.09 µm フローティングゲート</p> <p>0110b = 0.09 µm ミラービット</p> <p>0111b = 0.065 µm フローティングゲート</p> <p>1000b = 0.065 µm ミラービット</p> <p>1001b = 0.045 µm ミラービット</p>
(SA) + 0046h	0002h	<p>イレーズ サスペンド</p> <p>0 = 未対応</p> <p>1 = 読み出し専用</p> <p>2 = 読み出し/書き込み</p>
(SA) + 0047h	0001h	<p>セクタ保護</p> <p>00 = 未対応</p> <p>X = 最小グループ内のセクタ数</p>
(SA) + 0048h	0000h	<p>一時的セクタ保護解除</p> <p>00 = 未対応</p> <p>01 = 対応</p>
(SA) + 0049h	0008h	<p>セクタ保護/保護解除スキーム</p> <p>04 = 高電圧入力方式</p> <p>05 = ソフトウェアコマンドによるロック方式</p> <p>08 = アドバンスド セクタ保護方式</p>
(SA) + 004Ah	0000h	<p>同時動作</p> <p>00 = 未対応</p> <p>X = バンク数</p>
(SA) + 004Bh	0001h	<p>バーストモードタイプ</p> <p>00 = 未対応</p> <p>01 = 対応</p>
(SA) + 004Ch	0000h	<p>ページ読み出しモードタイプ</p> <p>00 = 未対応</p> <p>01 = 4 ワードページ</p> <p>02 = 8 ワードページ</p> <p>03 = 16 ワード ページ</p>
(SA) + 004Dh	0000h	<p>ACC (アクセラレーション) 最小電源電圧</p> <p>00 = 未対応</p> <p>D7-D4: ボルト</p> <p>D3-D0: 100mV</p>
(SA) + 004Eh	0000h	<p>ACC (アクセラレーション) 最大電源電圧</p> <p>00 = 未対応</p> <p>D7-D4: ボルト</p> <p>D3-D0: 100mV</p>

表 38. CFI プライマリベンダ固有拡張クエリ (シート 2/2)

ワードアドレス	データ	説明
(SA) + 004Fh	0000h	WP# 保護 00h = WP 保護なしのフラッシュ デバイス (ブートなし) 01h = WP により 8×8K バイトの先頭および最終セクタを保護設定 (デュアルブート) 02h = 最終セクタブートデバイス (WP 保護により保護設定) (ボトムブート) 03h = 先頭セクタブートデバイス (WP 保護により保護設定) (トップブート) 04h = ユニフォーム、最終セクタを WP 保護により保護設定 (ユニフォームボトムブート) 05h = ユニフォーム、先頭セクタを WP 保護により保護設定 (ユニフォームトップブート) 06h = すべてのセクタを WP 保護により保護設定 07h = ユニフォーム、先頭または最終セクタを WP 保護により保護設定
(SA) + 0050h	0001h	プログラム一時停止 00 = 未対応 01 = 対応
(SA) + 0051h	0000h	アンロックバイパス 00 = 未対応 01 = 対応
(SA) + 0052h	000Ah	セキュア シリコンセクタ (お客様用 OTP 領域 = 1024B) サイズ = 2 ^N (バイト)
(SA) + 0053h	008Dh	ソフトウェア機能 ビット 0: ステータス レジスタ ポーリング (1 = 対応, 0 = 未対応) ビット 1: DQ ポーリング (1 = 対応, 0 = 未対応) ビット 2: 新しいプログラム一時停止/再開コマンド (1 = 対応, 0 = 未対応) ビット 3: ワードプログラム (1 = 対応, 0 = 未対応) ビット 4: ビットフィールドプログラム (1 = 対応, 0 = 未対応) ビット 5: 自動検出プログラム (1 = 対応, 0 = 未対応) ビット 6: RFU ビット 7: ライン当たり複数の書き込み (1 = 対応, 0 = 未対応)
(SA) + 0054h	0005h	ページサイズ = 2 ^N バイト
(SA) + 0055h	0006h	消去一時停止の最大タイムアウト = 2 ^N (μs) 未満
(SA) + 0056h	0006h	プログラム一時停止の最大タイムアウト = 2 ^N (μs) 未満
(SA) + 0057h から (SA) + 0010h	FFFFh	将来に使用するために予約済み
(SA) + 0078h	0006h	組込みハードウェア リセットの最大タイムアウト = 2 ^N (μs) 未満 リセット端子によるリセット
(SA) + 0079h	0009h	非組込みハードウェアリセットの最大タイムアウト = 2 ^N (μs) 未満 パワーオン リセット

7.2 デバイス ID と共通フラッシュインターフェース (ID-CFI) の ASO マップ — 車載グレード / AEC-Q100

車載グレード / AEC-Q100 の CFI プライマリベンダー固有拡張クエリは、デバイストレーサビリティのための電子マーキング情報を含むように拡張されています (ページ 68 の表 39 を参照してください)。

表 39. デバイス ID および共通 Flash インターフェース (ID-CFI) ASO マップ^[68]

ワードアドレス	データ領域	バイト数	データフォーマット	実績データの例	サンプルデータからの16進読み出し
(SA) + 0080h	電子マーキングのサイズ	1	Hex	19	0013h
(SA) + 0081h	電子マーキングの版数	1	Hex	1	0001h
(SA) + 0082h	ファブロット番号	7	ASCII	LD87270	004Ch, 0044h, 0038h, 0037h, 0032h, 0037h, 0030h
(SA) + 0089h	ウェーハ番号	1	Hex	23	0017h
(SA) + 008Ah	ダイX座標	1	Hex	10	000Ah
(SA) + 008Bh	ダイY座標	1	Hex	15	000Fh
(SA) + 008Ch	クラスロット番号	7	ASCII	BR33150	0042h, 0052h, 0033h, 0033h, 0031h, 0035h, 0030h
(SA) + 0093h	将来のために予約済み	13	NA	NA	未定義

注:

68 ファブロット# + ウェーハ# + ダイX座標 + ダイY座標は、各デバイスに一意のIDを提供します。

8 ソフトウェアインターフェース参考資料

8.1 コマンドのまとめ

表 40. コマンドの定義

コマンドシーケンス	サイクル	バス サイクル ^[69, 70, 71, 72]													
		1番目		2番目		3番目		4番目		5番目		6番目		7番目	
		アドレ ス	デー タ	アドレ ス	デー タ	アドレ ス	デー タ	アドレ ス	デー タ	アドレ ス	デー タ	アドレ ス	デー タ	アドレ ス	デー タ
読み出し ^[72]	1	RA	RD												
リセット/ASOの終了 ^[73, 82]	1	XXX	F0												
ステータスレジスタの読み出し ^[84]	2	555	70	XXX	RD										
ステータスレジスタのクリア	1	555	71												
ディープパワーダウンへの移行	3	555	AA	2AA	55	XXX	B9								
パワーオンリセットタイマレジスタのプログラム	4	555	AA	2AA	55	555	34	XXX	PORTime						
パワーオンリセットタイマレジスタの読み出し	4	555	AA	2AA	55	555	3C	XXX	RD PORTime						
割込みコンフィギュレーションレジスタのロード	4	555	AA	2AA	55	555	36	XXX	ICR						
割込みコンフィギュレーションレジスタの読み出し	4	555	AA	2AA	55	555	C4	XXX	RD ICR						
割込みステータスレジスタのロード	4	555	AA	2AA	55	555	37	XXX	ISR						
割込みステータスレジスタの読み出し	4	555	AA	2AA	55	555	C5	XXX	RD ISR						
揮発性コンフィギュレーションレジスタのロード	4	555	AA	2AA	55	555	38	XXX	VCR						

- 注:**
- 69 数値はすべて 16 進表記です。すべてのアドレスは 16 ビットワードを参照します。
 - 70 以下を除いて、バス サイクルはすべて書き込みサイクルです。読み出し中の読み出しサイクル、ID/CFI 読み出し (製造 ID / デバイス ID)、インジケータ ビット、セキュアシリコン領域読み出し、SSR ロック読み出し、2 サイクル目のステータスレジスタ読み出し。
 - 71 データ ビット DQ15 ~ DQ8 は、RD、PD、WC、PWD を除いて、コマンドシーケンスでは「ドントケア」となります。
 - 72 アドレス ビット AMAX-A11 は、SA または PA が必要ではない限り、ロック解除およびコマンド サイクルでは「ドントケア」になります (AMAX は最上位アドレスピン)。
 - 73 アレイ データを読み出す際、ロック解除またはコマンド サイクルは不要です。
 - 74 デバイスが ID-CFI (自動選択) モードの場合、または (デバイスがステータス データを提供している間に) DQ5 が High になった場合は、データアレイの読み出しに戻るには、リセットコマンドが必要です。
 - 75 デバイスがアレイ データを読み出す準備ができており、またはデバイスが ID-CFI (自動選択) モードのとき、コマンドが有効になります。
 - 76 消去サスペンド モードのとき、システムは消去対象となっていないセクタを読み出しおよびプログラム/プログラム一時停止したり、ID-CFI ASO に移行できます。消去中止コマンドは、セクタ消去動作時のみ有効です。
 - 77 消去再開/プログラム再開コマンドは、消去一時停止/プログラム一時停止モード時のみ有効です。
 - 78 デバイスがライト ツーバッファアポルト状態にあることを検出後に、読み出しモードに復帰させるためには、このコマンドシーケンスを実行します。ABORT からリセットする場合は、フルコマンドシーケンスが必要であることを注意してください。
 - 79 終了コマンドは、デバイスをアレイの読み出しに復帰させます。
 - 80 PWDx の場合は、プログラムできるパスワード領域は、A0 コマンド 1 回につき、1 つだけです。パスワード領域は、逐次的な順序 (PWD0 ~ PWD3) でプログラムする必要があります。
 - 81 ASP レジスタのビットはすべて、1 回のみプログラム可能です。プログラム状態=0、消去状態=1 です。また、恒久プロテクトモード ロックビットと、パスワードプロテクトモード ロックビットは、同時にプログラムできません。同時にプログラムすると、ASP レジスタビットプログラム動作が中止され、デバイスが読み出しモードに復帰します。将来の使用のために予約されている ASP レジスタビットは、未定義であり、0 でも 1 でもかまいません。
 - 82 いずれかのエントリ コマンドを発行したら、終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。
 - 83 ビット 0 = 0 プロテクト状態を表示、ビット 0 = 1 プロテクトなしの状態を表示します。バイト 1:15 のすべては 1 です。DIB セット、DYB クリア、または PPB プログラム コマンドのセクタアドレスは、そのセクタ内の任意の場所でもかまいません。セクタアドレスの下位ビットは「ドントケア」です。
 - 84 ステータスレジスタリード処理中はデータが表示されます。DYB 読み出し、PPB 読み出し、SA プロテクト読み出し、パスワード読み出し、POR 時間読み出し、ICR 読み出し、ISR 読み出し、VCR 読み出し、NVCR 読み出し、FIDR 読み出し、ASPR 読み出し、PPBL 読み出しレジスタ読み出し処理は開始ワードがデバイスで出力される時のみに有効です。Low 状態にある CS# が未定義の間に CK/CK# がトグルし続けたら、次のデータ値が出力されます。
 - 85 SA 保護ステータス読み出し中のデータ出力は、指定されたセクタがビット 0 ~ 2 で保護されているかどうかを示します。
 ビット 0 は表示したセクタが保護されるかどうかを示します (0 = 保護、1 = 保護なし)
 ビット 1 はセクタの DYB ビットを使って保護されます (0 = 保護、1 = 保護なし)
 ビット 2 はセクタの PPB ビットを使って保護されます (0 = 保護、1 = 保護なし)
 ビット 3 ~ 15 のすべては 1 です。
 - 86 より小さいパラメータ セクタは、消去およびプログラム コマンド シーケンスの時にターゲット パラメータ セクタを定義するアドレスの一部として、A[16:11] を含む必要があります。
 - 87 ID (自動選択) エントリおよび CFI エントリの両方は同じ ID/CFI データセットへアクセスを実行させます。ID / CFI データセット内で、含まれるすべてのデータは ID または CFI エントリ シーケンスを使った後実行可能になります。

コマンドシーケンス	サイクル	バス サイクル ^[69, 70, 71, 72]													
		1番目		2番目		3番目		4番目		5番目		6番目		7番目	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
揮発性コンフィギュレーションレジスタの読み出し	4	555	AA	2AA	55	555	C7	XXX	RD VCR						
不揮発性コンフィギュレーションレジスタのプログラム	4	555	AA	2AA	55	555	39	XXX	NVCR						
不揮発性コンフィギュレーションレジスタの消去	3	555	AA	2AA	55	555	C8								
不揮発性コンフィギュレーションレジスタの読み出し	4	555	AA	2AA	55	555	C6	XXX	RD NVCR						
ワードのプログラム	4	555	AA	2AA	55	555	A0	PA	PD						
バッファへの書き込み ^[66]	6	555	AA	2AA	55	SA	25	SA	WC	WBL	PD	WBL	PD		
バッファをフラッシュへプログラム (確認)	1	SA	29												
「バッファへの書き込み中断」のリセット ^[78]	3	555	AA	2AA	55	555	F0								
チップ消去	6	555	AA	2AA	55	555	80	555	AA	2AA	55	555	10		
セクタ消去 ^[66]	6	555	AA	2AA	55	555	80	555	AA	2AA	55	SA	30		
ブランク チェック	1	(SA) 555	33												
消去ステータス評価	1	(SA) 555	D0												
消去の中断 ^[76, 77]	1	XXX	B0												
消去の再開 ^[76, 77]	1	XXX	30												
プログラムの中断 ^[76, 77]	1	XXX	51												
プログラムの再開 ^[76, 77]	1	XXX	50												

- 注:**
- 69 数値はすべて 16 進表記です。すべてのアドレスは 16 ビットワードを参照します。
 - 70 以下を除いて、バス サイクルはすべて書き込みサイクルです。読み出し中の読み出しサイクル、ID/CFI 読み出し (製造 ID / デバイス ID)、インジケータ ビット、セキュアシリコン領域読み出し、SSR ロック読み出し、2 サイクル目のステータス レジスタ読み出し。
 - 71 データ ビット DQ15 ~ DQ8 は、RD、PD、WC、PWD を除いて、コマンド シーケンスでは「ドント ケア」となります。
 - 72 アドレス ビット AMAX-A11 は、SA または PA が必要ではない限り、ロック解除およびコマンド サイクルでは「ドント ケア」になります (AMAX は最上位アドレスピン)
 - 73 アレイ データを読み出す際、ロック解除またはコマンド サイクルは不要です。
 - 74 デバイスが ID-CFI (自動選択) モードの場合、または (デバイスがステータス データを提供している間に) DQ5 が High になった場合は、データ アレイの読み出しに戻るには、リセットコマンドが必要です。
 - 75 デバイスがアレイ データを読み出す準備ができており、またはデバイスが ID-CFI (自動選択) モードのとき、コマンドが有効になります。
 - 76 消去サスペンド モードのとき、システムは消去対象となっていないセクタを読み出しおよびプログラム/プログラム一時停止したり、ID-CFI ASO に移行できます。消去中止コマンドは、セクタ消去動作時のみ有効です。
 - 77 消去再開/プログラム再開コマンドは、消去一時停止/プログラム一時停止モード時のみ有効です。
 - 78 デバイスがライト ツー バッファ アポート状態にあることを検出後に、読み出しモードに復帰させるためには、このコマンドシーケンスを実行します。ABORT からリセットする場合は、フル コマンド シーケンスが必要であることを注意してください。
 - 79 終了コマンドは、デバイスをアレイの読み出しに復帰させます。
 - 80 PWDx の場合は、プログラムできるパスワード領域は、A0 コマンド 1 回につき、1 つだけです。パスワード領域は、逐次的な順序 (PWD0 ~ PWD3) でプログラムする必要があります。
 - 81 ASP レジスタのビットはすべて、1 回のみプログラム可能です。プログラム状態=0、消去状態=1 です。また、恒久プロテクト モード ロック ビットと、パスワード プロテクト モード ロック ビットは、同時にプログラムできません。同時にプログラムすると、ASP レジスタ ビット プログラム動作が中止され、デバイスが読み出しモードに復帰します。将来の使用のために予約されている ASP レジスタ ビットは、未定義であり、0 でも 1 でもかまいません。
 - 82 いずれかのエントリー コマンドを発行したら、終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。
 - 83 ビット 0=0 プロテクト状態を表示、ビット 0=1 プロテクトなしの状態を表示します。バイト 1:15 のすべては 1 です。DYB セット、DYB クリア、または PPB プログラム コマンドのセクタ アドレスは、そのセクタ内の任意の場所にかまいません。セクタ アドレスの下位ビットは「ドント ケア」です。
 - 84 ステータスレジスタ リード処理中はデータが表示されます。DYB 読み出し、PPB 読み出し、SA プロテクト読み出し、パスワード読み出し、POR 時間読み出し、ICR 読み出し、ISR 読み出し、VCR 読み出し、NVCR 読み出し、FIDR 読み出し、ASPR 読み出し、PPBL 読み出しレジスタ読み出し処理は開始ワードがデバイスで出力される時のみに有効です。Low 状態にある CS# が未定義の間に CK/CK# がトグルし続けたら、次のデータ値が出力されます。
 - 85 SA 保護ステータス読み出し中のデータ出力は、指定されたセクタがビット 0 ~ 2 で保護されているかどうかを示します。
 ビット 0 は表示したセクタが保護されるかどうかを示します (0 = 保護、1 = 保護なし)
 ビット 1 はセクタの DYB ビットを使って保護されます (0 = 保護、1 = 保護なし)
 ビット 2 はセクタの PPB ビットを使って保護されます (0 = 保護、1 = 保護なし)
 ビット 3 ~ 15 のすべては 1 です。
 - 86 より小さいパラメータ セクタは、消去およびプログラム コマンド シーケンスの時にターゲット パラメータ セクタを定義するアドレスの一部として、A[16:11] を含む必要があります。
 - 87 ID (自動選択) エントリおよび CFI エントリの両方は同じ ID/CFI データ セットへアクセスを実行させます。ID / CFI データセット内で、含まれるすべてのデータは ID または CFI エントリ シーケンスを使った後実行可能になります。

コマンドシーケンス		サイクル	バスサイクル ^[69, 70, 71, 72]													
			1番目		2番目		3番目		4番目		5番目		6番目		7番目	
			アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
ID-CFI (オートセレクト) ASO ^[87]	ID (オートセレクト) への移行	3	555	AA	2AA	55	(SA) 555	90								
	CFIへの移行 ^[75]	1	(SA) 555	98												
	ID-CFIの読み出し	1	(SA) RA	RD												
	リセット/ASOの終了 ^[74, 82]	1	XXX	F0 or FF												
セキュアシリコン 領域 (SSR) ASO	SSRへの移行	3	555	AA	2AA	55	(SA) 555	88								
	読み出し ^[73]	1	RA	RD												
	ワードのプログラム	4	555	AA	2AA	55	555	A0	PA	PD						
	バッファへの書き込み	6	555	AA	2AA	55	SA	25	SA	WC	WBL	PD	WBL	PD		
	バッファをフラッシュへ プログラム (確認)	1	SA	29												
	「バッファへの書き込み 中断」のリセット ^[78]	3	555	AA	2AA	55	555	F0								
	SSR終了 ^[78]	4	555	AA	2AA	55	555	90	XX	00h						
リセット/ASO終了 ^[74, 82]	1	XXX	F0													

- 注:**
- 69 数値はすべて 16 進表記です。すべてのアドレスは 16 ビットワードを参照します。
- 70 以下を除いて、バスサイクルはすべて書き込みサイクルです。読み出し中の読み出しサイクル、ID/CFI 読み出し (製造 ID / デバイス ID)、インジケータ ビット、セキュアシリコン領域読み出し、SSR ロック読み出し、2 サイクル目のステータスレジスタ読み出し。
- 71 データ ビット DQ15 ~ DQ8 は、RD、PD、WC、PWD を除いて、コマンドシーケンスでは「ドントケア」となります。
- 72 アドレス ビット AMAX-A11 は、SA または PA が必要ではない限り、ロック解除およびコマンドサイクルでは「ドントケア」になります (AMAX は最上位アドレスピン)。
- 73 アレイデータを読み出す際、ロック解除またはコマンドサイクルは不要です。
- 74 デバイスが ID-CFI (自動選択) モードの場合、または (デバイスがステータスデータを提供している間に) DQ5 が High になった場合は、データアレイの読み出しに戻るには、リセットコマンドが必要です。
- 75 デバイスがアレイデータを読み出す準備ができているとき、またはデバイスが ID-CFI (自動選択) モードのとき、コマンドが有効になります。
- 76 消去サスペンドモードのとき、システムは消去対象とならないセクタを読み出しおよびプログラム/プログラム一時停止したり、ID-CFI ASO に移行できます。消去中止コマンドは、セクタ消去動作時のみ有効です。
- 77 消去再開/プログラム再開コマンドは、消去一時停止/プログラム一時停止モード時のみ有効です。
- 78 デバイスがライト ツー バッファ アポート状態にあることを検出後に、読み出しモードに復帰させるためには、このコマンドシーケンスを実行します。ABORT からリセットする場合は、フルコマンドシーケンスが必要であることに注意してください。
- 79 終了コマンドは、デバイスをアレイの読み出しに復帰させます。
- 80 PWDx の場合は、プログラムできるパスワード領域は、A0 コマンド 1 回につき、1 つだけです。パスワード領域は、逐次的な順序 (PWD0 ~ PWD3) でプログラムする必要があります。
- 81 ASP レジスタのビットはすべて、1 回のみプログラム可能です。プログラム状態=0、消去状態=1 です。また、恒久プロテクトモードロックビットと、パスワードプロテクトモードロックビットは、同時にプログラムできません。同時にプログラムすると、ASP レジスタビットプログラム動作が中止され、デバイスが読み出しモードに復帰します。将来の使用のために予約されている ASP レジスタビットは、未定義であり、0 でも 1 でもかまいません。
- 82 いずれかのエン트리コマンドを発行したら、終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。
- 83 ビット 0 = 0 プロテクト状態を表示、ビット 0 = 1 プロテクトなしの状態を表示します。バイト 1:15 のすべては 1 です。DYB セット、DYB クリア、または PPB プログラムコマンドのセクタアドレスは、そのセクタ内の任意の場所でもかまいません。セクタアドレスの下位ビットは「ドントケア」です。
- 84 ステータスレジスタリード処理中はデータが表示されます。DYB 読み出し、PPB 読み出し、SA プロテクト読み出し、パスワード読み出し、POR 時間読み出し、ICR 読み出し、ISR 読み出し、VCR 読み出し、NVCR 読み出し、FIDR 読み出し、ASPR 読み出し、PPBL 読み出しレジスタ読み出し処理は開始ワードがデバイスで出力される時のみに有効です。Low 状態にある CS# が未定義の間に CK/CK# がトグルし続けたら、次のデータ値が出力します。
- 85 SA 保護ステータス読み出し中のデータ出力は、指定されたセクタがビット 0 ~ 2 で保護されているかどうかを示します。
 ビット 0 は表示したセクタが保護されるかどうかを示します (0 = 保護、1 = 保護なし)
 ビット 1 はセクタの DYB ビットを使って保護されます (0 = 保護、1 = 保護なし)
 ビット 2 はセクタの PPB ビットを使って保護されます (0 = 保護、1 = 保護なし)
 ビット 3 ~ 15 のすべては 1 です。
- 86 より小さいパラメータセクタは、消去およびプログラムコマンドシーケンスの時にターゲットパラメータセクタを定義するアドレスの一部として、A[16:11] を含む必要があります。
- 87 ID (自動選択) エントリおよび CFI エントリの両方は同じ ID/CFI データセットへアクセスを実行させます。ID / CFI データセット内で、含まれるすべてのデータは ID または CFI エントリシーケンスを使った後実行可能になります。

コマンドシーケンス		サイクル	バス サイクル ^[69, 70, 71, 72]													
			1番目		2番目		3番目		4番目		5番目		6番目		7番目	
			アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
ASPコンフィギュレーションレジスタ(ASPR) ASO ^[81]	ASPRレジスタへの移行	3	555	AA	2AA	55	555	40								
	プログラム	2	XXX	A0	XXX	PD										
	ASPR読み出し ^[84]	1	0	RD												
	ASPR ASO終了 ^[65, 66]	2	XXX	90	XXX	0										
	リセット/ASO終了 ^[74, 82]	1	XXX	F0												
パスワード保護コマンド セットの定義																
パスワードASO	パスワードASOへの移行	3	555	AA	2AA	55	555	60								
	プログラム ^[80]	2	XXX	A0	PWA x	PWDx										
	読み出し	4	0	PWD0	1	PWD1	2	PWD2	3	PWD3						
	ロック解除	7	0	25	0	3	0	PWD0	1	PWD1	2	PWD2	3	PWD 3	0	29
	コマンド セット終了 ^[79, 82]	2	XXX	90	XXX	0										
	リセット/ASO終了 ^[74, 82]	1	XXX	F0												

- 注:
- 69 数値はすべて 16 進表記です。すべてのアドレスは 16 ビットワードを参照します。
 - 70 以下を除いて、バス サイクルはすべて書き込みサイクルです。読み出し中の読み出しサイクル、ID/CFI 読み出し (製造 ID / デバイス ID)、インジケータ ビット、セキュアシリコン領域読み出し、SSR ロック読み出し、2 サイクル目のステータス レジスタ読み出し。
 - 71 データ ビット DQ15 ~ DQ8 は、RD、PD、WC、PWD を除いて、コマンド シーケンスでは「ドント ケア」となります。
 - 72 アドレス ビット AMAX-A11 は、SA または PA が必要ではない限り、ロック解除およびコマンド サイクルでは「ドント ケア」になります (AMAX は最上位アドレス ビン)
 - 73 アレイ データを読み出す際、ロック解除またはコマンド サイクルは不要です。
 - 74 デバイスが ID-CFI (自動選択) モードの場合、または (デバイスがステータス データを提供している間に) DQ5 が High になった場合は、データ アレイの読み出しに戻るには、リセットコマンドが必要です。
 - 75 デバイスがアレイ データを読み出す準備ができており、またはデバイスが ID-CFI (自動選択) モードのとき、コマンドが有効になります。
 - 76 消去サスペンド モードのとき、システムは消去対象となっていないセクタを読み出しおよびプログラム/プログラム一時停止したり、ID-CFI ASO に移行できません。消去中止コマンドは、セクタ消去動作時のみ有効です。
 - 77 消去再開/プログラム再開コマンドは、消去一時停止 / プログラム一時停止モード時のみ有効です。
 - 78 デバイスがライト ツー バッファ アポート状態にあることを検出後に、読み出しモードに復帰させるためには、このコマンドシーケンスを実行します。ABORT からリセットする場合は、フル コマンド シーケンスが必要であることを注意してください。
 - 79 終了コマンドは、デバイスをアレイの読み出しに復帰させます。
 - 80 PWDx の場合は、プログラムできるパスワード領域は、A0 コマンド 1 回につき、1 つだけです。パスワード領域は、逐次的な順序 (PWD0 ~ PWD3) でプログラムする必要があります。
 - 81 ASP レジスタのビットはすべて、1 回のみプログラム可能です。プログラム状態 = 0、消去状態 = 1 です。また、恒久プロテクト モード ロック ビットと、パスワード プロテクト モード ロック ビットは、同時にプログラムできません。同時にプログラムすると、ASP レジスタ ビット プログラム動作が中止され、デバイスが読み出しモードに復帰します。将来の使用のために予約されている ASP レジスタ ビットは、未定義であり、0 でも 1 でもかまいません。
 - 82 1 いずれかのエントリ コマンドを発行したら、終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。
 - 83 ビット 0 = 0 プロテクト状態を表示、ビット 0 = 1 プロテクトなしの状態を表示します。バイト 1:15 のすべては 1 です。DYB セット、DYB クリア、または PPB プログラム コマンドのセクタ アドレスは、そのセクタ内の任意の場所がかまいません。セクタ アドレスの下位ビットは「ドント ケア」です。
 - 84 ステータスレジスタ リード処理中はデータが表示されます。DYB 読み出し、PPB 読み出し、SA プロテクト読み出し、パスワード読み出し、POR 時間読み出し、ICR 読み出し、ISR 読み出し、VCR 読み出し、NVCR 読み出し、FIDR 読み出し、ASPR 読み出し、PPBL 読み出しレジスタ読み出し処理は開始ワードがデバイスで出力される時のみに有効です。Low 状態にある CS# が未定義の間に CK/CK# がトグルし続けたら、次のデータ値が出力します。
 - 85 SA 保護ステータス読み出し中のデータ出力は、指定されたセクタがビット 0 ~ 2 で保護されているかどうかを示します。
 ビット 0 は表示したセクタが保護されるかどうかを示します (0 = 保護、1 = 保護なし)
 ビット 1 はセクタの DYB ビットを使って保護されます (0 = 保護、1 = 保護なし)
 ビット 2 はセクタの PPB ビットを使って保護されます (0 = 保護、1 = 保護なし)
 ビット 3 ~ 15 のすべては 1 です。
 - 86 より小さいパラメータ セクタは、消去およびプログラム コマンド シーケンスの時にターゲット パラメータ セクタを定義するアドレスの一部として、A[16:11] を含む必要があります。
 - 87 ID (自動選択) エントリおよび CFI エントリの両方は同じ ID/CFI データ セットへアクセスを実行させます。ID / CFI データセット内で、含まれるすべてのデータは ID または CFI エントリ シーケンスを使った後実行可能になります。

コマンドシーケンス		サイクル	バス サイクル ^[69, 70, 71, 72]													
			1番目		2番目		3番目		4番目		5番目		6番目		7番目	
			アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
不揮発性セクタ保護コマンドセットの定義																
PPB (不揮発性セクタ保護)	PPBへの移行	3	555	AA	2AA	55	555	C0								
	PPBのプログラム ^[83]	2	XXX	A0	SA	0										
	全PPBの消去 ^[83]	2	XXX	80	0	30										
	PPBの読み出し ^[83, 84]	1	SA	RD (0)												
	SA保護ステータス ^[84, 85]	2	XXX	60	SA	RD										
	コマンドセット終了 ^[79, 82]	2	XXX	90	XXX	0										
	リセット/ASO終了 ^[74, 82]	1	XXX	F0												
グローバル不揮発性セクタ保護フリーズのコマンドセットの定義																
PPB ロックビット	PPBロックへの移行	3	555	AA	2AA	55	555	50								
	PPBロックビットのクリア	2	XXX	A0	XXX	0										
	PPBロックステータスの読み出し ^[84]	1	XXX	RD (0)												
	コマンドセット終了 ^[79, 82]	2	XXX	90	XXX	0										
	リセット/ASO終了 ^[82]	1	XXX	F0												
揮発性セクタ保護コマンドセットの定義																

- 注:**
- 69 数値はすべて 16 進表記です。すべてのアドレスは 16 ビットワードを参照します。
 - 70 以下を除いて、バス サイクルはすべて書き込みサイクルです。読み出し中の読み出しサイクル、ID/CFI 読み出し (製造 ID / デバイス ID)、インジケータ ビット、セキュアシリコン領域読み出し、SSR ロック読み出し、2 サイクル目のステータス レジスタ読み出し。
 - 71 データ ビット DQ15 ~ DQ8 は、RD、PD、WC、PWD を除いて、コマンド シーケンスでは「ドント ケア」となります。
 - 72 アドレス ビット AMAX-A11 は、SA または PA が必要ではない限り、ロック解除およびコマンド サイクルでは「ドント ケア」になります (AMAX は最上位アドレスピン)。
 - 73 アレイ データを読み出す際、ロック解除またはコマンド サイクルは不要です。
 - 74 デバイスが ID-CFI (自動選択) モードの場合、または (デバイスがステータス データを提供している間に) DQ5 が High になった場合は、データ アレイの読み出しに戻るには、リセットコマンドが必要です。
 - 75 デバイスがアレイ データを読み出す準備ができており、またはデバイスが ID-CFI (自動選択) モードのとき、コマンドが有効になります。
 - 76 消去サスペンド モードのとき、システムは消去対象となっていないセクタを読み出しおよびプログラム/プログラム一時停止したり、ID-CFI ASO に移行できません。消去中止コマンドは、セクタ消去動作時のみ有効です。
 - 77 消去再開/プログラム再開コマンドは、消去一時停止/プログラム一時停止モード時のみ有効です。
 - 78 デバイスがライト ツー バッファ アポート状態にあることを検出後に、読み出しモードに復帰させるためには、このコマンドシーケンスを実行します。ABORT からリセットする場合は、フル コマンド シーケンスが必要であることに注意してください。
 - 79 終了コマンドは、デバイスをアレイの読み出しに復帰させます。
 - 80 PWDx の場合は、プログラムできるパスワード領域は、A0 コマンド 1 回につき、1 つだけです。パスワード領域は、逐次的な順序 (PWD0 ~ PWD3) でプログラムする必要があります。
 - 81 ASP レジスタのビットはすべて、1 回のみプログラム可能です。プログラム状態=0、消去状態=1 です。また、恒久プロテクトモード ロックビットと、パスワードプロテクトモード ロックビットは、同時にプログラムできません。同時にプログラムすると、ASP レジスタビットプログラム動作が中止され、デバイスが読み出しモードに復帰します。将来の使用のために予約されている ASP レジスタビットは、未定義であり、0 でも 1 でもかまいません。
 - 82 いずれかのエントリ コマンドを発行したら、終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。
 - 83 ビット 0 = 0 プロテクト状態を表示、ビット 0 = 1 プロテクトなしの状態を表示します。バイト 1:15 のすべては 1 です。DIB セット、DYB クリア、または PPB プログラム コマンドのセクタ アドレスは、そのセクタ内の任意の場所でもかまいません。セクタ アドレスの下位ビットは「ドント ケア」です。
 - 84 ステータスレジスタ リード処理中はデータが表示されます。DYB 読み出し、PPB 読み出し、SA プロテクト読み出し、パスワード読み出し、POR 時間読み出し、ICR 読み出し、ISR 読み出し、VCR 読み出し、NVCR 読み出し、FIDR 読み出し、ASPR 読み出し、PPBL 読み出しレジスタ読み出し処理は開始ワードがデバイスで出力される時のみに有効です。Low 状態にある CS# が未定義の間に CK/CK# がトグルし続けたら、次のデータ値が出力します。
 - 85 SA 保護ステータス読み出し中のデータ出力は、指定されたセクタがビット 0 ~ 2 で保護されているかどうかを示します。
 ビット 0 は表示したセクタが保護されるかどうかを示します (0 = 保護、1 = 保護なし)
 ビット 1 はセクタの DYB ビットを使って保護されます (0 = 保護、1 = 保護なし)
 ビット 2 はセクタの PPB ビットを使って保護されます (0 = 保護、1 = 保護なし)
 ビット 3 ~ 15 のすべては 1 です。
 - 86 より小さいパラメータ セクタは、消去およびプログラム コマンド シーケンスの時にターゲット パラメータ セクタを定義するアドレスの一部として、A[16:11] を含む必要があります。
 - 87 ID (自動選択) エントリおよび CFI エントリの両方は同じ ID/CFI データ セットへアクセスを実行させます。ID / CFI データセット内で、含まれるすべてのデータは ID または CFI エントリ シーケンスを使った後実行可能になります。

コマンドシーケンス		サイクル	バス サイクル ^[69, 70, 71, 72]													
			1番目		2番目		3番目		4番目		5番目		6番目		7番目	
			アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
DVB (揮発性セクタ保護) ASO	DVB ASOへの移行	3	555	AA	2AA	55	555	E0								
	DVBの設定 ^[83]	2	XXX	A0	SA	0										
	DVBのクリア ^[83]	2	XXX	A0	SA	1										
	DVBステータスの読み出し ^[84]	1	SA	RD (0)												
	SA保護ステータス ^[83, 84, 85]	2	XXX	60	SA	RD										
	コマンドセット終了 ^[79, 82]	2	XXX	90	XXX	0										
	リセット/ASO終了 ^[82]	1	XXX	F0												
ECCコマンドセットの定義																
ECCステータスASO	ECCステータスへの移行	3	555	AA	2AA	55	555	75								
	ECCステータスの読み出し ^[84]	1	RA	RD												
	エラー下位アドレスレジスタ	2	XXX	60	XX1	RD										
	エラー上位アドレスレジスタ	2	XXX	60	XX2	RD										
	読み出しエラー検出カウンタ	2	XXX	60	XX3	RD										
	ECCエラーのクリア	1	XXX	50												
	リセット/ASO終了	1	XXX	F0												
CRCコマンドセットの定義																

- 注:
- 69 数値はすべて 16 進表記です。すべてのアドレスは 16 ビットワードを参照します。
 - 70 以下を除いて、バス サイクルはすべて書き込みサイクルです。読み出し中の読み出しサイクル、ID/CFI 読み出し (製造 ID / デバイス ID)、インジケータ ビット、セキュアシリコン領域読み出し、SSR ロック読み出し、2 サイクル目のステータス レジスタ読み出し。
 - 71 データ ビット DQ15 ~ DQ8 は、RD、PD、WC、PWD を除いて、コマンド シーケンスでは「ドントケア」となります。
 - 72 アドレス ビット AMAX-A11 は、SA または PA が必要ではない限り、ロック解除およびコマンド サイクルでは「ドントケア」になります (AMAX は最上位アドレスピン)
 - 73 アレイ データを読み出す際、ロック解除またはコマンド サイクルは不要です。
 - 74 デバイスが ID-CFI (自動選択) モードの場合、または (デバイスがステータス データを提供している間に) DQ5 が High になった場合は、データ アレイの読み出しに戻るには、リセットコマンドが必要です。
 - 75 デバイスがアレイ データを読み出す準備ができているとき、またはデバイスが ID-CFI (自動選択) モードのとき、コマンドが有効になります。
 - 76 消去サスペンド モードのとき、システムは消去対象となっていないセクタを読み出しおよびプログラム/プログラム一時停止したり、ID-CFI ASO に移行できません。消去中止コマンドは、セクタ消去動作時のみ有効です。
 - 77 消去再開/プログラム再開コマンドは、消去一時停止 / プログラム一時停止モード時のみ有効です。
 - 78 デバイスがライト ツー バッファ アポート状態にあることを検出後に、読み出しモードに復帰させるためには、このコマンドシーケンスを実行します。ABORT からリセットする場合は、フル コマンド シーケンスが必要であることを注意してください。
 - 79 終了コマンドは、デバイスをアレイの読み出しに復帰させます。
 - 80 PWDx の場合は、プログラムできるパスワード領域は、A0 コマンド 1 回につき、1 つだけです。パスワード領域は、逐次的な順序 (PWD0 ~ PWD3) でプログラムする必要があります。
 - 81 ASP レジスタのビットはすべて、1 回のみプログラム可能です。プログラム状態 = 0、消去状態 = 1 です。また、恒久プロテクト モード ロック ビットと、パスワード プロテクト モード ロック ビットは、同時にプログラムできません。同時にプログラムすると、ASP レジスタ ビット プログラム動作が中止され、デバイスが読み出しモードに復帰します。将来の使用のために予約されている ASP レジスタ ビットは、未定義であり、0 でも 1 でもかまいません。
 - 82 いずれかのエン트리 コマンドを発行したら、終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。
 - 83 ビット 0 = 0 プロテクト状態を表示、ビット 0 = 1 プロテクトなしの状態を表示します。バイト 1:15 のすべては 1 です。DVB セット、DVB クリア、または PPB プログラム コマンドのセクタ アドレスは、そのセクタ内の任意の場所がかまいません。セクタ アドレスの下位ビットは「ドントケア」です。
 - 84 ステータスレジスタ リード 処理中はデータが表示されます。DVB 読み出し、PPB 読み出し、SA プロテクト読み出し、パスワード読み出し、POR 時間読み出し、ICR 読み出し、ISR 読み出し、VCR 読み出し、NVCR 読み出し、FIDR 読み出し、ASPR 読み出し、PPBL 読み出しレジスタ読み出し処理は開始ワードがデバイスで出力される時のみに有効です。Low 状態にある CS# が未定義の間に CK/CK# がトグルし続けたら、次のデータ値が出力します。
 - 85 SA 保護ステータス読み出し中のデータ出力は、指定されたセクタがビット 0 ~ 2 で保護されているかどうかを示します。ビット 0 は表示したセクタが保護されるかどうかを示します (0 = 保護、1 = 保護なし) ビット 1 はセクタの DVB ビットを使って保護されます (0 = 保護、1 = 保護なし) ビット 2 はセクタの PPB ビットを使って保護されます (0 = 保護、1 = 保護なし) ビット 3 ~ 15 のすべては 1 です。
 - 86 より小さいパラメータ セクタは、消去およびプログラム コマンド シーケンスの時にターゲット パラメータ セクタを定義するアドレスの一部として、A[16:11] を含む必要があります。
 - 87 ID (自動選択) エントリおよび CFI エントリの両方は同じ ID/CFI データ セットへアクセスを実行させます。ID / CFI データセット内で、含まれるすべてのデータは ID または CFI エントリ シーケンスを使った後実行可能になります。

コマンドシーケンス		サイクル	バスサイクル ^[69, 70, 71, 72]														
			1番目		2番目		3番目		4番目		5番目		6番目		7番目		
			アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	
CRCASO	CRC ASOへの移行	3	555	AA	2AA	55	555	78									
	CRC開始アドレスのロード	1	BL	C3													
	CRC終了アドレスのロード (計算開始)	1	EL	3C													
	CRCの中断	1	XXX	C0													
	アレイ読み出し (中断中)	1	RA	RD													
	CRCの再開	1	XXX	C1													
	Check-value Low Result レジスタの読み出し	2	XXX	60	XX0	RD											
	Check-value High Result レジスタの読み出し	2	XXX	60	XX1	RD											
	リセット/ASO終了	1	XXX	F0													

- 注:**
- 69 数値はすべて 16 進表記です。すべてのアドレスは 16 ビットワードを参照します。
 - 70 以下を除いて、バスサイクルはすべて書き込みサイクルです。読み出し中の読み出しサイクル、ID/CFI 読み出し (製造 ID / デバイス ID)、インジケータビット、セキュアシリコン領域読み出し、SSR ロック読み出し、2 サイクル目のステータスレジスタ読み出し。
 - 71 データビット DQ15 ~ DQ8 は、RD、PD、WC、PWD を除いて、コマンドシーケンスでは「ドントケア」となります。
 - 72 アドレスビット AMAX-A11 は、SA または PA が必要ではない限り、ロック解除およびコマンドサイクルでは「ドントケア」になります (AMAX は最上位アドレスピン)。
 - 73 アレイ データを読み出す際、ロック解除またはコマンドサイクルは不要です。
 - 74 デバイスが ID-CFI (自動選択) モードの場合、または (デバイスがステータス データを提供している間に) DQ5 が High になった場合は、データアレイの読み出しに戻るには、リセットコマンドが必要です。
 - 75 デバイスがアレイ データを読み出す準備ができており、またはデバイスが ID-CFI (自動選択) モードのとき、コマンドが有効になります。
 - 76 消去サスペンド モードのとき、システムは消去対象となっていないセクタを読み出しおよびプログラム/プログラム一時停止したり、ID-CFI ASO に移行できます。消去中止コマンドは、セクタ消去動作時のみ有効です。
 - 77 消去再開/プログラム再開コマンドは、消去一時停止 / プログラム一時停止モード時のみ有効です。
 - 78 デバイスがライト ツールバッファアポート状態にあることを検出後に、読み出しモードに復帰させるためには、このコマンドシーケンスを実行します。ABORT からリセットする場合は、フルコマンドシーケンスが必要であることに注意してください。
 - 79 終了コマンドは、デバイスをアレイの読み出しに復帰させます。
 - 80 PWDx の場合は、プログラムできるパスワード領域は、A0 コマンド 1 回につき、1 つだけです。パスワード領域は、逐次的な順序 (PWD0 ~ PWD3) でプログラムする必要があります。
 - 81 ASP レジスタのビットはすべて、1 回のみプログラム可能です。プログラム状態=0、消去状態=1 です。また、恒久プロテクトモード ロックビットと、パスワードプロテクトモード ロックビットは、同時にプログラムできません。同時にプログラムすると、ASP レジスタビットプログラム動作が中止され、デバイスが読み出しモードに復帰します。将来の使用のために予約されている ASP レジスタビットは、未定義であり、0 でも 1 でもかまいません。
 - 82 いずれかのエントリー コマンドを発行したら、終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。
 - 83 ビット 0 = 0 プロテクト状態を表示、ビット 0 = 1 プロテクトなしの状態を表示します。バイト 1:15 のすべては 1 です。DYB セット、DYB クリア、または PPB プログラム コマンドのセクタアドレスは、そのセクタ内の任意の場所がかまいません。セクタアドレスの下位ビットは「ドントケア」です。
 - 84 ステータスレジスタリード処理中はデータが表示されます。DYB 読み出し、PPB 読み出し、SA プロテクト読み出し、パスワード読み出し、POR 時間読み出し、ICR 読み出し、ISR 読み出し、VCR 読み出し、NVCR 読み出し、FIDR 読み出し、ASPR 読み出し、PPBL 読み出しレジスタ読み出し処理は開始ワードがデバイスで出力される時のみに有効です。Low 状態にある CS# が未定義の間に CK/CK# がトグルし続けたら、次のデータ値が出力します。
 - 85 SA 保護ステータス読み出し中のデータ出力は、指定されたセクタがビット 0 ~ 2 で保護されているかどうかを示します。ビット 0 は表示したセクタが保護されるかどうかを示します (0 = 保護、1 = 保護なし) ビット 1 はセクタの DYB ビットを使って保護されます (0 = 保護、1 = 保護なし) ビット 2 はセクタの PPB ビットを使って保護されます (0 = 保護、1 = 保護なし) ビット 3 ~ 15 のすべては 1 です。
 - 86 より小さいパラメーターセクタは、消去およびプログラム コマンドシーケンスの時にターゲットパラメーターセクタを定義するアドレスの一部として、A[16:11] を含む必要があります。
 - 87 ID (自動選択) エントリおよび CFI エントリの両方は同じ ID/CFI データセットへアクセスを実行させます。ID / CFI データセット内で、含まれるすべてのデータは ID または CFI エントリシーケンスを使った後実行可能になります。

コマンドの定義

- X = ドントケア
- RA = 読み出しメモリアドレス
- RD = 読み出し動作中に RA から読み出されるデータ
- RA = プログラム対象のメモリ位置のアドレス
- PD = 位置 PA でプログラムされるデータ
- SA = 選択されたセクタのアドレス 256kB セクタのアドレス ビット A_{MAX}-A17 および 4kB パラメーターセクタ A_{MAX}-A11 は独自のセクタを選択する
- WBL = ライトバッファロケーション。このアドレスは、同じライン内でなければなりません。
- WC = ワード カウントは、ロードするバッファ書き込み位置の値 - 1。
- PWax = ワード 0 = 00h、ワード 1 = 01h、ワード 2 = 02h、ワード 3 = 03h のパスワードアドレス。
- PWDx = ワード 0、ワード 1、ワード 2、ワード 3 のパスワードデータ

9 データ整合性

9.1 アクセス可能回数

表 41. プログラム/消去可能回数

不揮発性ユニット	温度範囲	最小値	単位
任意のセクタ	産業機器用	100K	プログラム/消去サイクル
	産業機器用プラス	100K	
	拡張	10K	
コンフィグレーションレジスタ	産業機器用	100K	
	産業機器用プラス	100K	
	拡張	10K	

注：
 88 サイクル データ収集は、10 万サイクルまでです。

9.2 データ保持

表 42. データ保持

パラメーター	Typ	単位
半ページ、消去ごとに 1K サイクル以下のプログラム動作でのデータ保持時間	20	年

ハードウェア インターフェース

HyperFlash メモリの HyperBus ハードウェア インターフェースの概要は、HyperBus の仕様を参照してください。以下の節はハードウェア インターフェースの HyperFlash デバイスに準拠した側面を説明します。

10 電気的仕様

以下の節は電気的仕様の HyperFlash デバイスに依存した側面を説明します。

10.1 絶対最大定格

プラスチックパッケージの保存温度	-65 °C ~ +150 °C
通電時の周囲温度	-65 °C ~ +125 °C
グラウンドに対する電圧	
すべての信号 ^[89]	-0.5 V ~ +(V _{CC} + 0.5 V)
出力短絡電流 ^[90]	100 mA
V _{CC}	-0.5 V ~ +4.0 V

10.1.1 入力信号オーバーシュート

DC条件において、入力またはI/O信号は、V_{SS}とV_{DD}の電圧範囲内にあることが必要です。電圧変動の間、入力またはI/Oは最大20 nsの期間で、V_{SS}を-1.0Vにアンダーシュートするか、またはV_{DD}+1.0Vにオーバーシュートする可能性があります。

図 20. 最大ネガティブオーバーシュート波形

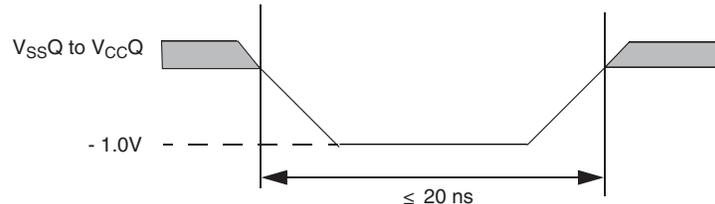
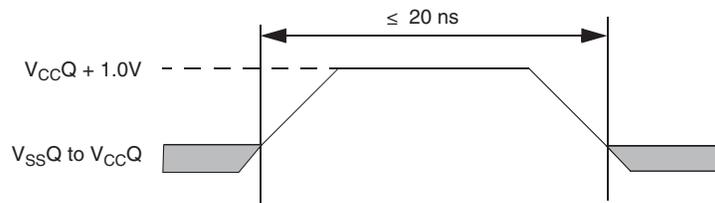


図 21. 最大ポジティブオーバーシュート波形



注:
89 入力または I/O 信号の最小 DC 電圧は -1.0 V です。電圧遷移中、入力または I/O 信号は、最大 20 ns の期間、V_{SS} を -1.0 V にアンダーシュートする場合があります。図 20 を参照してください。入力または I/O 信号の最大 DC 電圧は V_{CC} + 1.0 V です。電圧遷移中、入力または I/O 信号は最大 20 ns の期間にわたって V_{CC} + 1.0 V にオーバーシュートする場合があります。図 21 を参照してください。

90 一度に複数の出力をグラウンドに短絡できません。短絡の持続時間は 1 秒を超えてはいけません。

91 「絶対最大定格」にリストされているものを超えるストレスは、デバイスに恒久的な損傷を引き起こす可能性があります。これはストレスの評価のみです。これらの条件またはこのデータシートの操作セクションに示されている条件を超える他の条件でのデバイスの機能動作は暗示されていません。デバイスを長時間絶対最大定格条件にさらすと、デバイスの信頼性に影響を与える可能性があります。

10.2 熱インピーダンス

パラメーター	説明	VAA024	単位
θ_{JA}	熱抵抗 (周囲への接合)	43.5	°C/W

注:
92 試験条件は、EIA/JESD511に従って熱インピーダンスを測定するための標準的な方法と手順に従います。

10.3 ラッチアップ特性

表 43. ラッチアップ仕様

説明	最小	最大	単位
すべて入力のみ接続での、 V_{SSQ} を基準とした入力電圧	-1.0	$V_{CCQ} + 1.0$	V
すべてのI/O接続での、 V_{SSQ} を基準とした入力電圧	-1.0	$V_{CCQ} + 1.0$	V
V_{CCQ} 電流	-100	+100	mA

注:
93 電源 V_{CC}/V_{CCQ} を除外します。テスト条件: $V_{CC} = V_{CCQ} = 1.8V$ 、テストされる接続は1度に1つ、テストされていない接続は V_{SS} です。

10.4 動作範囲

動作範囲は、デバイスの機能が保証される制限を定義します。動作範囲はデバイス固有です。特定のデバイスでサポートされている動作範囲を知るには、デバイスのデータシートの注文番号の有効な組合せを参照してください。

10.4.1 温度範囲

パラメーター	記号	デバイス	仕様		単位
			最小	最大	
周囲温度	T_A	産業用	-40	+85	°C
		産業用拡張	-40	+105	°C
		拡張	-40	+125	°C
		車載向け、AEC-Q100 グレード 3	-40	+85	°C
		車載向け、AEC-Q100 グレード 2	-40	+105	°C
		車載向け、AEC-Q100 グレード 1	-40	+125	°C

10.4.2 電源電圧

V_{CC} および V_{CCQ}	1.7V~1.95V
V_{CC} および V_{CCQ}	2.7V~3.6V

10.5 DC 特性 (CMOS 互換性)

表 44. DC 特性 (CMOS 互換性)

パラメータ	説明	テスト条件	最小値	標準値 [102]	最大値	単位
I _{CC1}	V _{CC} アクティブ読み出し電流 (コア電流のみ、IO 切り替え電流を含まない)	CS# = V _{IL} (166MHz、V _{CC} = 1.95V時)	-	130	180	mA
		CS# = V _{IL} (100MHz、V _{CC} = 3.6V時)	-	80	100	mA
I _{IO1}	IO のV _{CCQ} アクティブ読み出し電流	CS# = V _{IL} (166MHz、 V _{CCQ} = 1.95V、C _{LOAD} = 20pf時)	-	80	100	mA
		CS# = V _{IL} (100MHz、 V _{CCQ} = 3.6V、C _{LOAD} = 20pf時)	-	80	100	mA
I _{CC3P}	V _{CC} アクティブ プログラム電流 ^[94, 95]	V _{CC} = V _{CC} max	-	60	100	mA
I _{CC3E}	V _{CC} アクティブ消去電流 ^[94, 95]	V _{CC} = V _{CC} max	-	60	100	mA
I _{CC4I}	産業用温度範囲 (-40°C ~ +85°C) のV _{CC} スタンバイ電流	CS# = V _{IH} 、RESET# = V _{CC} 、 V _{CC} = V _{CC} max	-	25	100	μA
I _{CC4IC}	産業用拡張温度範囲 (車載用 -車室内) (-40°C ~ +105°C) のV _{CC} スタンバイ電流	CS# = V _{IH} 、RESET# = V _{CC} 、 V _{CC} = V _{CC} max	-	25	300	μA
I _{CC4E}	拡張温度範囲 (-40°C ~ +125°C) のV _{CC} スタンバイ電流	CS# = V _{IH} 、RESET# = V _{CC} 、 V _{CC} = V _{CC} max	-	25	300	μA
I _{CC5}	V _{CC} リセット電流 ^[98]	CS# = V _{IH} 、RESET# = V _{SS} 、 V _{CC} = V _{CC} max	-	10	20	mA
I _{CC6}	アクティブ クロック ストップ モード ^[96]	V _{IH} = V _{CC} 、V _{IL} = V _{SS} 、V _{CC} = 1.95V	-	6	12	mA
		V _{IH} = V _{CC} 、V _{IL} = V _{SS} 、V _{CC} = 3.6V	-	6	12	mA
I _{CC7}	電源投入時のV _{CC} 電流 ^[97]	CS# = X、V _{CC} = V _{CC} max	-	80	100	mA
I _{DPD}	25°Cでのディープ パワー ダウン電流 (512Mb の場合)	CS# = V _{IH} 、RESET#、 V _{CC} = V _{CC} max	-	8	18	μA
	85°Cでのディープ パワー ダウン電流 (512Mb の場合)		-	30	50	μA
	105°Cでのディープ パワー ダウン電流 (512Mb の場合)		-	95	150	μA
	125°Cでのディープ パワー ダウン電流 (512Mb の場合)		-	150	250	μA
	25°Cでのディープ パワー ダウン電流 (すべての他の容量の場合)		-	3	6	μA
	85°Cでのディープ パワー ダウン電流 (すべての他の容量の場合)		-	4	10	μA
	105°Cでのディープ パワー ダウン電流 (すべての他の容量の場合)		-	5	15	μA
	125°Cでのディープ パワー ダウン電流 (256Mb の場合)		-	15	25	μA
	125°Cでのディープ パワー ダウン電流 (128Mb の場合)		-	10	15	μA
V _{IL}	入力Low電圧		-0.15 x V _{CCQ}	-	0.35 x V _{CCQ}	V

注:

- 94 自動アルゴリズムの実行中はI_{CC} はアクティブです。
95 100% のテストは行われていません。
96 アクティブ クロック ストップ モードは、CK/CK# 信号がt_{ACC} + 30ns の間安定した時に低電力モードを有効にします。
97 V_{CCQ} = 1.70V~1.95V、または2.7V~3.6V。
98 V_{CC} = V_{CCQ} = 1.8VまたはV_{CC} = V_{CCQ} = 3.0V。
99 電源投入時にはスパイク電流があり、デバイスの正常な初期化を保证するため、システムはこの電流を供給する必要があります。
100 リセットの開始時点で自動アルゴリズム動作が実行中である場合は、リセットにより自動アルゴリズム動作が停止されるまで、消費電流は自動アルゴリズム動作の仕様のままとなります。リセットの開始時点で自動アルゴリズム動作が開始されていない場合、また自動アルゴリズム動作が停止された直後は、t_{RPH}の残りの間は、I_{CC7} が消費されます。t_{RPH}の後は、後続の読み出しや書き込みまでデバイスはスタンバイ モードになります。
101 INT# とRSTO# 出力の推奨プルアップ抵抗は5k~10k オームです。
102 I_{CC}(Typ)の値はt_{AI} = 25°C、V_{CC} = V_{CCQ} = 1.8V または3.0V で測定されます。(これは85°C、105 °C、および125°Cの時のI_{DPD}に適用しません)。

パラメータ	説明	テスト条件	最小値	標準値 [102]	最大値	単位
V _{IH}	入力High電圧		0.65 x V _{CCQ}	—	1.15 x V _{CCQ}	V
V _{OH}	出力High電圧	DQ[7:0]でI _{OH} = 100μA	V _{CCQ} - 0.20	—	—	V
V _{OL}	出力Low電圧	DQ7~DQ0でI _{OL} = 100μA NT#およびRSTO#でI _{OL} = 2mA	—	—	0.15 x V _{CCQ}	V

注:

- 94 自動アルゴリズムの実行中はI_{CC}はアクティブです。
- 95 100%のテストは行われていません。
- 96 アクティブクロックストップモードは、CK/CK#信号がt_{ACC} + 30nsの間安定した時に低電力モードを有効にします。
- 97 V_{CCQ} = 1.70V~1.95V、または2.7V~3.6V。
- 98 V_{CC} = V_{CCQ} = 1.8VまたはV_{CC} = V_{CCQ} = 3.0V。
- 99 電源投入時にはスパイク電流があり、デバイスの正常な初期化を保証するため、システムはこの電流を供給する必要があります。
- 100 リセットの開始時点で自動アルゴリズム動作が実行中である場合は、リセットにより自動アルゴリズム動作が停止されるまで、消費電流は自動アルゴリズム動作の仕様のままとなります。リセットの開始時点で自動アルゴリズム動作が開始されていない場合、また自動アルゴリズム動作が停止された直後は、t_{RPH}の残りの間は、I_{CC7}が消費されます。t_{RPH}の後には、後続の読み出しや書き込みまでデバイスはスタンバイモードになります。
- 101 INT#とRSTO#出力の推奨プルアップ抵抗は5k~10kオームです。
- 102 I_{CC(Typ)}の値はt_{AI} = 25°C、V_{CC} = V_{CCQ} = 1.8Vまたは3.0Vで測定されます。(これは85°C、105°C、および125°Cの時のI_{DDP}に適用しません)。

10.5.1 静電容量特性

表 45. 1.8Vでの静電容量特性

説明	パラメータ	最小値	最大値	単位
入力静電容量 (CK, CK#, CS#, PSC, PSC#)	CI	3.5	4.5	pF
デルタ入力静電容量 (CK, CK#, CS#, PSC, PSC#)	CID	—	0.25	pF
出力静電容量 (RWDS)	CO	5.0	6.0	pF
I/Oピン静電容量 (DQx)	CIO	5.0	6.0	pF
I/Oピン静電容量デルタ (DQx)	CIOD	—	0.8	pF
INT#, RSTO#ピン静電容量	COP	5.0	6.0	pF
RESET#ピン静電容量	CIP	6.5	9.0	pF

注:

- 103 これらの値は設計保証であり、サンプルでのみテストされます。
- 104 ピンの静電容量は、ベクタネットワークアナライザを用いた静電容量測定の手順に従って測定されます。V_{CC}、V_{CCQ}を印加し、(試験中のピンを除いて)すべての他のピンは開放にします。DQピンをHIGHインピーダンス状態にする必要があります。
- 105 CK、CK#、RWDS、DQxピンの静電容量値は同等になり、システム内の信号伝播時間整合を実現する必要があります。アクティブ (LOW) になるCS#とDQxバスに出力されるデータ間の重要なタイミングがないため、CS#の静電容量値は重要ではありません。

表 46. 3.0V での静電容量特性

説明	パラメーター	最小値	最大値	単位
入力静電容量 (CK, CS#)	CI	3.5	4.5	pF
PSC	CI	3.5	4.5	pF
出力静電容量 (RWDS)	CO	4.5	6.0	pF
I/O ピン静電容量 (DQx)	CIO	4.5	6.0	pF
I/O ピン静電容量デルタ (DQx)	CIOD	–	0.8	pF
INT#, RSTO# ピン静電容量	COP	5.0	6.0	pF
RESET# ピン静電容量	CIP	6.0	8.5	pF

- 注:
- 106 これらの値は設計保証であり、サンプルでのみテストされます。
 - 107 ピンの静電容量は、ベクタ ネットワーク アナライザーを用いた静電容量測定 の JEP147 手順に従って測定されます。V_{CC}、V_{CCQ} を印加し、(試験中のピンを除いて) すべての他のピン は開放にします。DQ ピンを HIGH インピーダンス状態にする必要があります。
 - 108 CK、RWDS、DQx ピンの静電容量値は同等になり、システム内の信号伝播時間整合を実現する必要があります。アクティブ (LOW) になる CS# と DQ バスに出力されるデータ間の重要なタイミングがないため、CS# の静電容量値は重要ではありません。

10.6 電源投入時および電源切断時

コア電源 (V_{CC}) が V_{CC} ロックアウト電圧 (V_{LKO}) を下回った場合はメモリは電源切断と見なされます。V_{CC} が V_{LKO} を下回ると、メモリ アレイの全体はプログラムや消去動作から保護されます。これにより、電源変動時でも、メモリの内容が誤って変更されないようにしています。V_{SS} レベルに至るまで電源変動時は、V_{CCQ} は V_{CC} 以下を保つ必要があります。

V_{CC} が V_{CC}RESET (V_{RST}) を下回り、その後、V_{RST} ~ V_{CC}(min) に復帰すると、デバイスはパワーオン リセット インターフェースの状態に入り、EAC はコールド リセット自動アルゴリズムを開始します。

V_{CC} は V_{CCQ} (V_{CC} ≥ V_{CCQ}) 以上をいつも保持してください。

デバイスは、V_{CC} と V_{CCQ} が両方とも上昇し、最小しきい値 V_{CC} を越える状態を継続した時点から、t_{VCS} の遅延時間が経過するまで、すべての入力を無視します。t_{VCS} の間、デバイスはパワーオン リセットの動作を実行しています。

電源切断中または電圧が V_{LKO} を下回っている間、V_{CC} 電圧は t_{PD} 時間で V_{RST} を下回ります。これにより、V_{CC} と V_{CCQ} が動作範囲に上昇する時、デバイスは正しく初期化します。82 ページの「[図 22. 電源切断または電圧低下](#)」を参照してください。電圧低下中に、V_{CC} が V_{LKO} を上回ったままの場合は、デバイスは初期化状態のままとなり、V_{CC} が V_{CC} (min) を上回った時は正常に動作します。誤った初期化によりデバイスがロックアップした場合は、ソフトウェア リセットによりデバイスを正常に初期化できません。

V_{CC} と V_{CCQ} 電源を安定させるための電源供給時デカップリングには、標準的な予防措置を講じてください。システム内のそれぞれのデバイスには、パッケージ コネクタに近接する適切なコンデンサ (通常、約 0.1μF) によりデカップリングされた V_{CC} と V_{CCQ} 電源が必要です。

図 22. 電源切断または電圧低下

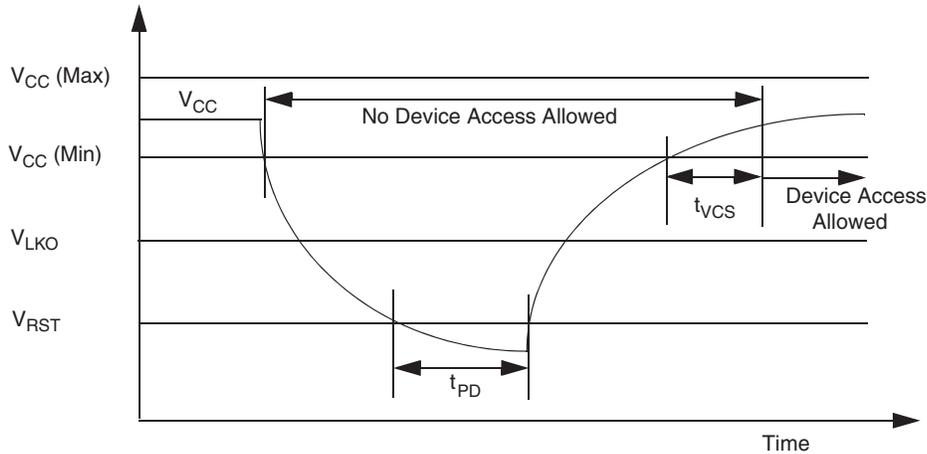


表 47. 1.8V での電源投入／電源切断電圧とタイミング

記号	パラメーター	最小値	最大値	単位
V_{CC}	V_{CC} 電源電圧	1.7	1.95	V
V_{LKO}	V_{CC} の切断電圧。電圧がこれを下回ると再初期化が必要となる	1.5	-	V
V_{RST}	V_{CC} 低電圧。初期化を確実にを行うために必要	0.5	-	V
t_{VCS}	V_{CC} と $V_{CCQ} \geq$ 最小値以上になる時から最初のアクセスまでの時間 RESET# LOW ~ HIGH 遷移から最初のアクセスまでの時間 (V_{CC} と $V_{CCQ} \geq$ (min))	-	300	μ s
t_{PD}	$V_{CC} \leq V_{RST}$ の期間	10	-	μ s

注：
109 V_{CC} ランプ レートは非線形である場合があります。

表 48. 3.0V での電源投入／電源切断電圧とタイミング

記号	パラメーター	最小値	最大値	単位
V_{CC}	V_{CC} 電源電圧	2.7	3.6	V
V_{LKO}	V_{CC} の切断電圧。電圧がこれを下回ると再初期化が必要となる	2.4	-	V
V_{RST}	V_{CC} 低電圧。初期化を確実にを行うために必要	0.7	-	V
t_{VCS}	V_{CC} と $V_{CCQ} \geq$ 最小値以上になる時から最初のアクセスまでの時間 RESET# LOW ~ HIGH 遷移から最初のアクセスまでの時間 (V_{CC} と $V_{CCQ} \geq$ (min))	-	300	μ s
t_{PD}	$V_{CC} \leq V_{RST}$ の期間	10	-	μ s

注：
110 V_{CC} ランプ レートは非線形である場合があります。

10.6.1 パワー オン (コールド) リセット (POR)

最初に電力を印加した時に、電源電圧が V_{LKO} を下回っており、その後最小の動作電圧に達した場合は、内部のデバイス構成とコールド リセットのアクティビティが開始されます。動作期間中 (t_{VCS}) やユーザーが拡張する RSTO#Low 時間の間、RESET# と CS# は無視されます。デバイスが POR 状態にある、または RSTO# ピンが LOW になっている間、コマンド シーケンスはブロックされます。この期間中、デバイスは選択できず、コマンドを受け付けず、RSTO# 以外出力をしません。この POR 期間中の RESET# を LOW にすることは任意です。RESET# が POR 中に LOW になった場合は、POR 動作が t_{VCS} と t_{RPH} の終わりに完了する時 RESET# はハードウェアリセットのパラメーター t_{RP} および t_{RPH} を満たす必要があります。 t_{VCS} 期間中に RESET# が LOW になると、デバイスをハードウェアリセット状態に保つため、 t_{VCS} の終わりに LOW のままになる場合があります。 t_{VCS} の終わりに RESET# が HIGH の場合は、デバイスはスタンバイ状態に入ります。RSTO# の LOW 期間の終わりに CS# を V_{IH} レベルにする必要があります。

コールドリセット中は、デバイスは I_{CC7} 電流を消費します。 t_{VCS} 中に CS# が LOW の場合、デバイスは t_{VCS} の間通常 POR 電流よりも多くの電流を消費する場合がありますが、CS# のレベルは、コールドリセット EA には影響しません。

t_{VCS} の終わりまでに POR が正しく完了していない場合は、その後、ハードウェアリセット状態への遷移があると、これに起因してパワーオンリセットインターフェースへの遷移が行われ、コールドリセット自動アルゴリズムが開始されます。これにより、システム電源投入時の電圧のランプアップに起因して、POR が開始されない、あるいは正しく完了しないといったことがあったとしても、デバイスがコールドリセットを完了することは保証されます。

RSTO# はデバイス内で POR が発生している時点を示すために使用されるオープンドレイン出力であり、システムレベルのリセット信号として使用できます。内部 POR の完了後ただちに、ユーザーにより定義されたタイムアウト期間が経過した後、RSTO# 信号は低インピーダンスから高インピーダンスに遷移します。高インピーダンス状態に遷移した後、外部プルアップ抵抗により RSTO# 信号は HIGH レベルに引っ張られて、デバイスは瞬時にアイドル状態になります。RSTO# が LOW の場合、デバイスはいかなるコマンドも取り受けません。

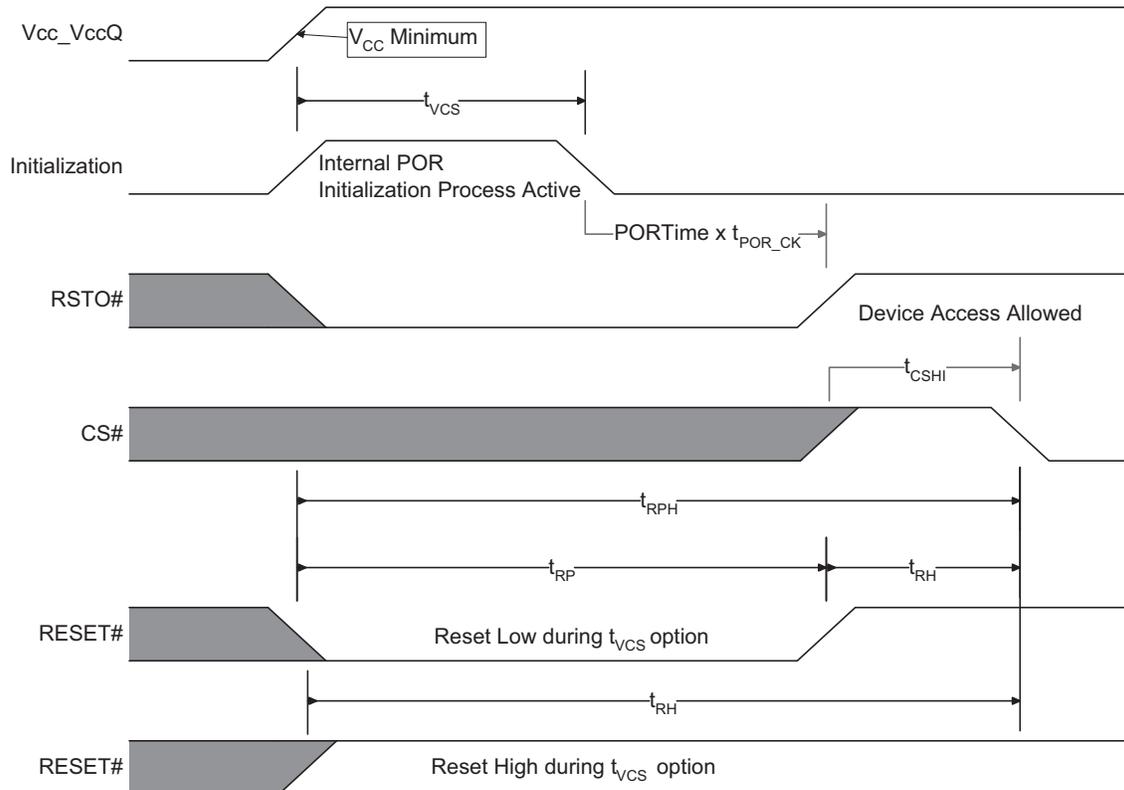
ユーザーが POR (t_{VCS}) 期間を超えて RSTO# の期間を延長したい場合、不揮発性の PORTime レジスタをプログラムする必要があります。このレジスタ (FFFFh) の初期値により RSTO# ピンの期間に 0 を増加できます。 t_{VCS} の終わりに、RSTO# 信号は高インピーダンスに復帰します。 t_{VCS} を超えて延長された RSTO# パルスを定義するために、16 ビット PORTime レジスタにプログラムされた値は、 t_{POR_CK} で乗算されます (ページ 83 の表 49 を参照してください)。 RSTO# アサートまでのプログラムされた延長の長さは「PORTime レジスタ内の値 +1 クロック サイクル」です。 PORTime レジスタは OTP であり、プログラムされると後続のプログラミング試行に失敗します。

表 49. ユーザーのコンフィギュレーションに応じる POR 延長

パラメーター	記号	最小値	最大値	単位
POR 延長クロック周期	t_{POR_CK}	25	42	μs

RSTO# と INT# 出力の両方は V_{CC} が $V_{CC}(\text{min})$ を下回った場合は未定義となります。 $V_{CC}(\text{min})$ に到達すると、INT# 出力は高インピーダンス状態になります。 $V_{CC}(\text{min})$ に到達した場合、「 t_{VCS} + 追加のユーザー定義の POR 延長時間」の後 RSTO# 出力は LOW から HIGH インピーダンス状態へ遷移します。

図 23. パワーオンリセット信号図 [111、112、113]



- 注:
- 111 V_{CCQ} は、V_{CC} と同じでなければなりません。
 - 112 PORTime は t_{VCS} 時間が経過した後に RSTO# をアサートすることを可能にするために用意され、カスタマによってプログラムされるコンフィギュレーションレジスタです。PORTime は、[ページ 33 の表 14](#) で定義します。
 - 1133. t_{POR_CK} は、RSTO# 信号のパルスを延長するために使用する内部 (オンチップ) クロック周期です。t_{POR_CK} は [ページ 83 の表 49](#) で説明します。

10.6.2 ハードウェアリセット

- 進行中の操作を終了します
- RESET# が LOW の場合、DQ[7:0] は HIGH-Z 状態になります
- ASO を終了します
- すべての出力をトライステートにします
- ステータスレジスタをリセットします
- EAC をスタンバイ状態にリセットします
- リセット操作 (t_{RPH}) の間、CS# は無視されます。
- リセット電流仕様 (I_{CC5}) を満たすには、CS# を HIGH に保持する必要があります

データの整合性を確保するには、デバイスがハードウェアリセットプロセスを完了したら、中断された不揮発性の操作を再開する必要があります。

10.6.3 ハードウェア (ウォーム) リセット

RESET#入力は、デバイスをハードウェア的にリセットしてスタンバイ状態にします。RESET#がLOWの場合、コマンドシーケンスと読み出し動作は禁止になります。デバイスがリセット状態にある場合、コマンドシーケンスはブロックされます。

ハードウェアリセット中、デバイスは I_{CC5} 電流を消費します。RESET# が継続的に V_{SS} に保持されると、デバイスは CMOS スタンバイ電流 (I_{CC4}) を消費します。RESET# が V_{IL} に保持されていても V_{SS} になっていないと、スタンバイ電流は大きくなります。

ハードウェアリセットにより、バスコンフィギュレーションは不揮発性レジスタ (NVCR) により定義されます。85 ページの「[図 24. ハードウェアリセットのタイミング図](#)」を参照してください。

デバイスが POR を完了し、スタンバイ状態に入った後は、その後のハードウェアリセット状態への遷移はすべて、ウォームリセットアルゴリズムを起動させます。ウォームリセットはコールドリセットよりもはるかに短時間であり、完了までに要するのは数 μs (t_{RPH}) です。自動ウォームリセットアルゴリズム中は、進行中の組込みアルゴリズムはすべて停止され、EAC は POR 状態に戻され、不揮発性メモリから EAC アルゴリズムがリロードされることもありません。自動ウォームリセットアルゴリズムが完了した後、RESET# が LOW のままであると、インターフェースはハードウェアリセット状態のままとなります。RESET# が HIGH に復帰すると、インターフェースはスタンバイ状態に遷移します。RESET# が HIGH の場合は、自動ウォームリセットアルゴリズムの最後に、インターフェースは直接スタンバイ状態に遷移します。

t_{VCS} の終わりまでに POR が正しく完了していない場合は、その後、ハードウェアリセット状態への遷移があると、これに起因してパワーオンリセットインターフェースへの遷移が行われ、コールドリセット自動アルゴリズムが開始されます。これにより、システム電源投入時の電圧のランプアップに起因して、POR が開始されない、あるいは正しく完了しないといったことがあったとしても、デバイスがコールドリセットを完了することが保証されます。

図 24. ハードウェアリセットのタイミング図

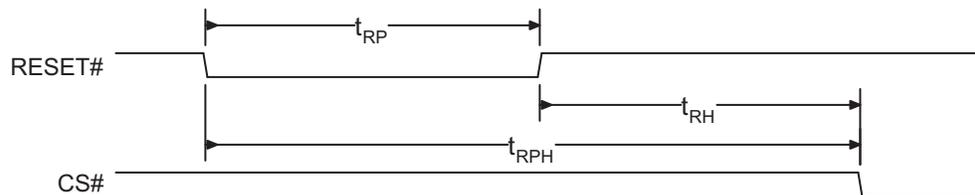


表 50. 電源投入とリセットパラメーター

パラメーター	説明	限界	時間	単位
t_{VCS}	V_{CC} セットアップ時間から最初のアクセス ^[114]	Min	300	μs
t_{RPH}	RESET# LOW から CS# LOW までの時間	Min	30	μs
t_{RP}	RESET# パルス幅	Min	200	ns
t_{RH}	RESET# (HIGH) と CS# (LOW) 間の時間	Min	150	ns
t_{PD}	$V_{CC} \leq V_{RST}$ の期間	Min	10	μs
t_{CSHI}	動作間のチップセレクト HIGH 時間	Min	6.0	ns

- 注:
- 114バストランザクション (読み出しと書き込み) は、電源投入リセット時間 (t_{VCS}) 中は許可されません。
 - 115タイミングは、 V_{CC} が $V_{CC}(\min) \sim V_{IH}$ (リセットの場合)、および $V_{CC}(\min) \sim V_{IL}$ (CS# ピンの場合) で測定されます。
 - 116RESET# Low は POR 中では任意です。POR 中に RESET# がアサートされた場合は、 t_{RPH} と t_{VCS} の後者は CS# が LOW になった時に特定されます。 t_{VCS} が満たされた後 RESET# が LOW のままになっている場合、 t_{RPH} は t_{VCS} の終わりに測定されます。CS# が LOW になる前に t_{RH} の間 HIGH であることも必要です。
 - 117 V_{CC} ランプレートは非線形である場合があります。
 - 118 $t_{RP} + t_{RH}$ は、 t_{RPH} 以上である必要があります。

ハードウェアリセットを利用して DPD モードを終了することもできます。RESET# の入力を ($t_{RP}(\min)$ の間) LOW に駆動すると、デバイスは DPD モードを終了します。デバイスは Standby 状態に復帰する際に t_{DPDOUT} が掛かります。DPD モードを終了する時、デバイスは、パワーオンリセット後と同様な設定を持っています。86 ページの「[10.8.1 ディープパワーダウン](#)」を参照してください。

10.7 ハードウェアデータ保護による電源オフ

コア電源 (V_{CC}) がロックアウト電圧 (V_{LKO}) を下回ると、メモリの電源がオフになったと見なされます。 V_{CC} が V_{LKO} を下回ると、メモリアレイ全体がプログラムまたは消去操作から保護されます。これにより、電源の移行中にメモリの内容が誤って変更されることはありません。電源がPower-Offに移行する間、 V_{CCQ} は V_{CC} 以下である必要があります。

V_{CC} が V_{RST} (最小) を下回り、 V_{RST} (最小) を上回って V_{CC} の最小に戻ると、パワーオンリセットインターフェース状態になり、EACはコールドリセット組込みアルゴリズムを開始します。

10.8 省電力モード

10.8.1 ディープパワーダウン

DPDモードでは、消費電流は最低レベルになります。デバイスがASO以外のStandby状態にあるときにDPDモードに入る必要があります。DPDは、DPD Entryコマンドシーケンスを使用して入力されます(ページ69の表40を参照)。 t_{DPDIN} 期間中、デバイスはコマンドシーケンスを無視します(読み出しおよび書き込みトランザクションは処理されません)。

DPDモードを終了するには、DPDエントリーコマンドシーケンスをアサートします。 t_{DPDOUT} 期間中、デバイスはコマンドシーケンスを無視し(読み出しおよび書き込みトランザクションは処理されません)、RWDSは試行された読み出しトランザクション中に切り替わりません。

t_{DPDIN} 期間中、デバイスはCS#を無視します。DPDモードに入ることは、コマンドシーケンスによって中断または中止されません。

t_{DPDIN} を満たした後、DPDモードを終了する必要があります。

RESET#入力をLOWに駆動すると(最小 t_{RP} 時間)、デバイスはDPDモードを終了します。デバイスは t_{DPDOUT} を使用してスタンバイ状態に戻ります。DDPモードへの移行は、 t_{DPDIN} 中にRESET#入力をLOW(最小 t_{RP} 時間)駆動することにより中止されます。

DPDモードを終了すると、デバイスのデフォルト設定はPOR後と同じになります。

表 51. DPDモードの開始と終了のタイミング

記号	パラメーター	最小	最大	単位
t_{DPDIN}	DPD電カレベルへのディープパワーダウンCR[15] = 0レジスタ書き込み	10	–	μ s
t_{DPDOUT}	ディープパワーダウンからStandbyウェイクアップ時間	–	300	μ s

図 25. ディープパワーダウン開始タイミング

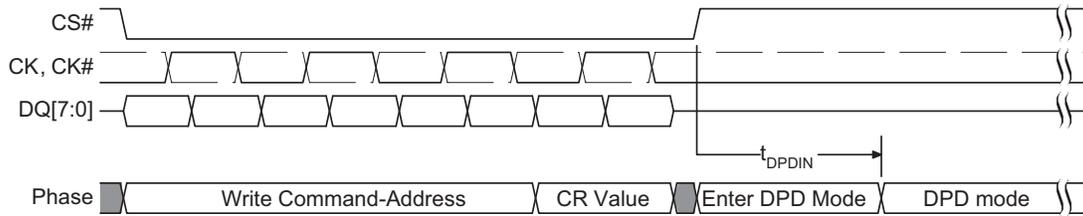


図 26. ディープパワーダウンCS#終了タイミング

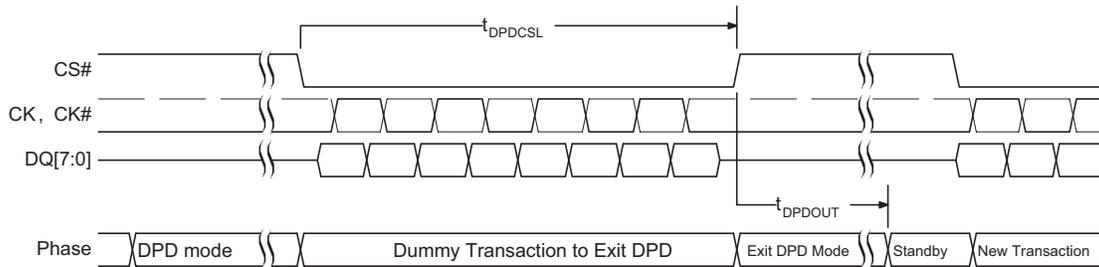
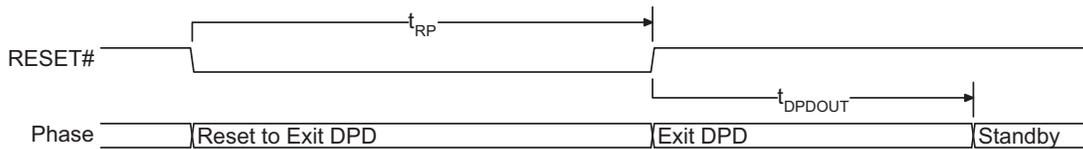


図 27. ディープパワーダウンRESET#終了タイミング

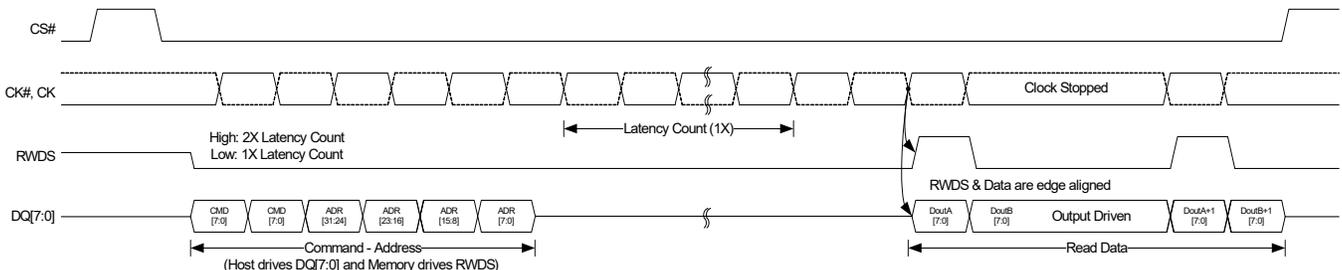


10.8.2 アクティブクロック停止

アクティブクロックストップ状態は、読み出しまたは書き込み操作のデータ転送部分の間、デバイスインターフェースのエネルギー消費を I_{CC6} レベルに減らします。クロックが $t_{ACC} + 30ns$ の間安定している場合、デバイスはこの状態を自動的に有効にします。アクティブクロックストップ状態の間、読み出しデータはラッチされ、常にデータバスに駆動されます。 I_{CC6} を 79 ページの「10.5 DC 特性 (CMOS 互換性)」に示します。

アクティブクロック停止状態は、ホストシステムクロックが停止してデータ転送を一時停止した場合の消費電流を削減するのに役立ちます。これらの拡張データ転送サイクル全体で CS# が LOW であっても、メモリデバイスホストインターフェースは $t_{ACC} + 30ns$ でアクティブクロック停止電流レベルになります。これにより、データ転送が停止した場合、デバイスはより低い電流状態に移行できます。切り替えクロックでデータ転送が再開されると、アクティブな読み出しまたは書き込み電流が再開されます。クロックは、アクティブトランザクションが LOW 状態にある限り、どの部分でも停止できます。レジスタアクセス中はクロックを停止しないことを推奨します。

図 28. 読み出しトランザクション中のアクティブクロック停止^[119]



注:
119 CA サイクル中、CS は LOW です。この読み出しトランザクションには、読み出しデータアクセスの初期レイテンシカウントが 1 つあります。これは、この読み出しトランザクションは、スLEEPが追加のレイテンシを必要とする時点では開始されないためです。

11 タイミング仕様

このセクションでは、タイミング仕様のHyperFlashデバイスに準拠した側面を説明します。

11.1 AC テスト条件

図 29. テスト設定

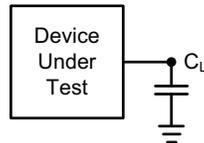
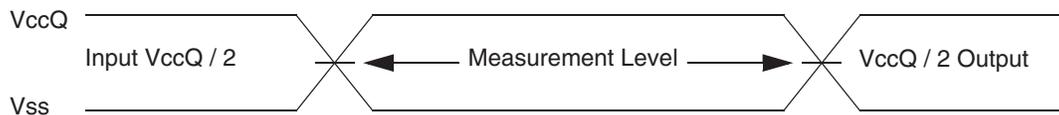


表 52. テスト仕様^[121]

パラメーター	すべてのスピード	単位
出力負荷容量、 C_L	20	pF
最小立ち上りおよび立ち下りスルーレート ^[120]	2.0	V/ns
入力パルスレベル	$0.0 \sim V_{CCQ}$	V
入力タイミング測定基準レベル	$V_{CCQ}/2$	V
出カタイミング測定基準レベル	$V_{CCQ}/2$	V

図 30. 入力波形と測定レベル^[122]



注:

120 すべてのACタイミングは、2V/nsの入カスルーレートを想定しています。少なくとも4V/nsのCK/CK#差動スルーレート。

121 入力および出カタイミングは、 $V_{CCQ}/2$ またはCK/CK#の交差を基準としています。

122 差動CK/CK#ペアの入カタイミングは、クロックの交差から測定されます。

11.2 AC特性

11.2.1 CLK特性

図 31. クロック特性

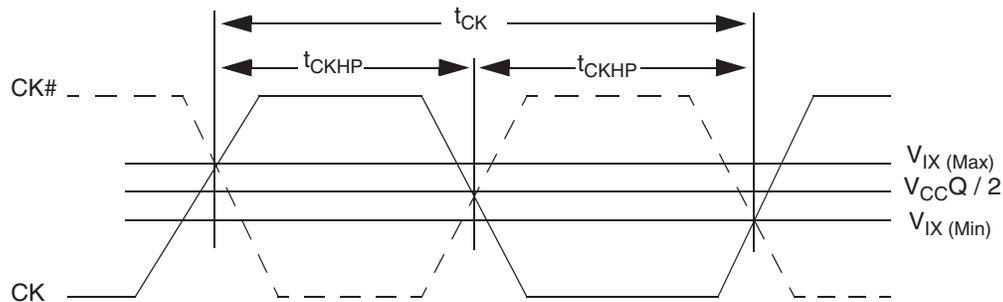


表 53. クロックタイミング

パラメーター	記号	166 MHz		133 MHz		100 MHz		50 MHz ^[124]		単位
		最小	最大	最小	最大	最小	最大	最小	最大	
CK周期	t_{CK}	6	–	7.5	–	10	–	20	–	ns
CK半周期 - デューティサイクル	t_{CKHP}	0.45	0.55	0.45	0.55	0.45	0.55	0.45	0.55	t_{CK}
周波数でのCK半周期 最小 = $0.45 t_{CK}$ 最小 最大 = $0.55 t_{CK}$ 最大	t_{CKHP}	2.7	3.3	3.375	4.125	4.5	5.5	9	11	ns

注:

123 ±5%のクロックジッタが許容されます。

124 50 MHzタイミングは、HyperFlashワードプログラムコマンド中にデータをロードするためにバースト書き込みが使用される場合にのみ関連します。

125 CK#は1.8Vデバイスでのみ使用され、破線の波形として表示されます。

表 54. クロックAC/DC電気的特性

パラメーター	記号	最小	最大	単位
DC入力電圧	V_{IN}	-0.3	$V_{CCQ} + 0.3$	V
DC入力差動電圧	$V_{ID(DC)}$	$V_{CCQ} \times 0.4$	$V_{CCQ} + 0.6$	V
AC入力差動電圧	$V_{ID(AC)}$	$V_{CCQ} \times 0.6$	$V_{CCQ} + 0.6$	V
AC差動交差電圧	V_{IX}	$V_{CCQ} \times 0.4$	$V_{CCQ} \times 0.6$	V

注:

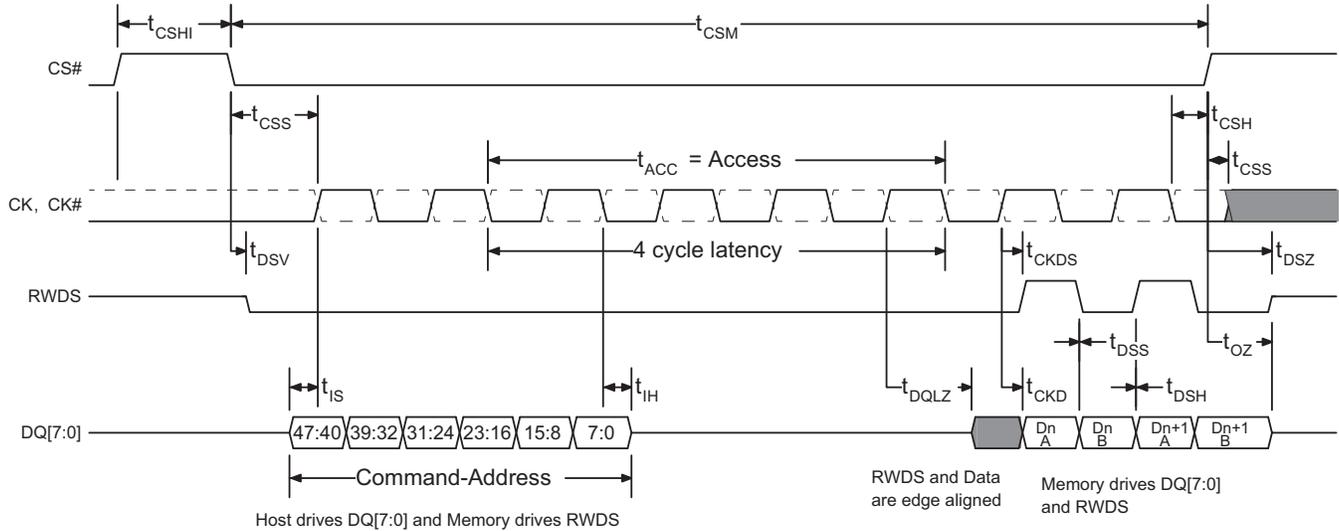
126 CKおよびCK#の入カスルーレートは、1V/ns以上（差動で測定した場合は2V/ns）でなければなりません。

127 V_{ID} は、CKの入カレベルとCK#の入カレベルの差の大きさです。

128 V_{IX} の値は、送信デバイスの $V_{CCQ}/2$ に等しいと予想され、 V_{CCQ} のDCレベルの変動を追跡する必要があります。

11.2.2 読み出しランザクション図

図 32. 読み出しタイミング図



11.2.3 読み出しACパラメーター

表 55. HyperBus 1.8V/3.0V デバイスの共通読み出しタイミングパラメーター

パラメーター	記号	166 MHz		133 MHz		100 MHz		単位
		最小	最大	最小	最大	最小	最大	
ランザクション間のチップ セレクト HIGH 時間	t_{CSHI}	6.00	–	7.50	–	10.00	–	ns
チップセレクト セットアップから次の CK 立ち上りエッジまでの時間	t_{CSS}	3.00	–	3.00	–	3.00	–	ns
データストロブ有効時間	t_{DSV}	–	12.00	–	12.00	–	12.00	ns
入力セットアップ時間	t_{IS}	0.60	–	0.80	–	1.00	–	ns
入力ホールド時間	t_{IH}	0.60	–	0.80	–	1.00	–	ns
HyperFlash 読み出し初期アクセス時間	t_{ACC}	–	96.00	–	96.00	–	96.00	ns
クロックから DQ の Low Z までの時間	t_{DQLZ}	0	–	0	–	0	–	ns
CK 遷移から DQ 有効までの時間	t_{CKD}	1.00	5.50	1.00	5.50	1.00	5.50	ns
CK 遷移から DQ 無効までの時間	t_{CKDI}	0	4.60	0	4.50	0	4.30	ns
データ有効時間 ($t_{DV min} = t_{CKHP min} - t_{CKD max} + t_{CKDI max}$ と $t_{CKHP min} - t_{CKD min} + t_{CKDI min}$ のうちの小さい方)	t_{DV}	1.70	–	2.37	–	3.30	–	ns
CK 遷移から RWDS 有効までの時間	t_{CKDS}	1.00	5.50	1.00	5.50	1.00	5.50	ns
RWDS 遷移から DQ 有効までの時間	t_{DSS}	-0.45	+0.45	-0.60	+0.60	-0.80	+0.80	ns
RWDS 遷移から DQ 無効までの時間	t_{DSH}	-0.45	+0.45	-0.60	+0.60	-0.80	+0.80	ns
CK 立ち下りエッジ後のチップセレクトのホールド時間	t_{CSH}	0	–	0	–	0	–	ns
チップ セレクト非アクティブから RWDS High-Z までの時間	t_{DSZ}	–	6.00	–	6.00	–	6.00	ns
チップ セレクト非アクティブから DQ High-Z までの時間	t_{OZ}	–	6.00	–	6.00	–	6.00	ns

注:

129 HyperBus デバイスは、示されている t_{CSH} 値で正常に動作しますが、通常、CS# は、HyperBus マスターによって LOW (アクティブ) に駆動される必要があります。また、 t_{CKD} 、 t_{CKDS} 、および RWDS のマスターインターフェースの位相シフトを考慮して DQ 信号から最後のデータ転送をキャプチャするのに十分な時間データが有効になります。HyperBus マスターは、最後の目的のデータ転送から有効なデータを確実にキャプチャするために、1つ以上の追加クロック周期で CS# を LOW に駆動する必要があります。

図 33. DCARSデータ有効タイミング^[130, 131, 132]

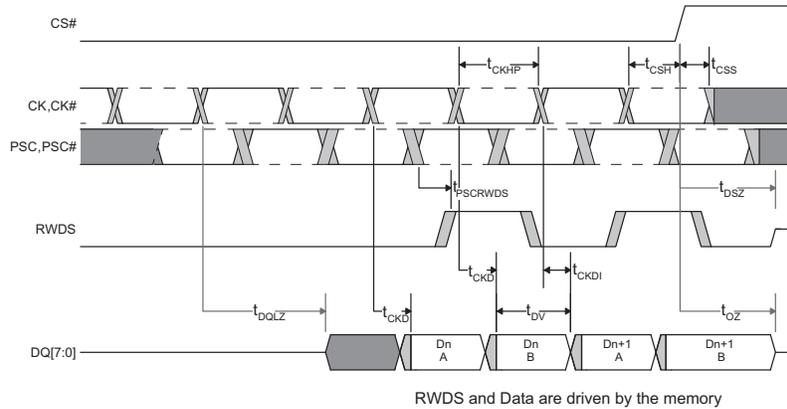


表 56. DCARS 読み出しタイミング (@ 3.0 V)^[133]

パラメーター	記号	100 MHz		単位
		最小	最大	
HyperFlash PSC 遷移から RWDS 遷移までの時間	$t_{PSCRWDS}$	1	6.5	ns
CK から DQ 有効および PSC から RWDS までの時間差	$t_{PSCRWDS} - t_{CKD}$	-1.0	+0.5	ns

表 57. DCARS 読み出しタイミング (@ 1.8 V)^[133]

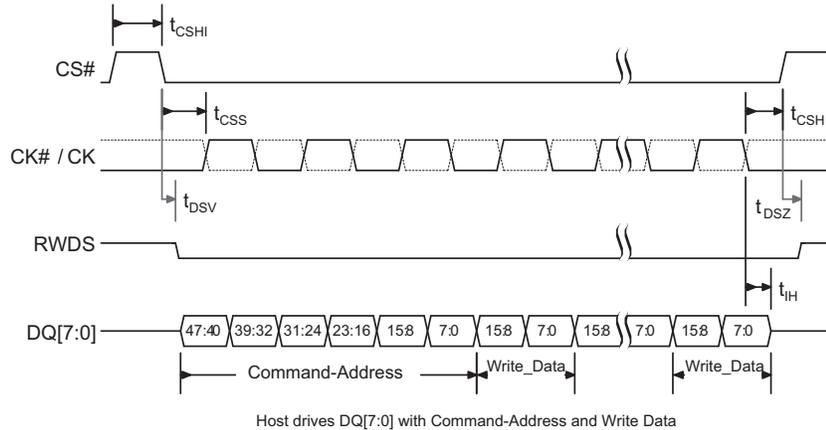
パラメーター	記号	133 MHz		100 MHz		単位
		最小	最大	最小	最大	
HyperFlash PSC 遷移から RWDS 遷移までの時間	$t_{PSCRWDS}$	1	5.5	1	5.5	ns
CK から DQ 有効および PSC から RWDS までの時間差	$t_{PSCRWDS} - t_{CKD}$	-1.0	+0.5	-1.0	+0.5	ns

注:

- 130 CK# と PSC# はオプションであり、破線の波形として表示されます。
- 131 CK から PSC への遅延 (位相シフト) は、HyperBus マスターインターフェース (ホスト) によって制御され、十分なセットアップおよび RWDS へのデータのホールド時間でデータ有効ウィンドウ内に RWDS エッジを配置するために、通常 40 ~ 140 度です。データのセットアップと RWDS へのホールド時間の要件は、HyperBus マスターインターフェースの設計によって決定され、HyperBus スレーブのタイミングパラメーターによっては対処されません。
- 132 t_{CKD} および t_{CKDI} の HyperBus タイミングパラメーターは、データ有効期間の開始位置と終了位置を定義します。RWDS とデータは同じ電圧および温度条件下で同じデバイスからの出力であるため、 t_{CKD} と t_{CKDI} の値は一緒に追跡されます (同じ比率で変化します)。
- 133 抜き取りテストであり、100%テストはされていません。

11.2.4 マルチワード バースト データ ロードによるワードプログラミング

図 34. ワードプログラムコマンド中にマルチワードをロードしている間のバースト書き込みタイミング図^[134, 135, 136, 137, 138, 139]



11.2.5 AC パラメーターの書き込み

表 58. HyperFlash 1.8V/3.0V デバイス共通の書き込みタイミングパラメーター

パラメーター	記号	166 MHz		133 MHz		100 MHz		単位
		最小	最大	最小	最大	最小	最大	
トランザクション間のチップセレクト High 時間	t_{CSHI}	6.00	-	7.50	-	10.00	-	ns
チップセレクト セットアップから次の CK 立ち上りエッジまでの時間	t_{CSS}	3.00	-	3.00	-	3.00	-	ns
データストローボ有効時間	t_{DSV}	-	12.00	-	12.00	-	12.00	ns
入力セットアップ時間	t_{IS}	0.60	-	0.80	-	1.00	-	ns
入力ホールド時間	t_{IH}	0.60	-	0.80	-	1.00	-	ns
CK 立ち下りエッジ後のチップセレクトのホールド時間	t_{CSH}	0	-	0	-	0	-	ns
チップセレクト非アクティブまたはクロックから RWDS High-Z までの時間	t_{DSZ}	-	6.00	-	6.00	-	6.00	ns

注:

- 134 CK = LOWおよびCK# = HIGHでトランザクションを開始する必要があります。CS#は、新しいトランザクションが開始される前にHIGHを返す必要があります。
- 135 HyperFlashメモリは、CS#がLOWの間、書き込み中にRWDSをLOWに駆動します。
- 136 ASO状態では、バースト書き込み操作は許可されません。
- 137 バースト書き込み操作は、ワードプログラムコマンド中に複数のワードをロードしている間のみ許可されます。
- 138 バースト書き込み操作は線形のみであり、ラップバースト書き込み機能はサポートされていません。
- 139 CK#は1.8Vデバイスでのみ使用されます。

表 59. ワード プログラム コマンド中にマルチワードをロードしている間のバースト書き込みのタイミング図

パラメーター	記号	50 MHz ^[141]		単位
		最小	最大	
バースト書き込みの動作周波数			50	MHz
チップ セレクト セットアップから次のCK 立ち上りエッジまでの時間	t_{CSS}	3	–	ns
チップ セレクト アクティブからRWDS 有効 (Low) までの時間	t_{DSV}	–	8	ns
入力セットアップ時間	t_{IS}	1.0	–	ns
入力ホールド時間	t_{IH}	1.0	–	ns
CK 立ち下りエッジ後のチップ セレクトのホールド時間	t_{CSH}	0	–	ns
チップ セレクト非アクティブからRWDS High-Z までの時間	t_{DSZ}	–	6	ns
動作間のチップ セレクトHIGH 時間	t_{CSHI}	10.0	–	ns

注:

140 抜き取りテストであり、100%テストはされていません。

141 50MHz タイミングは、ワード プログラム コマンド中にバースト書き込みを使用する場合にのみ必要です。

12 組込みアルゴリズムのパフォーマンス

表 60. 組込みアルゴリズム特性

パラメーター	Min	Typ ^[142]	Max ^[143]	単位	備考
セクタ消去時間 256KB	—	930	2900	ms	消去前の事前プログラミングを含む ^[145]
パラメーター セクタ消去時間 4KB	—	240	725	ms	
チップ消去時間 (128Mb)	—	55	115	s	
チップ消去時間 (256Mb)	—	110	231	s	
チップ消去時間 (512Mb)	—	220	462	s	
シングルワードプログラミング時間	—	270	1000	μs	ワードプログラミングコマンドシーケンス
ハーフページ (16 バイト) バッファ プログラミング時間	—	270	1000	μs	バッファプログラミングコマンドシーケンス
バッファ プログラム時間 (フル 512 バイト)	—	475	2000	μs	
消去中断/消去中止時間 (t _{ESL})	—		50	μs	
プログラム中断/プログラム中止時間 (t _{PSL})	—		50	μs	
消去再開から次の消去中断までの時間 (t _{ERS})	—	100		μs	最小 60ns だが、消去が完了するまで Typ 以上の期間が必要
プログラム再開から次のプログラム中断までの 時間 (t _{PRS})	—	100		μs	最小 60ns だが、プログラムが完了するまで Typ 以上の期間が必要
ブランクチェック (256KB セクタ)	—	15	17	ms	
NOP (Number of Program-operations, ラインごと)	—		256		産業機器用温度
	—		32		産業機器拡張用温度 8 ワード (16 バイト) のハーフページごとに 1 つのプログラム操作のみ
評価消去ステータス時間 (t _{EES})	—	70	100	μs	
パスワード比較時間 (t _{PSWD})	80	100	120	μs	
CRC 中断/CRC 再開 (t _{CRC SL})	—		25	μs	
CRC 再開から次の CRC 中断までの時間 (t _{CRC RS})	—	5		μs	最小 60ns だが、CRC 計算が完了するまで Typ 以上の期間が必要
CRC 計算セットアップ時間 (t _{CRC SETUP})	—	10	—	μs	
CRC 計算レート	60	65		MBps	大きい (1024 バイトを超える) データブロックでの計算レート

- 注:
- 142 一般的なプログラムおよび消去時間は、25°C、(1.8V または 3.0V) V_{CC}、10,000 サイクル、およびチェッカーボードデータパターンの条件を想定しています。
 - 143 90°C、V_{CC} = (1.70V または 2.7V)、100,000 サイクル、およびランダムデータパターンの最悪の条件の場合。
 - 144 効果的な書き込みバッファの指定は、512 バイトの書き込みバッファ操作に基づいています。
 - 145 組込み消去アルゴリズムの事前プログラミング手順では、すべてのワードがセクタおよびチップ消去の前に 0000h にプログラムされます。
 - 146 システムレベルのオーバーヘッドは、プログラムコマンドのバスサイクルシーケンスの実行に必要な時間です。コマンド定義の詳細については、ページ 69 の表 40 を参照してください。

13 注文情報

13.1 注文製品番号

注文製品番号は下記の有効な組み合わせで構成されます。

S26KS	256	S	DP	B	H	I	02	0
包装形態								
0 = トレイ								
3 = 13° テープ&リール								
モデル番号 (追加の注文オプション)								
02 = FBGA 24ボール, 高さ1.00mm (VAA024)								
03 = DCARS FBGA 24ボール, 高さ1.00mm (VAA024)								
温度範囲 / グレード								
I = 産業機器用 (-40°C to + 85°C)								
V = 産業機器用プラス (-40°C~+105°C)								
N = 拡張 (-40°C~+125°C)								
A = 車載用, AEC-Q100 グレード3 (-40°C~+85°C)								
B = 車載用, AEC-Q100 グレード2 (-40°C~+105°C)								
M = 車載用, AEC-Q100 グレード1 (-40°C~+125°C)								
パッケージ材料								
H = 低ハロゲン, 鉛フリー ^[148]								
パッケージタイプ								
B = FBGA 6 x 8mmパッケージ, 1.00mmピッチ								
速度								
DA = 100MHz								
DP = 166MHz								
DG = 133MHz								
デバイス技術								
S = 65nm MirrorBitプロセス技術								
メモリ容量								
128 = 128Mb								
256 = 256Mb								
512 = 512Mb								
デバイスファミリ								
S26KS								
サイプレス メモリ 1.8Vのみ, HyperFlashメモリ								
S26KL								
サイプレス メモリ 3.0Vのみ, HyperFlashメモリ								

注:

147 FBGAパッケージマーキングでは、注文部品番号から先頭のS2と梱包タイプ文字が省略されています。
 148 ハロゲンフリーの定義は、IEC 61249-2-21仕様に準拠しています。

13.2 有効な組合せ — 標準

有効な組合せ表は、大量に利用可能になるコンフィギュレーションの一覧です。新しい組合せがリリースされると、表が更新されます。特定の組合せの有無、ならびに新たにリリースされる組合せについては、担当営業までお問い合わせください。

表 61. 有効な組合せ — 標準

デバイス番号	スピード	パッケージと材料	温度範囲	モデル番号	包装形態	注文番号 (x = パッケージタイプ)	パッケージマーキング
S26KL512S	DA	BH	I, V, N	02	0, 3	S26KL512SDABHI02x	6KL512SDAHI02
						S26KL512SDABHV02x	6KL512SDAHV02
						S26KL512SDABHN02x	6KL512SDAHN02
S26KL256S	DA	BH	I, V, N	02	0, 3	S26KL256SDABHI02x	6KL256SDAHI02
						S26KL256SDABHV02x	6KL256SDAHV02
						S26KL256SDABHN02x	6KL256SDAHN02
S26KL128S	DA	BH	I, V, N	02	0, 3	S26KL128SDABHI02x	6KL128SDAHI02
						S26KL128SDABHV02x	6KL128SDAHV02
						S26KL128SDABHN02x	6KL128SDAHN02
S26KS512S	DP	BH	I, V, N	02	0, 3	S26KS512SDPBHI02x	6KS512SDPHI02
						S26KS512SDPBHV02x	6KS512SDPHV02
						S26KS512SDPBHN02x	6KS512SDPHN02
S26KS256S	DP	BH	I, V, N	02	0, 3	S26KS256SDPBHI02x	6KS256SDPHI02
						S26KS256SDPBHV02x	6KS256SDPHV02
						S26KS256SDPBHN02x	6KS256SDPHN02
S26KS128S	DP	BH	I, V, N	02	0, 3	S26KS128SDPBHI02x	6KS128SDPHI02
						S26KS128SDPBHV02x	6KS128SDPHV02
						S26KS128SDPBHN02x	6KS128SDPHN02

注:

149 FBGA パッケージ マーキングでは、パッケージ タイプおよびパッキング タイプを示す先頭にある S2 文字が抜けています。

表 62. 有効な組合せ — DCARS 標準

デバイス番号	スピード	パッケージと材料	温度範囲	モデル番号	包装形態	注文番号 (x = パッケージタイプ)	パッケージマーキング
S26KL512S	DA	BH	I, V, N	03	0, 3	S26KL512SDABHI03x	6KL512SDAHI03
						S26KL512SDABHV03x	6KL512SDAHV03
						S26KL512SDABHN03x	6KL512SDAHN03
S26KL256S	DA	BH	I, V, N	03	0, 3	S26KL256SDABHI03x	6KL256SDAHI03
						S26KL256SDABHV03x	6KL256SDAHV03
						S26KL256SDABHN03x	6KL256SDAHN03
S26KL128S	DA	BH	I, V, N	03	0, 3	S26KL128SDABHI03x	6KL128SDAHI03
						S26KL128SDABHV03x	6KL128SDAHV03
						S26KL128SDABHN03x	6KL128SDAHN03
S26KS512S	DA, DG	BH	I, V, N	03	0, 3	S26KS512SDABHI03x	6KS512SDAHI03
						S26KS512SDABHV03x	6KS512SDAHV03
						S26KS512SDABHN03x	6KS512SDAHN03
						S26KS512SDGBHI03x	6KS512SDGHI03
						S26KS512SDGBHV03x	6KS512SDGHV03
S26KS256S	DA, DG	BH	I, V, N	03	0, 3	S26KS256SDABHI03x	6KS256SDAHI03
						S26KS256SDABHV03x	6KS256SDAHV03
						S26KS256SDABHN03x	6KS256SDAHN03
						S26KS256SDGBHI03x	6KS256SDGHI03
						S26KS256SDGBHV03x	6KS256SDGHV03
S26KS128S	DA, DG	BH	I, V, N	03	0, 3	S26KS128SDABHI03x	6KS128SDAHI03
						S26KS128SDABHV03x	6KS128SDAHV03
						S26KS128SDABHN03x	6KS128SDAHN03
						S26KS128SDGBHI03x	6KS128SDGHI03
						S26KS128SDGBHV03x	6KS128SDGHV03
						S26KS128SDGBHN03x	6KS128SDGHN03

注:

150 FBGA パッケージ マーキングでは、パッケージ タイプおよびパッキング タイプを示す先頭にある S2 文字が抜けています。

13.3 有効な組合せ — 車載用グレード/AEC-Q100

以下の表は、車載用グレード/AEC-Q100 の認定を受けており、量産可能になる予定の構成を示しています。新しい組合せがリリースされると、表が更新されます。特定の組合せの有無、ならびに新たにリリースされる組合せについては、担当営業までお問い合わせください。

生産部品承認プロセス (PPAP) サポートは、AEC-Q100 グレードの製品に対してのみ提供されます。

ISO/TS-16949 準拠を必要とする最終用途のアプリケーションで使用される製品は、PPAP と組み合わせた AEC-Q100 グレードの製品でなければなりません。非AEC-Q100グレード製品は、ISO/TS-16949要件に完全に準拠して製造または文書化されていません。

AEC-Q100 グレードの製品は、ISO/TS-16949 準拠を必要としない最終用途のアプリケーション向けに PPAP サポートなしで提供されます。

表 63. 有効な組合せ — 車載用グレード/AEC-Q100

デバイス番号	スピード	パッケージと材料	温度範囲	モデル番号	包装形態	注文番号 (x = パッケージタイプ)	パッケージマーキング
S26KL512S	DA	BH	A, B, M	02	0, 3	S26KL512SDABHA02x	6KL512SDAHA02
						S26KL512SDABHB02x	6KL512SDAHB02
						S26KL512SDABHM02x	6KL512SDAHM02
S26KL256S	DA	BH	A, B, M	02	0, 3	S26KL256SDABHA02x	6KL256SDAHA02
						S26KL256SDABHB02x	6KL256SDAHB02
						S26KL256SDABHM02x	6KL256SDAHM02
S26KL128S	DA	BH	A, B, M	02	0, 3	S26KL128SDABHA02x	6KL128SDAHA02
						S26KL128SDABHB02x	6KL128SDAHB02
						S26KL128SDABHM02x	6KL128SDAHM02
S26KS512S	DP	BH	A, B, M	02	0, 3	S26KS512SDPBHA02x	6KS512SDPHA02
						S26KS512SDPBHB02x	6KS512SDPHB02
						S26KS512SDPBHM02x	6KS512SDPHM02
S26KS256S	DP	BH	A, B, M	02	0, 3	S26KS256SDPBHA02x	6KS256SDPHA02
						S26KS256SDPBHB02x	6KS256SDPHB02
						S26KS256SDPBHM02x	6KS256SDPHM02
S26KS128S	DP	BH	A, B, M	02	0, 3	S26KS128SDPBHA02x	6KS128SDPHA02
						S26KS128SDPBHB02x	6KS128SDPHB02
						S26KS128SDPBHM02x	6KS128SDPHM02

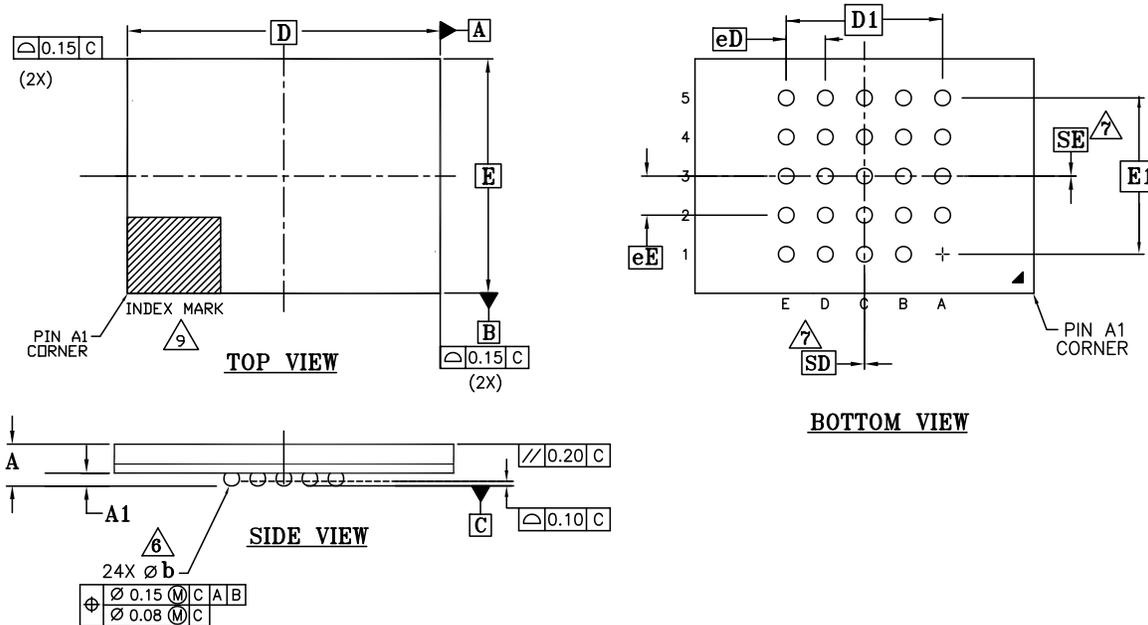
表 64. 有効な組合せ — DCARS 車載用グレード / AEC-Q100

デバイス番号	スピード	パッケージと材料	温度範囲	モデル番号	包装形態	注文番号 (x = パッケージタイプ)	パッケージマーキング
S26KL512S	DA	BH	A, B, M	03	0, 3	S26KL512SDABHA03x	6KL512SDAHA03
						S26KL512SDABHB03x	6KL512SDAHB03
						S26KL512SDABHM03x	6KL512SDAHM03
S26KL256S	DA	BH	A, B, M	03	0, 3	S26KL256SDABHA03x	6KL256SDAHA03
						S26KL256SDABHB03x	6KL256SDAHB03
						S26KL256SDABHM03x	6KL256SDAHM03
S26KL128S	DA	BH	A, B, M	03	0, 3	S26KL128SDABHA03x	6KL128SDAHA03
						S26KL128SDABHB03x	6KL128SDAHB03
						S26KL128SDABHM03x	6KL128SDAHM03
S26KS512S	DA, DG	BH	A, B, M	03	0, 3	S26KS512SDABHA03x	6KS512SDAHA03
						S26KS512SDABHB03x	6KS512SDAHB03
						S26KS512SDABHM03x	6KS512SDAHM03
						S26KS512SDGBHA03x	6KS512SDGHA03
						S26KS512SDGBHB03x	6KS512SDGHB03
						S26KS512SDGBHM03x	6KS512SDGHM03
S26KS256S	DA, DG	BH	A, B, M	03	0, 3	S26KS256SDABHA03x	6KS256SDAHA03
						S26KS256SDABHB03x	6KS256SDAHB03
						S26KS256SDABHM03x	6KS256SDAHM03
						S26KS256SDGBHA03x	6KS256SDGHA03
						S26KS256SDGBHB03x	6KS256SDGHB03
						S26KS256SDGBHM03x	6KS256SDGHM03
S26KS128S	DA, DG	BH	A, B, M	03	0, 3	S26KS128SDABHA03x	6KS128SDAHA03
						S26KS128SDABHB03x	6KS128SDAHB03
						S26KS128SDABHM03x	6KS128SDAHM03
						S26KS128SDGBHA03x	6KS128SDGHA03
						S26KS128SDGBHB03x	6KS128SDGHB03
						S26KS128SDGBHM03x	6KS128SDGHM03

14 物理インターフェース

14.1 物理図

14.1.1 強化ボールグリッドアレイ 24 ボール 6 x 8 x 1.0 mm (VAA024)



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.00
A1	0.20	-	-
D	8.00 BSC		
E	6.00 BSC		
D1	4.00 BSC		
E1	4.00 BSC		
MD	5		
ME	5		
N	24		
∅ b	0.35	0.40	0.45
eE	1.00 BSC		
eD	1.00 BSC		
SD	0.00 BSC		
SE	0.00 BSC		

NOTES:

- DIMENSIONING AND TOLERANCING METHODS PER ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS.
- BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED BALLS.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK, METALLIZED MARK INDENTATION OR OTHER MEANS.
- JEDEC SPECIFICATION NO. REF: N/A

002-15550 *A

改訂履歴

文書名 : S26KL512S / S26KS512S, S26KL256S / S26KS256S, S26KL128S / S26KS128S, 512M ビット (64M バイト)、256M ビット (32M バイト)、128M ビット (16M バイト) 1.8V/3.0V HyperFlash™ ファミリ 文書番号 : 001-99466			
版	ECN 番号	発行日	変更内容
**	4898999	09/28/2015	これは英語版 001-99198 Rev. *C を翻訳した日本語版 001-99466 Rev. ** です。
*A	4963431	10/14/2015	Advance から Final にステータスを変更。
*B	6822620	03/05/2020	これは英語版 001-99198 Rev. *M を翻訳した日本語版 001-99466 Rev. *B です。