

# 256Mb/512Mb/1Gb SEMPER™ フラッシュ

オクタルインターフェース, 1.8V/3.0V

## 機能

- 各メモリアレイセルに2データビットを保存するインフィニオン 45 nm MIRRORBIT™ 技術
- セクタアーキテクチャオプション
  - ユニフォーム: アドレス空間はすべて 256 KB セクタで構成
  - ハイブリッド:
    - コンフィギュレーション 1: アドレス空間は、最上部または最下部でグループ化された 32 の 4 KB セクタと、残りの部分にある全 256 KB セクタで構成
    - コンフィギュレーション 2: アドレス空間は、最上部と最下部の両方で均等に分割された 32 の 4 KB セクタと、残りの部分にある全 256 KB セクタで構成
- 256 または 512 バイトのページプログラムバッファ
- 1024 バイト (32×32 バイト) の OTP セキュアシリコンアレイ
- オクタルインターフェース (8S-8S-8S, 8D-8D-8D)
  - JEDEC eXpanded シリアルペリフェラルインターフェース (SPI) (JESD251) 準拠
  - SDR オプションは最大 200 MBps (200 MHz クロック速度)
  - DDR オプションは最大 400 MBps (200 MHz クロック速度)
  - データストロブ (DS) をサポートし、高速システムでの読み出しデータキャプチャを簡素化
- SPI (1S-1S-8S, 1S-8S-8S 256T のみ)
  - JEDEC eXpanded SPI (JESD251) 準拠
  - SDR オプションは最大 21 MBps (166 MHz クロック速度)
- 安全性機能
  - ISO26262 ASIL B 準拠および ASIL D 対応の安全性機能
  - インフィニオン Endurance Flex アーキテクチャ: 高耐久性および長期データ保持のパーティションを提供
  - インターフェース CRC: ホストコントローラーと SEMPER™ フラッシュデバイス間の通信インターフェースでエラーを検出
  - データ整合性 CRC: メモリアレイでエラーを検出
  - セーフブート: デバイスの初期化失敗を報告し、コンフィギュレーション破損を検出し、回復オプションを提供
  - 内蔵エラー訂正コード (ECC): メモリアレイデータでシングルビットエラー訂正およびダブルビットエラー検出 (SECCDED) を実行
  - 消去中の電力喪失を示すセクタ消去ステータスインジケータ
- 保護機能
  - メモリアレイとデバイスコンフィギュレーションのレガシーブロック保護 (LBP)
  - 個別メモリアレイセクタ単位での高度セクタ保護 (ASP)
- オートブート: 電源投入後のメモリアレイへの即時アクセスを有効化
- CS# シグナリング方式 (JEDEC) または個別の RESET# ピンによるハードウェアリセット
- デバイス機能と特長を記述するシリアルフラッシュ検出可能パラメーター (SFDP)
- デバイス ID, メーカー ID, 固有 ID
- データ整合性
  - 256 Mb デバイス
    - メインアレイは最小 640,000 回のプログラム / 消去サイクル
  - 512 Mb デバイス
    - メインアレイは最小 1,280,000 回のプログラム / 消去サイクル

# 256Mb/512Mb/1Gb SEMPER™ フラッシュ オクタル インターフェース, 1.8V/3.0V



## 性能要約

- 1Gb デバイス
  - メイン アレイは最小 2,560,000 回のプログラム / 消去サイクル
- すべてのデバイス
  - 4 KB セクタは最小 300,000 回のプログラム / 消去サイクル
  - 少なくとも 25 年間のデータ保持
- 電源電圧
  - 1.7 V ~ 2.0 V (HS-T)
  - 2.7 V ~ 3.6 V (HL-T)
- グレード / 温度範囲
  - 産業用 (-40°C ~ +85°C)
  - 産業用プラス (-40°C ~ +105°C)
  - 車載向け AEC-Q100 グレード 3 (-40°C ~ +85°C)
  - 車載向け AEC-Q100 グレード 2 (-40°C ~ +105°C)
  - 車載向け AEC-Q100 グレード 1 (-40°C ~ +125°C)
- パッケージ
  - 256 Mb と 512 Mb: 24 ボール BGA 6×8mm
  - 1Gb: 24 ボール BGA 8×8mm

## 性能要約

### 最大読み出し速度

トランザクション	初期アクセスレイテンシ (サイクル)	クロックレート (MHz)	MBps
SPI 読み出し	0	50	6.25
SPI 高速読み出し	10	166	20.75
SDR オクタル読み出し (HS-T)	16	200	200
SDR オクタル読み出し (HL-T)	14	166	166
DDR オクタル読み出し (HS-T)	23	200	400
DDR オクタル読み出し (HL-T)	20	166	332

### 標準プログラムと消去速度

動作	KBps
256 B ページ プログラム (4 KB セクタ /256 KB セクタ)	595/533
512 B ページ プログラム (4 KB セクタ /256 KB セクタ)	753/898
256 KB セクタ消去	331
4 KB セクタ消去	95

### 標準消費電力

動作	HL-T 電流 (mA)	HS-T 電流 (mA)
SDR 読み出し (50 MHz)	10	10
SDR 読み出し (オクタル)	75 (166 MHz)	156 (200 MHz)
DDR 読み出し (オクタル)	75 (166 MHz)	156 (200 MHz)
プログラム	50	50
消去	50	50
スタンバイ	0.014	0.011
ディープパワーダウン	0.0022	0.0013

データ整合性

## データ整合性

### プログラム / 消去 (PE) 可能回数 - 高耐久性 (256 KB セクタ)

パーティション内のセクタ数	最小 PE サイクル数	最小データ保持期間	単位
512 (1 Gb デバイスのデフォルト値)	2,560,000	2	年
508	2,540,000		
504	2,520,000		
...	...		
256 (512 Mb デバイスのデフォルト値)	1,280,000		
252	1,260,000		
128 (256 Mb デバイスのデフォルト値)	640,000		
...	...		
28	140,000		
24	120,000		
20	100,000		

注: 最小サイクル数は高耐久性パーティション全体に対するものです。

### プログラム / 消去可能回数 - 長期データ保持パーティション (256 KB セクタ)

最小 PE サイクル数	最小データ保持期間	単位
500	25	年

注: 最小サイクル数は各々のセクタに対するものです。

### 4 KB セクタおよび不揮発性レジスタ アレイのプログラム / 消去可能回数

フラッシュメモリタイプ	最小サイクル数	単位	最小データ保持期間	単位
4 KB セクタのプログラム / 消去サイクル数	500	PE サイクル	25	年
	300,000		2	
恒久的な保護ビット (PPB) アレイまたは不揮発性レジスタ アレイのプログラム / 消去サイクル数	500		25	

注: 上記の書き換え可能回数を達成するためには、プログラムまたは消去動作中に電力喪失イベントをセクタあたり 300 回に制限する必要があります。

注: 不揮発性レジスタへの書き込みトランザクションを実行するたびに、不揮発性レジスタアレイ全体で PE サイクルが発生します。

## 目次

機能 .....	1
性能要約.....	2
データ整合性 .....	3
目次 .....	4
1 ピン配置および信号の説明 .....	7
2 インターフェースの概要.....	8
2.1 概要 .....	8
2.2 信号プロトコル .....	10
2.3 トランザクション プロトコル .....	11
2.4 レジスタ命名規則 .....	21
2.5 トランザクション命名規則.....	22
3 アドレス空間マップ .....	23
3.1 SEMPER™ フラッシュ メモリ アレイ .....	23
3.2 ID アドレス空間.....	26
3.3 JEDEC JESD216 SFDP 空間 .....	26
3.4 SSR アドレス空間.....	26
3.5 レジスタ .....	27
4 機能.....	30
4.1 エラー検出と訂正 .....	30
4.2 Endurance Flex アーキテクチャ (ウェア レベリング) .....	34
4.3 インターフェース CRC .....	38
4.4 データ整合性 CRC .....	42
4.5 データ保護スキーム .....	43
4.6 セーフブート .....	54
4.7 オートブート .....	58
4.8 読み出しトランザクション .....	59
4.9 書き込みトランザクション .....	63
4.10 プログラム .....	66
4.11 消去 .....	68
4.12 組込み動作の一時停止と再開 .....	70
4.13 リセット .....	73
4.14 電力モード .....	78
4.15 電源投入と電源切断 .....	80
5 レジスタ .....	82
5.1 レジスタ命名規則 .....	83
5.2 ステータス レジスタ 1 (STR1x).....	83
5.3 ステータス レジスタ 2 (STR2x).....	86
5.4 コンフィギュレーション レジスタ 1 (CFR1x).....	88
5.5 コンフィギュレーション レジスタ 2 (CFR2x).....	90
5.6 コンフィギュレーション レジスタ 3 (CFR3x).....	92
5.7 コンフィギュレーション レジスタ 4 (CFR4x).....	94
5.8 コンフィギュレーション レジスタ 5 (CFR5x).....	96
5.9 インターフェース CRC イネーブル レジスタ (ICEV).....	96
5.10 インターフェース CRC チェック値レジスタ (ICRV) .....	97
5.11 メモリ アレイ データ整合性チェック CRC レジスタ (DCRV) .....	97
5.12 ECC ステータス レジスタ (ESCV).....	98
5.13 ECC アドレストラップレジスタ (EATV) .....	99
5.14 ECC エラー検出カウント レジスタ (ECTV).....	99
5.15 高度セクタ保護レジスタ (ASPO).....	100
5.16 ASP パスワード レジスタ (PWDO) .....	101
5.17 ASP PPB ロック レジスタ (PPLV) .....	102

目次

5.18 ASP PPB アクセスレジスタ (PPAV).....	102
5.19 ASP ダイナミック ブロック アクセス レジスタ (DYAV).....	102
5.20 オートブート レジスタ (ATBN).....	103
5.21 セクタ消去カウンタ レジスタ (SECV).....	103
5.22 INT# ピン コンフィギュレーションレジスタ (INCV) - オクタルのみ.....	104
5.23 INT# ピン ステータス レジスタ (INSV) - オクタルのみ.....	105
5.24 Endurance Flex アーキテクチャ選択レジスタ (EFXx).....	106
<b>6 トランザクション テーブル.....</b>	<b>109</b>
6.1 SPI (1S-1S-1S) トランザクション テーブル.....	109
6.2 SPI (1S-1S-8S) トランザクション テーブル (HL256T および HS256T のみ).....	113
6.3 SPI (1S-8S-8S) トランザクション テーブル (HL256T および HS256T のみ).....	113
6.4 オクタル (8S-8S-8S, 8D-8D-8D) トランザクション テーブル.....	114
<b>7 電気的特性.....</b>	<b>119</b>
7.1 絶対最大定格 [35].....	119
7.2 動作範囲.....	119
7.3 熱抵抗.....	119
7.4 静電容量特性.....	120
7.5 ラッチアップ仕様.....	120
7.6 DC 特性.....	120
7.7 AC テスト条件.....	123
<b>8 タイミング特性.....</b>	<b>124</b>
8.1 タイミング波形.....	129
<b>9 デバイス ID.....</b>	<b>132</b>
9.1 JEDEC SFDP レビジョン D.....	132
9.2 メーカーおよびデバイス ID.....	151
9.3 固有デバイス ID.....	151
<b>10 パッケージ図.....</b>	<b>152</b>
<b>11 注文情報.....</b>	<b>154</b>
11.1 有効な組合せ – 標準グレード.....	155
11.2 有効な組合せ – 車載向けグレード /AEC-Q100.....	156
<b>改訂履歴.....</b>	<b>157</b>
<b>免責事項.....</b>	<b>158</b>

## 1 ピン配置および信号の説明

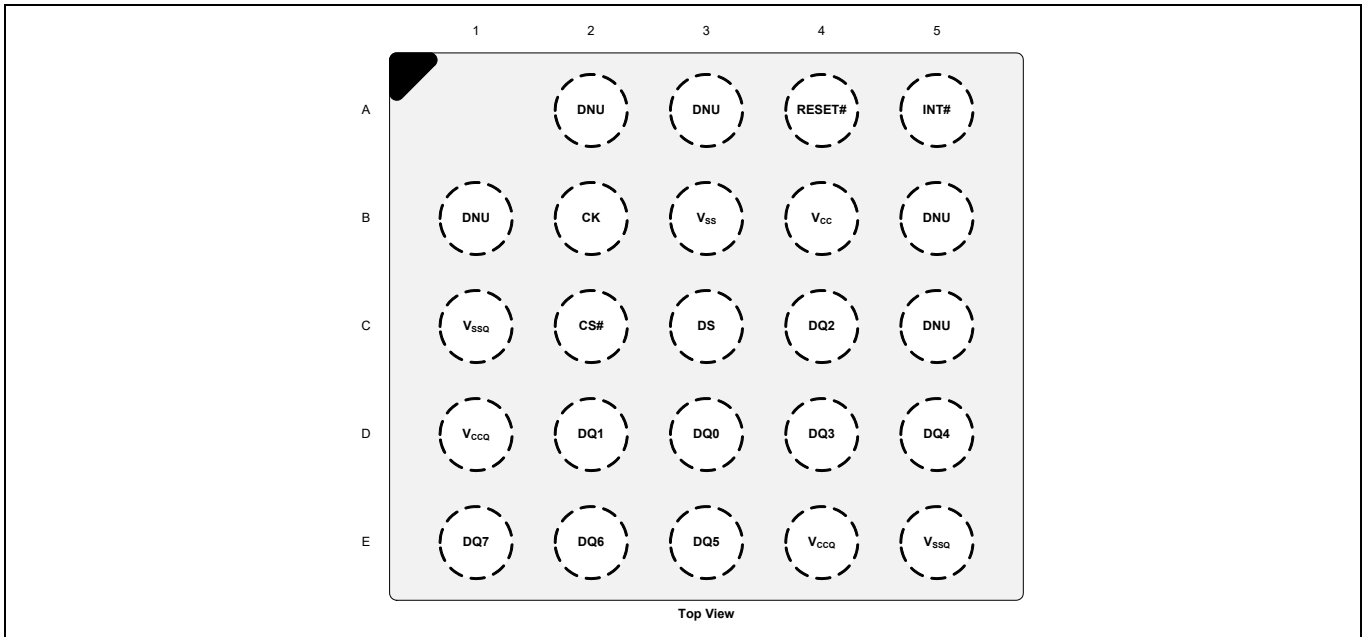


Figure 1 24 ボール BGA ピン配置 [1]

**注**  
1. BGA パッケージのフラッシュメモリ デバイスは超音波洗浄にさらされると損傷する場合があります。パッケージ本体を長時間にわたって温度 150°C 以上の環境にさらすと、パッケージあるいはデータの整合性あるいはその両方が損なわれる

ピン配置および信号の説明

Table 1 信号の説明

記号	タイプ	必須/ オプション	説明
CS#	入力	必須	<b>チップ選択 (CS#):</b> すべてのバストランザクションは CS# の HIGH から LOW への遷移で開始され、CS# の LOW から HIGH への遷移で終了します。CS# を LOW にすると、デバイスはアクティブモードになります。CS# が HIGH になると、内部組込み動作が実行中でないかぎり、デバイスはスタンバイモードになります。他のすべての入力ピンは無視され、出力ピンは高インピーダンス状態になります。ピンコンフィギュレーションで専用 RESET# ピンがあるデバイスでは、CS# が HIGH であってもアクティブのままです。
CK			<b>クロック (CK):</b> クロックはシリアルインターフェースのタイミングを提供します。トランザクションはクロックの立ち上りエッジでラッチされます。SDR プロトコルでは、コマンド、アドレスおよびデータ入力がクロックの立ち上りエッジでラッチされ、クロックの立ち下りエッジでデータが出力されます。DDR プロトコルでは、コマンド、アドレスおよびデータ入力がクロックの両エッジでラッチされ、データがクロックの両エッジで出力されます。
DS	出力		<b>読み出しデータストロブ (DS):</b> DS はデータ読み出し動作のみに使用され、SDR/DDR モードで出力データが有効であることを示します。CS# が LOW のとき、読み出しトランザクション中に、DS は CS# が HIGH になるまでデータ出力を同期化するようにトグルします。
DQ[7:0]	入力 / 出力		<b>シリアルデータ (DQ[7:0]):</b> 双方向信号であり、コマンド、アドレス、およびデータ情報を転送します。 レガシー (x1) SPI インターフェース: DQ[0] は入力 (SI)、DQ[1] は出力 (SO) です。 オクタル (x8) インターフェース: DQ[7:0] は入力と出力です。
RESET#	入力 (弱プルアップ)	オプション	<b>ハードウェアリセット (RESET#):</b> LOW のとき、デバイスは自己初期化してアレイ読み出し状態に戻ります。RESET# が LOW のとき、DS と DQ[7:0] は高インピーダンス状態になります。RESET# は弱プルアップが含まれており、RESET# を未接続のままにすると、それ自身で HIGH 状態にプルアップされます。
INT#	出力 (オープンドレイン)		<b>システム割込み (INT#):</b> LOW のとき、デバイスは内部イベントが発生したことを示します。この信号はデバイスがチップ内イベントが発生したことを示すためにシステムレベルの割込みとして使用されます。INT# はオープンドレイン出力です。INT# 出力の推奨プルアップ抵抗は 5 kΩ ~ 10 kΩ です。
V <sub>CC</sub>	電源	必須	コア電源
V <sub>CCQ</sub>			入力 / 出力用の電源
V <sub>SS</sub>	グランド電源		コアグランド
V <sub>SSQ</sub>			入力 / 出力グランド
DNU	-	-	使用禁止

## 2 インターフェースの概要

### 2.1 概要

SEMPER™ フラッシュ オクタル製品ファミリは、JEDEC JESD251 eXpanded SPI (xSPI) 仕様に準拠した、高速 CMOS、MIRRORBIT™ NOR フラッシュ デバイスです。SEMPER™ フラッシュは、ASIL-B に準拠および ASIL-D に対応するために ISO 26262 規格による機能安全用に設計されています。

オクタルインターフェースを備えた SEMPER™ フラッシュ デバイスは、オクタルペリフェラルインターフェース (OPI) とレガシー x1 シリアルペリフェラルインターフェース (SPI) の両方をサポートします。両インターフェースはトランザクションを逐次的に転送し、インターフェース接続信号の数を減らします。SPI は SDR、OPI は SDR と DDR の両方をサポートします。

デバイスからの読み出し動作はバースト指向です。読み出しトランザクションはラップバーストかリニアバースト方式で行うよう設定できます。ラップバーストは単一ページから読み出しますが、リニアバーストはメモリアレイ全体を読み出します。

各メモリビットの消去済み状態は論理 1 です。プログラム動作により論理 1 (HIGH) から論理 0 (LOW) に変更します。消去動作だけがメモリビットを「0」から「1」に変更できます。消去動作はセクタ全体 (4KB または 256KB) に対して行わなければいけません。

SEMPER™ フラッシュは柔軟性のあるセクタアーキテクチャを提供します。アドレス空間は、ユニフォーム 256 KB セクタアレイあるいはハイブリッドコンフィギュレーション 1 (32 個の 4 KB セクタが上部と下部にグループされ、残りのセクタがすべて 256 KB)、またはハイブリッドコンフィギュレーション 2 (32 個の 4 KB セクタが上下で均等に分けられ、残りのセクタがすべて 256 KB) のどちらかに設定できます。

単一のプログラム動作で使用するページプログラムバッファは、256 バイトまたは 512 バイトのどちらかに設定できます。512 バイト オプションでは、最大のプログラムスループットが得られます。

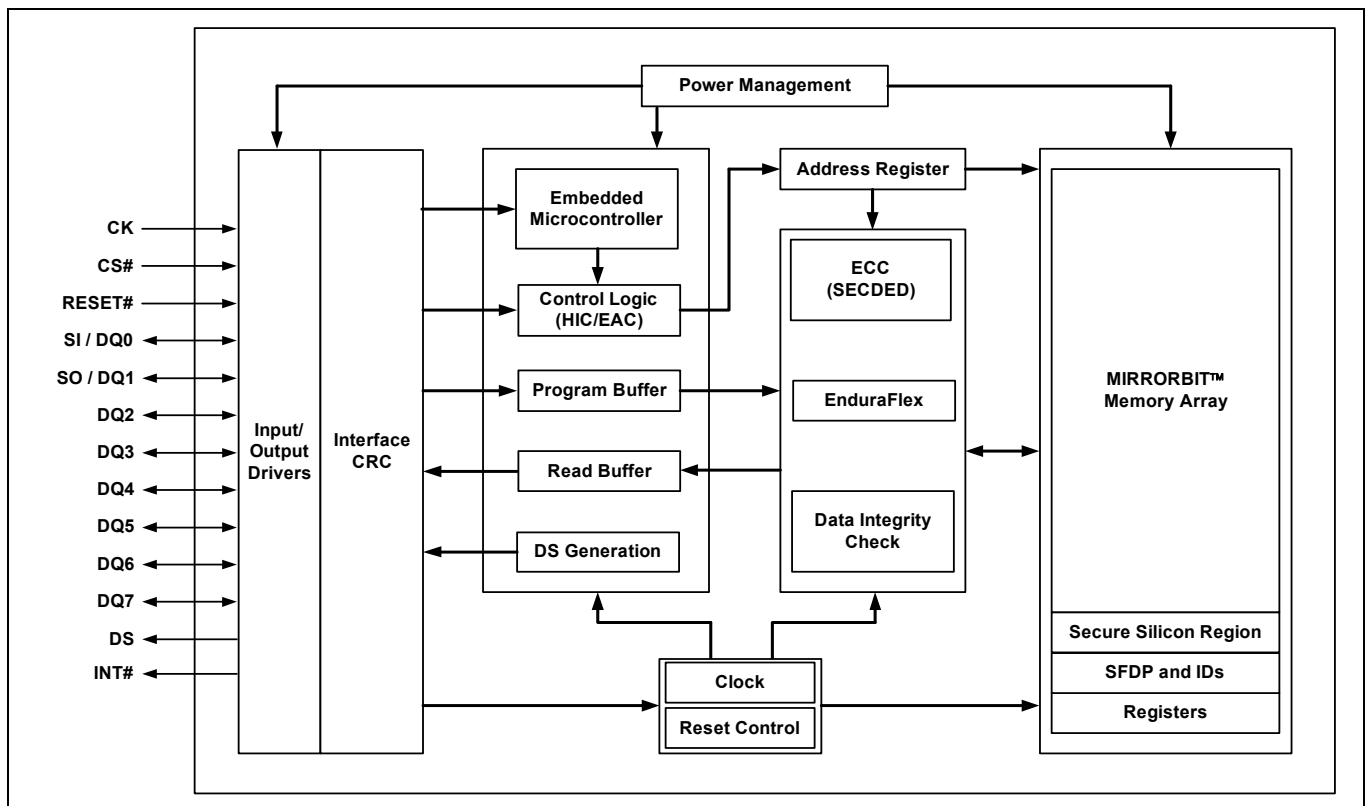


Figure 2 論理ブロックダイアグラム



### インターフェースの概要

オクタルインターフェースを備えた SEMPER™ フラッシュファミリは、複数の容量、1.8V と 3.0V コアと I/O 電圧オプションを含みます。

デバイス制御ロジックは、ホストインターフェースコントローラー (HIC) と組み込みアルゴリズムコントローラー (EAC) の 2 つの並行して動作するセクションに分かれています。HIC はデバイス入力の信号レベルを監視し、かつ必要に応じてデバイス出力を駆動し、データ読み出し、ホストシステムとのデータ読み出し、プログラム、書き込み転送を実行します。HIC は読み出し転送で、アクセス中のアドレス空間からデータを出力し、書き込み転送アドレスとデータ情報を EAC コマンドメモリに配置し、また、電源遷移および書き込み転送を EAC に通知します。EAC は、プログラムまたは書き込み転送後に、コマンドシーケンスが適正かどうかについてコマンドメモリをチェックして、そして関連する組み込みアルゴリズムを実行します。

メモリアレイ内の不揮発性データの書き換えのためには、組み込みアルゴリズム (EA) の一部である一連の動作を必要とします。アルゴリズムは内部の EAC によって完全に管理されています。主要なアルゴリズムは、メインアレイデータのプログラムと消去を実行します。ホストシステムはフラッシュデバイスにコマンドコードを書き込みます。EAC はコマンドを受け取り、トランザクションを完了するために必要なすべてのステップを実行し、EA の進行中にステータス情報を提供します。

CK、CS#、SI/DQ0、SO/DQ1 および DQ[7:2] の必須 SPI 信号に加え、オクタルインターフェースデバイスを備えた SEMPER™ フラッシュは、RESET#、DS および INT# 信号も含みます。RESET# が LOW から HIGH に遷移すると、デバイスは内部のパワーオンリセット (POR) 後のデフォルト状態に戻ります。データストローブ (DS) が読み出しトランザクション中に出力データと同期化されるため、ホストシステムは高いクロック周波数動作でデータをキャプチャできます。INT# は、デバイスマスターに割込みを提供するオープンドレイン出力で、プログラムまたは消去動作の終了時にデバイスがビジーからレディに遷移する時点を示すか、または読み出し中の ECC エラーの検出を示します。

インフィニオン EnduraFlex アーキテクチャにより、システム設計者は特定のアプリケーション用に NOR フラッシュの耐久性とデータ保持期間をカスタマイズすることが可能です。ホストは高耐久性または長期データ保持用のパーティションを定義し、最大 100 万回以上のサイクルまたは 25 年のデータ保持期間を実現します。

オクタルインターフェースを備えた SEMPER™ フラッシュデバイスは、メモリアレイのプログラム中に組み込みハミングエラー訂正コードを生成することでエラー検出と訂正をサポートします。その後、この ECC コードは読み出し中に 1 ビットと 2 ビットエラーの検出および 1 ビットの訂正に使用されます。

オクタルインターフェースを備えた SEMPER™ フラッシュデバイスは、ホストシステムにデバイスの状態を提供する診断機能を内蔵しています。

- プログラムおよび消去動作: プログラムまたは消去の成功、失敗および一時停止状態の報告
- エラー検出と訂正: アドレストラップおよびエラーカウントを含む 1 ビットおよび / または 2 ビットエラーステータス
- データ整合性チェック: メモリアレイ内容に対するエラー検出
- インターフェース CRC: デバイスインターフェースに対するエラー検出
- セーフブート: 適切なフラッシュデバイス初期化およびコンフィギュレーション破損からの回復の報告
- セクタ消去ステータス: セクタごとの消去の成功と失敗状態の報告
- セクタ消去カウンター: セクタごとの消去サイクルのカウント

## 2.2 信号プロトコル

### 2.2.1 オクタルと SPI を備える SEMPER™ フラッシュのクロックモード

オクタルインターフェースを備える SEMPER™ フラッシュは、以下の2つのクロックモードのどちらかで、組み込みマイクロコントローラ(バスマスター)により駆動されます。

- **モード 0:** クロックの極性は CS# の立ち下りでは LOW であり、キャプチャ入力では HIGH になるまで LOW のままです。
- **モード 3:** クロックの極性は CS# の立ち下りで HIGH であり、キャプチャ入力では LOW から HIGH になります。

両方のモードでデータは、SDR プロトコルの場合 CK 信号の立ち上りエッジで、DDR プロトコルの場合 CK 信号の両エッジでデバイスにラッチされます。SDR プロトコルの出力データは CK クロック信号の立ち下りエッジで、DDR プロトコルの出力データは CK クロック信号の立ち上りエッジで、使用可能になります。

2つのモードの異なる点は、バスマスターがスタンバイモードであり、データを転送しない時のクロック極性です。

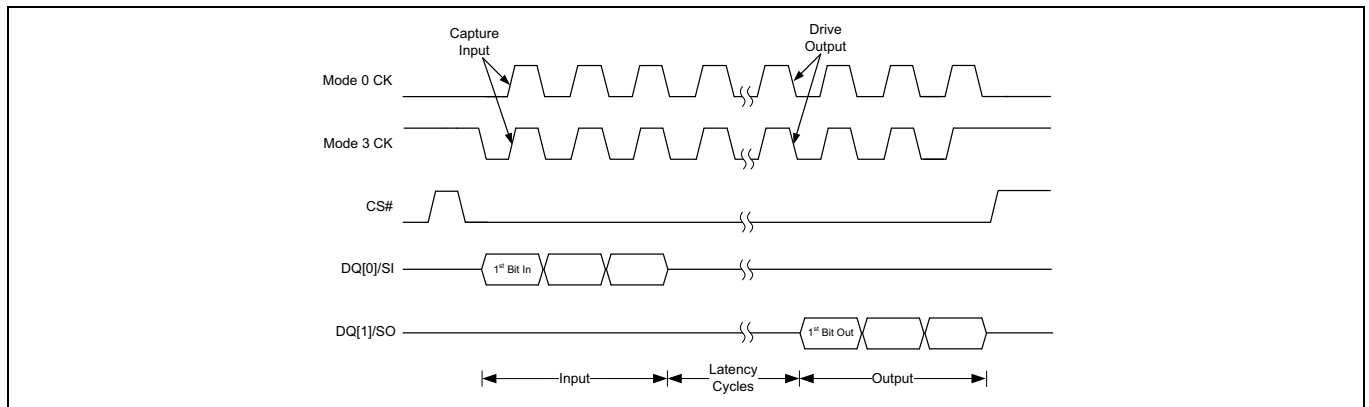


Figure 3 サポートされる SPI SDR モード

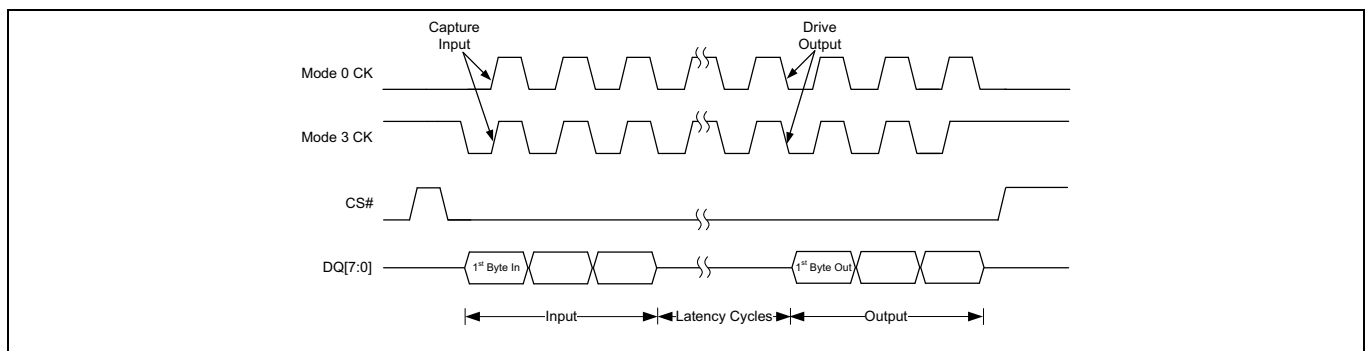


Figure 4 サポートされるオクタル SDR モード

SEMPER™ フラッシュ オクタル DDR モード動作では、クロック モード 0 のみがサポートされます。

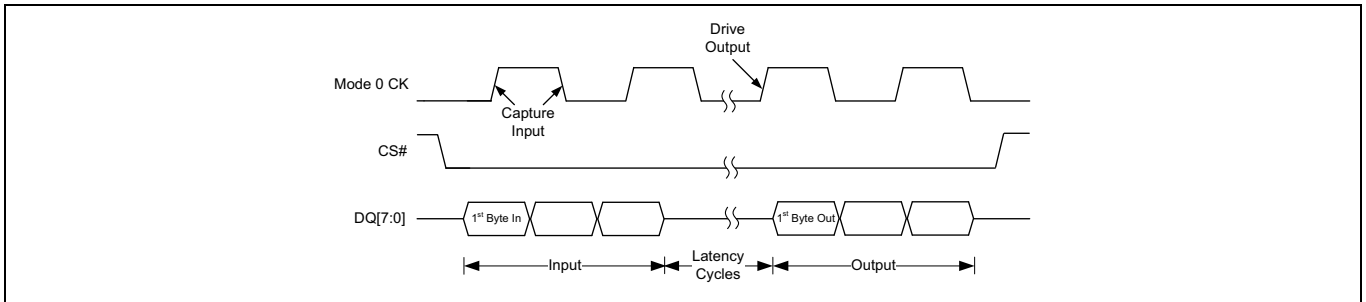


Figure 5 サポートされるオクタル DDR モード

## 2.3 トランザクションプロトコル

### トランザクション

- CS# がアクティブ (LOW) のとき、データ (DQ) 信号上でまずコマンド情報、次にアドレスおよびデータがホストからフラッシュデバイスに転送されている間、クロック信号 (CK) はトグルします。フラッシュデバイスからホストへの読み出しデータ、またはホストからフラッシュデバイスへの書き込みデータの転送中にクロックはトグルし続けます。ホストは所望のデータ量を転送した後、CS# を非アクティブ (HIGH) に駆動します。CS# がアクティブである期間は、バス上のトランザクションと呼ばれます。
- CS# が非アクティブのとき、CK はトグルする必要がありません。
- コマンド転送はすべてのトランザクションの開始時に行われます。アドレス、レイテンシ サイクルおよびデータ転送フェーズはオプションで、それらの存在はプロトコル モードまたは転送されるコマンドに依存します。

### トランザクションキャプチャ

- CK はホストとメモリの間の各ビットまたは各ビットグループの転送を示します。コマンド、アドレスおよび書き込みデータビットの転送は、SDR トランザクションでは CK の立ち上りエッジで、DDR トランザクションではすべての CK エッジで行われます。

### 注:

- プログラムまたは消去 (組込み動作) 中に、フラッシュメモリ アレイを読み出そうとすると無視されます。組込み動作はそれに影響されず、実行が継続されます。組込み動作中、ごく限られたコマンドセットは受け入れられます。それらは 70 ページの “[組込み動作の一時停止と再開](#)” で説明されています。

### プロトコル用語

- トランザクション中に使用される DQ 信号の数は、現在のプロトコル モードまたは転送されるコマンドによって異なります。レイテンシ サイクルは DQ 信号を情報転送に使用しません。プロトコル モード オプションは、コマンド、アドレスおよびデータ フェーズで使用されるデータ レートおよび DQ 幅 (DQ 信号の数) によって示されます。形式は次のとおりです。

WR-WR-WR、ここでは:

- 最初の WR はコマンド ビットの幅とレート
- 2 番目の WR はアドレスビットの幅とレート
- 3 番目の WR はデータ ビットの幅とレート

- ビット幅の値は 1 または 8 のいずれかです。R の値は、SDR の場合は S で、DDR の場合は D です。SDR の場合では、転送値はクロック サイクルの立ち上りエッジと立ち下りエッジの両方で同じです。DDR は、各クロックの立ち上りエッジと立ち下りエッジで、異なる転送値を持ちます。

### インターフェースの概要

#### 例:

- 1S-1S-1S は、コマンドが 1 ビット幅の SDR、アドレスが 1 ビット幅の SDR、データが 1 ビット幅の SDR であることを意味します。
- 8D-8D-8D は、コマンド、アドレスおよびデータ転送はいずれも 8 ビット幅の DDR であることを意味します。

### プロトコル定義

- オクタルインターフェースを備える SEMPER™ フラッシュ向けに定義されているプロトコルモード:
  - 1S-1S-1S: コマンド転送、アドレス転送およびデータ転送中に 1 つの DQ 信号が使用されます。すべてのフェーズは SDR です。
  - 2S-8S-8S: コマンド転送、アドレス転送およびデータ転送中に 8 つの DQ 信号が使用されます。すべてのフェーズは SDR です。
  - 3S-8D-8D: コマンド転送、アドレス転送およびデータ転送中に 8 つの DQ 信号が使用されます。すべてのフェーズは DDR です。

### 1S-1S-1S プロトコル

- 1S-1S-1S モードはパワーオンリセット (POR) の後に推奨されるデフォルトのプロトコルですが、フラッシュデバイスはクアッドモードにリセットするように設定できます。
- 各トランザクションは 8 ビット (1 バイト) コマンドで始まります。コマンドは、情報転送のタイプ、または実行するデバイスの動作を選択します。
- このプロトコルは、SI/DQ[0] を使用してホストからフラッシュデバイスへ、SO/DQ[1] を使用してフラッシュデバイスからホストへ情報を転送します。各 DQ ライン上で、情報は各バイト内で最上位ビット (MSb) から最下位ビット (LSb) へ順に配置されます。シーケンシャルアドレスバイトは最上位から最下位に順に転送されます。シーケンシャルデータバイトは最下位アドレスから最上位アドレスへ順に転送されます。
- 1S-1S-1S プロトコルでは、DQ[7:2] はデータ転送期間中に使用されません。そのため、DQ[7:2] 信号は高インピーダンスになります。

### 1S-1S-8S プロトコル (HL256T / HS256T のみ)

- 各トランザクションは 8 ビット (1 バイト) コマンドで始まります。コマンドは、情報転送のタイプ、または実行するデバイスの動作を選択します。
- このプロトコルは DQ[7:0] 信号を使用します。8 ビット コマンドとアドレスは MSb から LSb の順に DQ[0] に配置されます。SDR でのシーケンシャルデータバイトは、DQ[7:0] の最下位アドレスから最上位アドレスへの順で転送されます。

### 1S-8S-8S プロトコル (HL256T / HS256T のみ)

- 各トランザクションは 8 ビット (1 バイト) コマンドで始まります。コマンドは、情報転送のタイプ、または実行するデバイスの動作を選択します。
- このプロトコルは DQ[7:0] 信号を使用します。8 ビット コマンドは MSb から LSb の順に DQ[0] に配置されます。アドレスバイトの LSb ビットは DQ[0] 信号に、その次のビットは DQ[1] 信号に順に配置されます。シーケンシャルアドレスバイトは最上位から最下位に順に転送されます。SDR でのシーケンシャルデータバイトは、DQ[7:0] の最下位アドレスから最上位アドレスへの順で転送されます。

### 8S-8S-8S と 8D-8D-8D プロトコル

- 各トランザクションは 16 ビット (2 つの同じバイト) コマンドで始まります。コマンドは、情報転送のタイプ、または実行するデバイスの動作を選択します。
- 4 バイト アドレスのみサポートします。

インターフェースの概要

- このプロトコルは DQ[7:0] 信号を使用します。アドレスバイトの LSb ビットは DQ[0] 信号に、その次のビットは DQ[1] 信号に順に配置されます。シーケンシャルアドレスバイトは最上位から最下位に順に転送されます。SDR でのシーケンシャルデータバイトは、最下位アドレスから最上位アドレスへの順で転送されます。DDR でシーケンシャルデータバイトはバイトペア (ワード) でのみ転送され、バイト順序は、バイトがそのプロトコルモードで書き込まれるまたはプログラムされる順序に依存します。シーケンシャルデータバイトは最下位アドレスから最上位アドレスへ順に転送されます。
- このプロトコルでは、読み出しトランザクションのデータ転送期間中、データストロブ (DS) 信号がフラッシュデバイスによって駆動され、遷移は DQ 信号データ遷移によって同期されます (DDR でエッジ揃え、SDR プロトコルで中央揃え)。DS はその他のデータ出力と同じタイミング特性を持つ追加の出力信号として使用されますが、あらゆるデータビットが転送されることで遷移が保証されます。

13 ページの “シリアルペリフェラルインターフェース (SPI、1S-1S-1S)” および 17 ページの “コマンド, オクタルアドレスおよびデータ入力のある SPI プログラムトランザクション (1S-8S-8S)” に、すべてのトランザクションフォーマットをプロトコルモードで示しています。

### 2.3.1 シリアルペリフェラルインターフェース (SPI、1S-1S-1S)

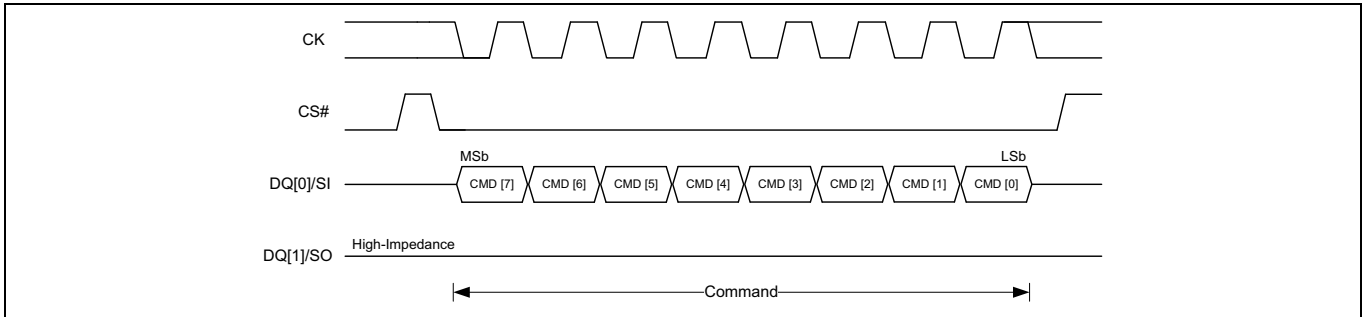


Figure 6 コマンド入力のある SPI トランザクション

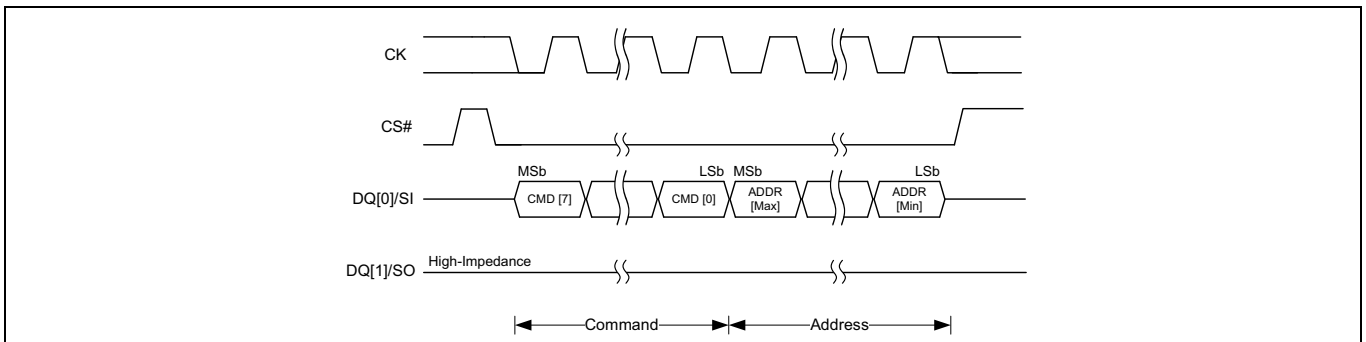


Figure 7 コマンド入力のある SPI トランザクション

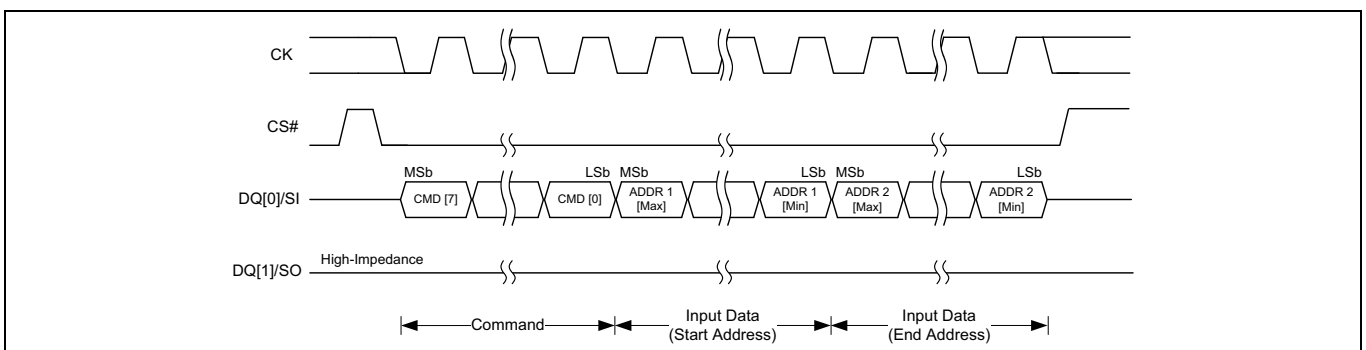


Figure 8 コマンドと 2 アドレス入力のある SPI トランザクション

インターフェースの概要

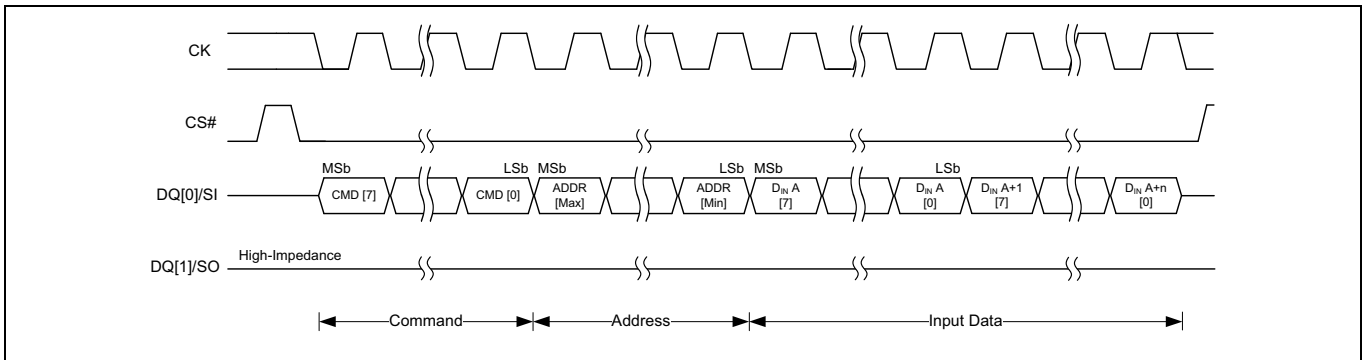


Figure 9 コマンド、アドレスおよびデータ入力のある SPI プログラム トランザクション

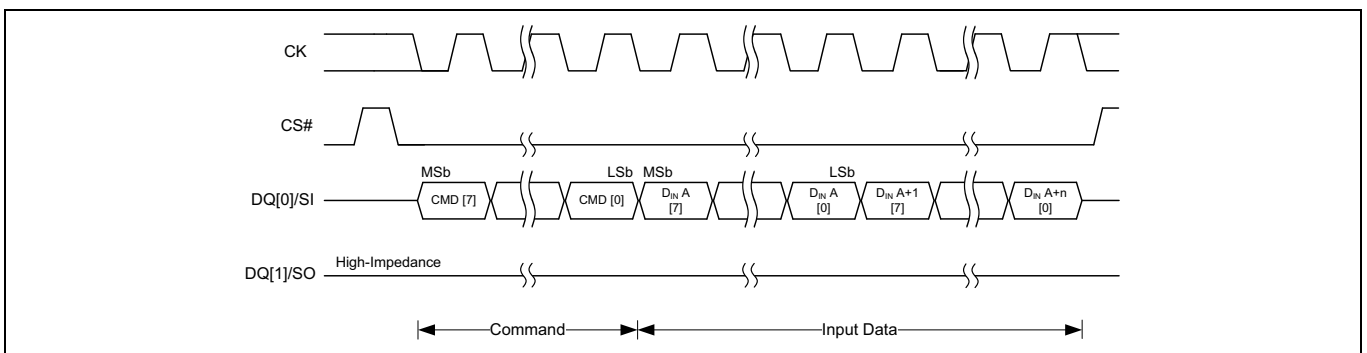


Figure 10 コマンドとデータ入力のある SPI プログラム トランザクション

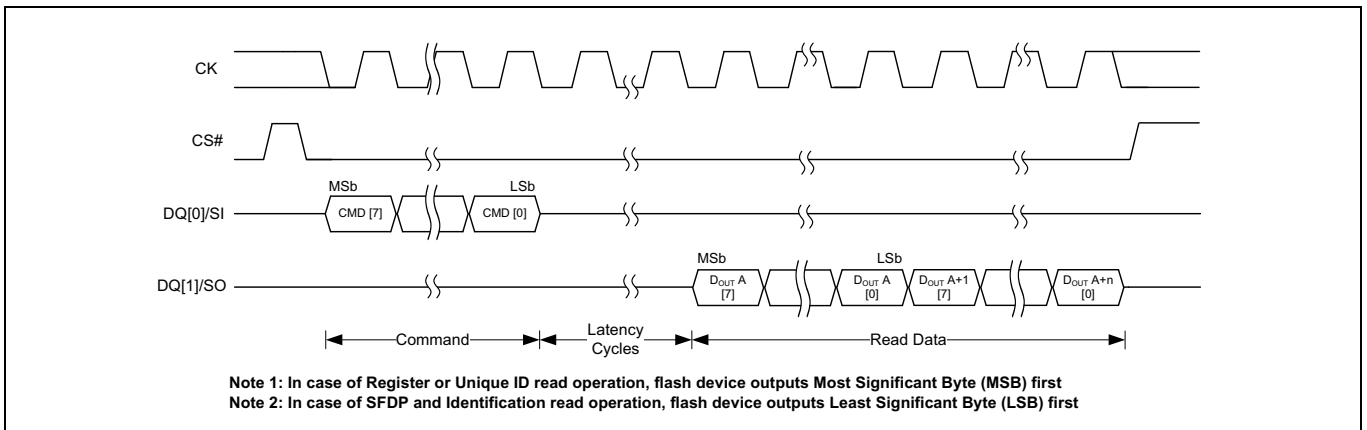


Figure 11 コマンド入力のある SPI 読み出し トランザクション (出力レイテンシ有り)

インターフェースの概要

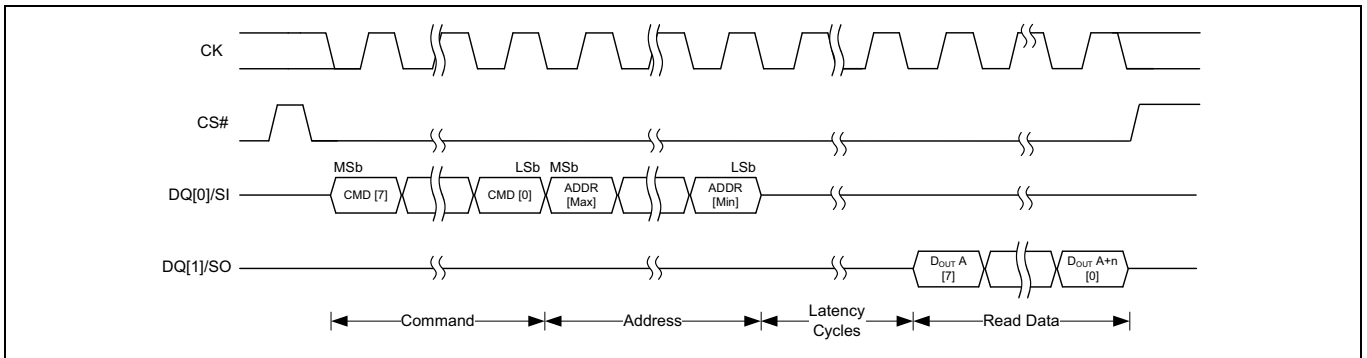


Figure 12 コマンドとアドレス入力のある SPI 読み出しトランザクション (出力レイテンシ有り)

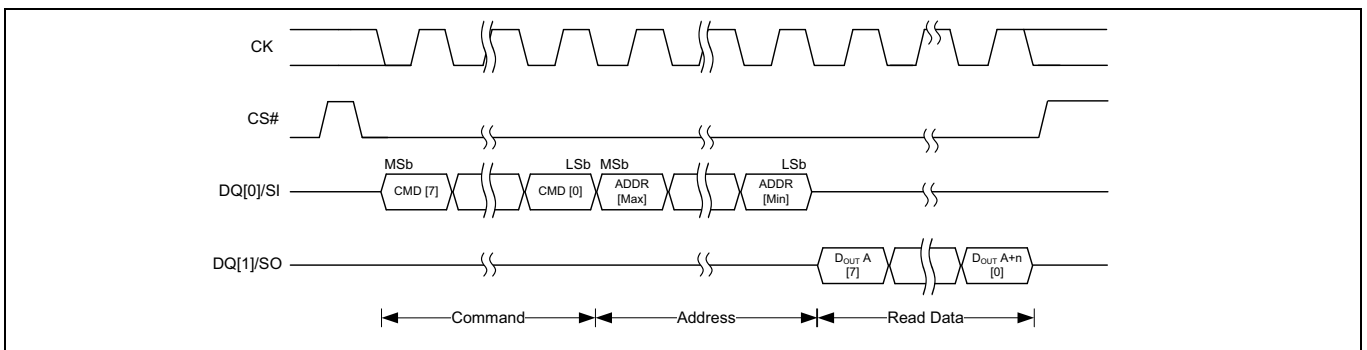


Figure 13 コマンドとアドレス入力のある SPI 読み出しトランザクション (出力レイテンシ無し)

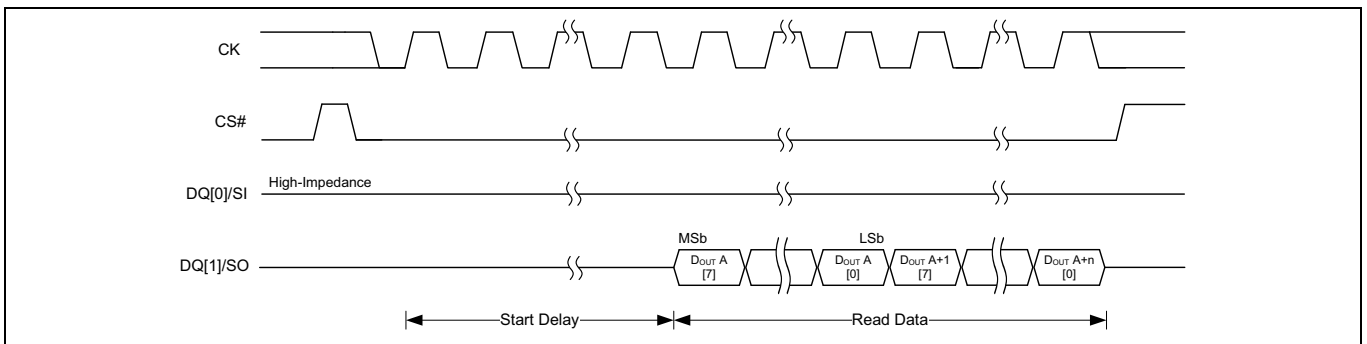


Figure 14 出力データシーケンスのある SPI トランザクション (オートブート)

### 2.3.2 オクタル出カインターフェース (オクタル, 1S-1S-8S および 1S-8S-8S) (HL256T および HS256T のみ)

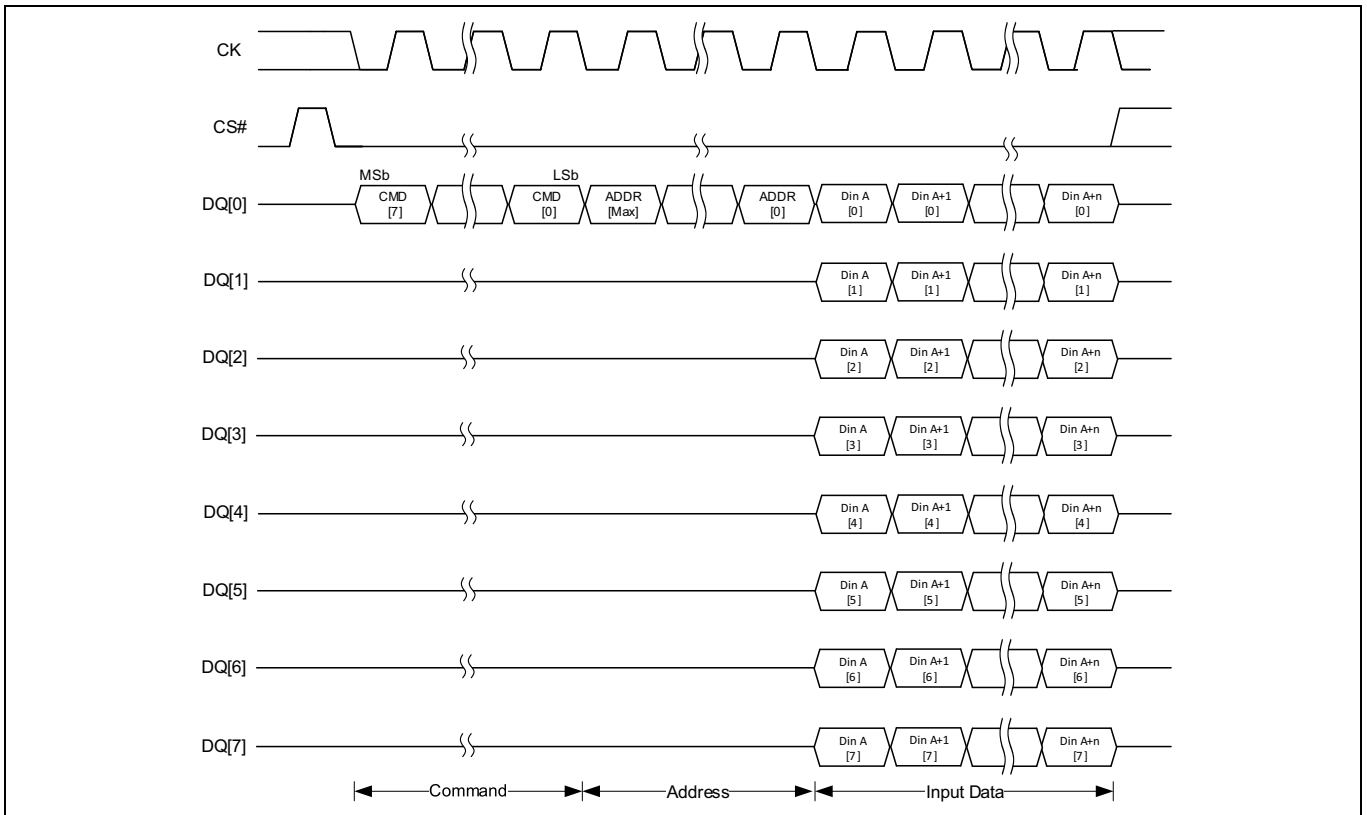


Figure 15 コマンド, アドレスとオクタル出力のある SPI 読み出しトランザクション (1S-1S-8S)

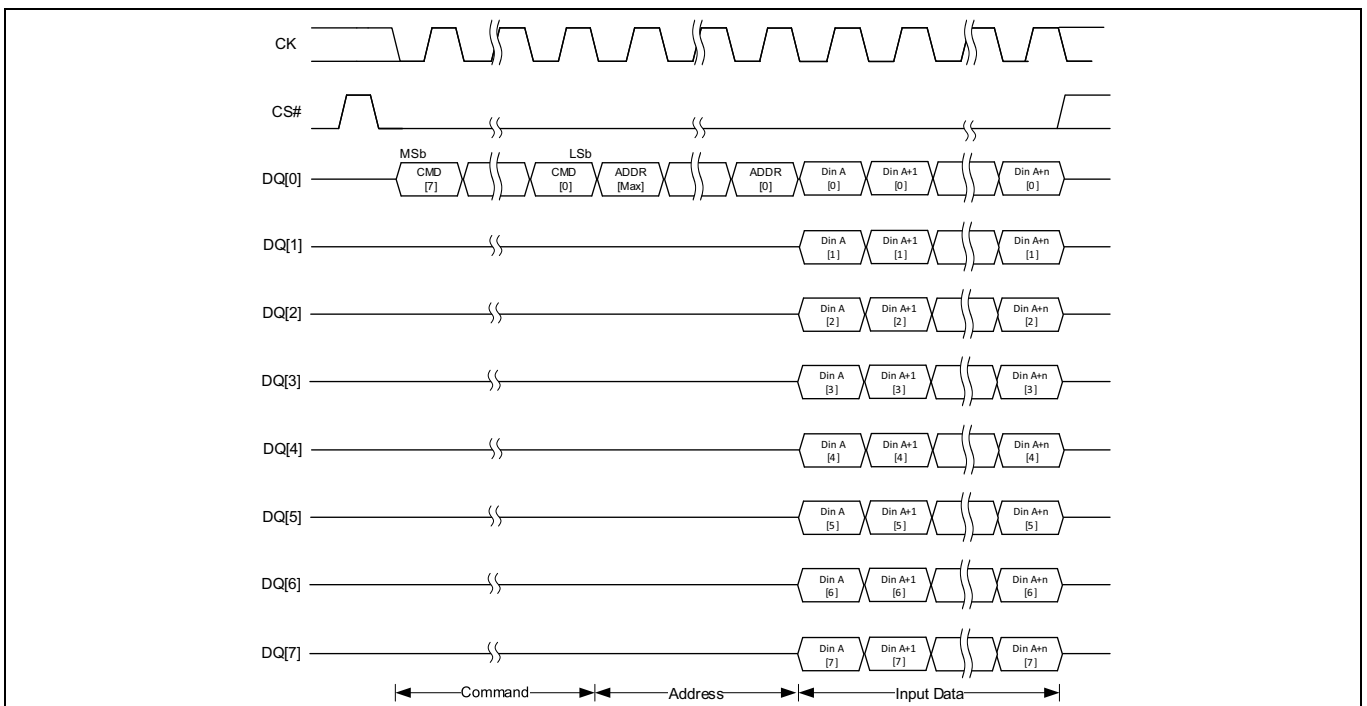


Figure 16 コマンド, アドレスおよびオクタルデータ入力のある SPI プログラム トランザクション (1S-1S-8S)



インターフェースの概要

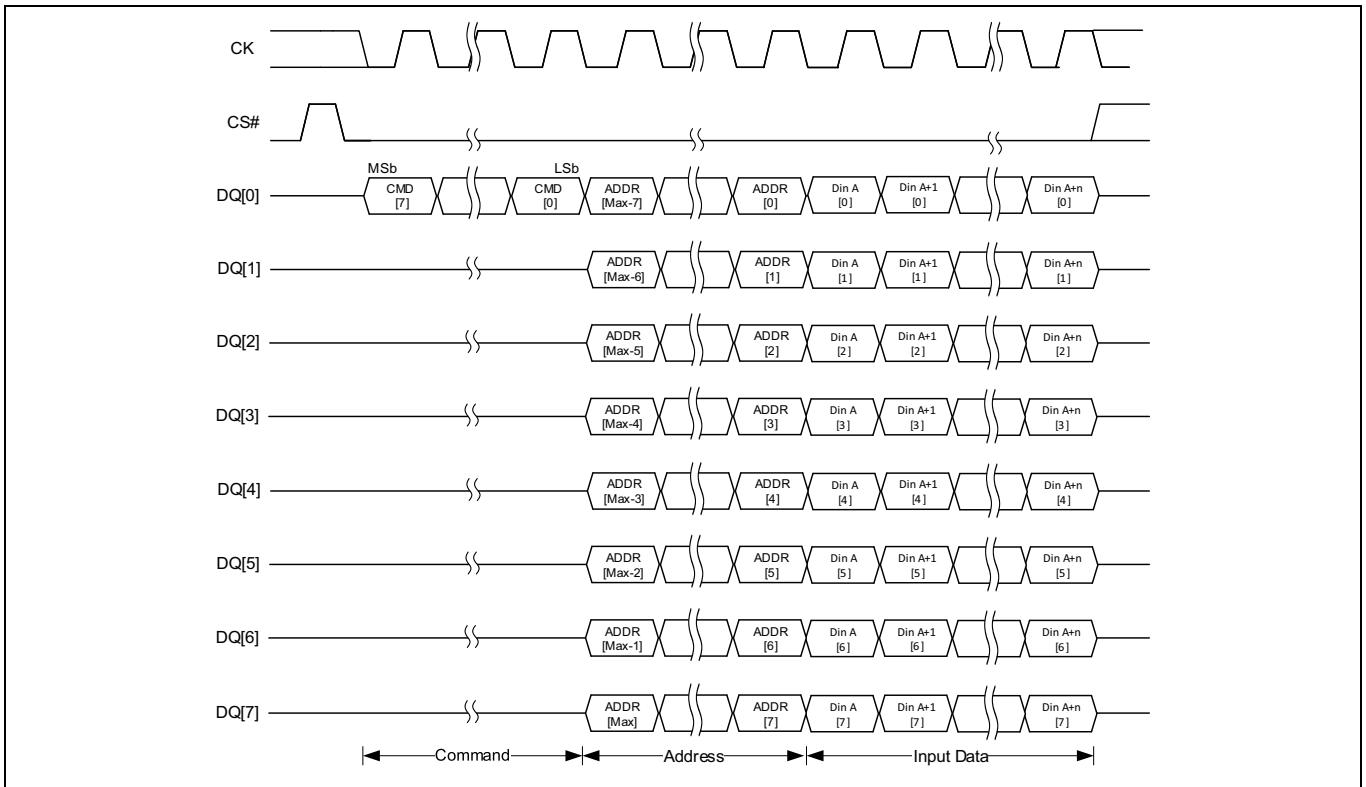


Figure 17 コマンド、オクタルアドレスおよびデータ入力のある SPI プログラム トランザクション (1S-8S-8S)

2.3.3 オクタルペリフェラルインターフェース (オクタル, 8S-8S-8S および 8D-8D-8D)

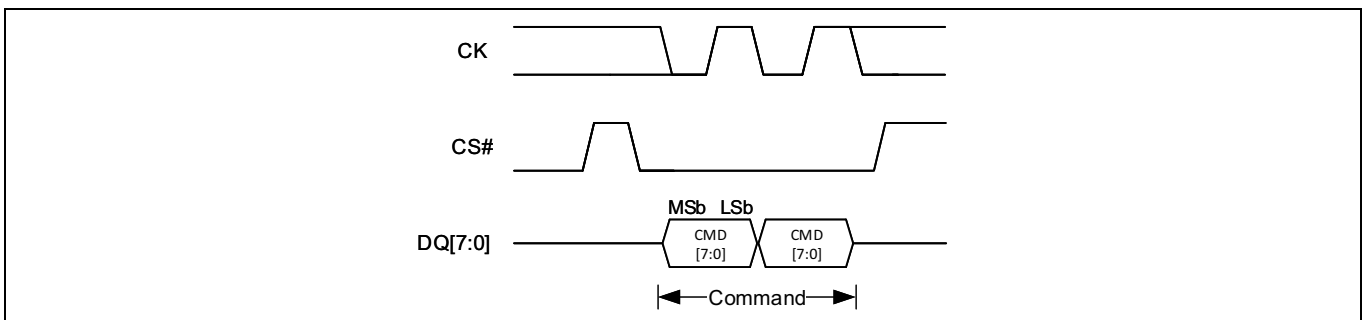


Figure 18 コマンド入力のあるオクタル SDR トランザクション

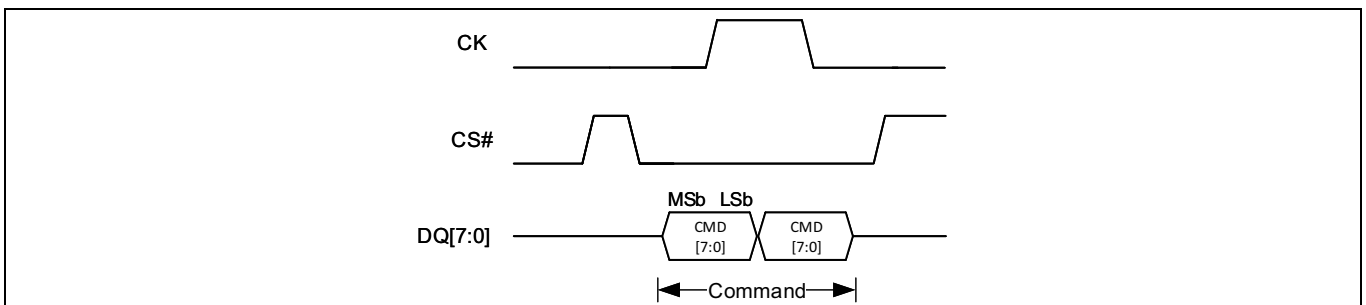


Figure 19 コマンド入力のあるオクタル DDR トランザクション

インターフェースの概要

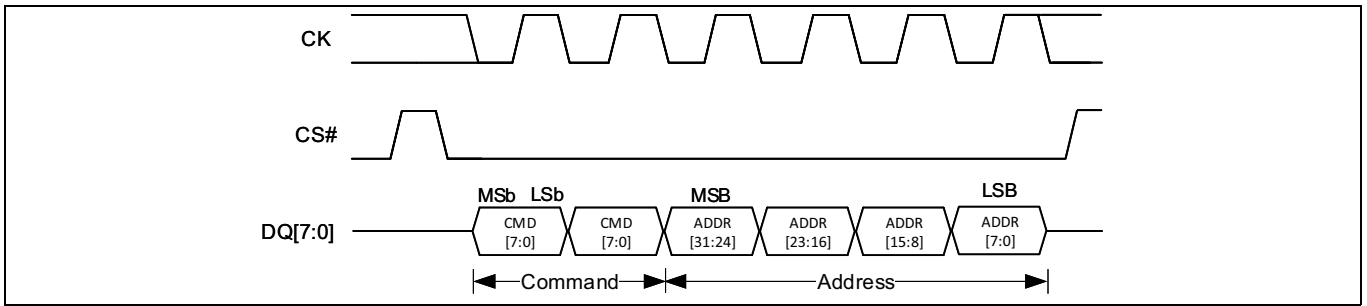


Figure 20 コマンドとアドレス入力のあるオクタル SDR トランザクション

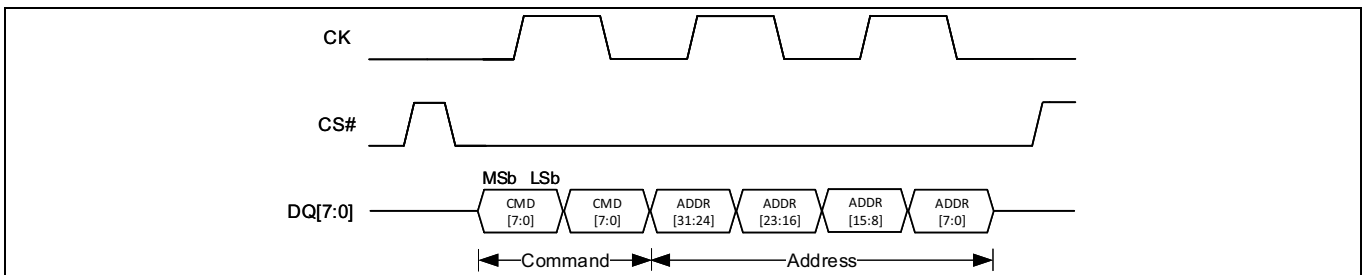


Figure 21 コマンドとアドレス入力のあるオクタル DDR トランザクション [2]

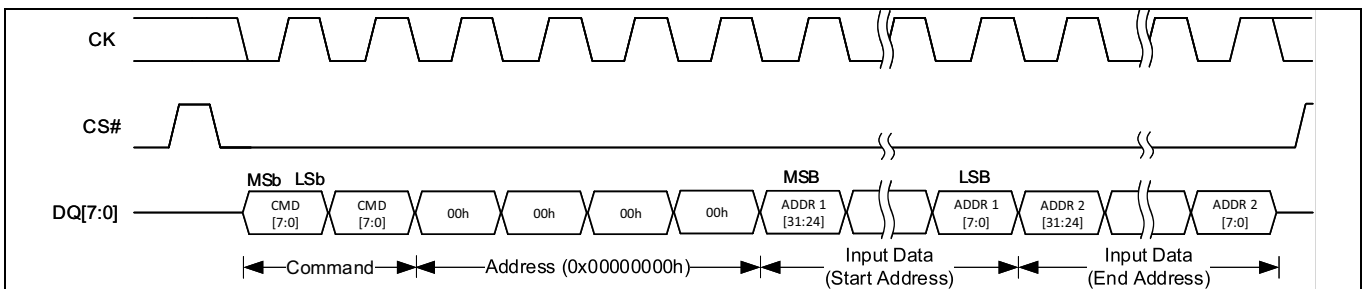


Figure 22 コマンドと2つのアドレス入力のあるオクタル SDR トランザクション

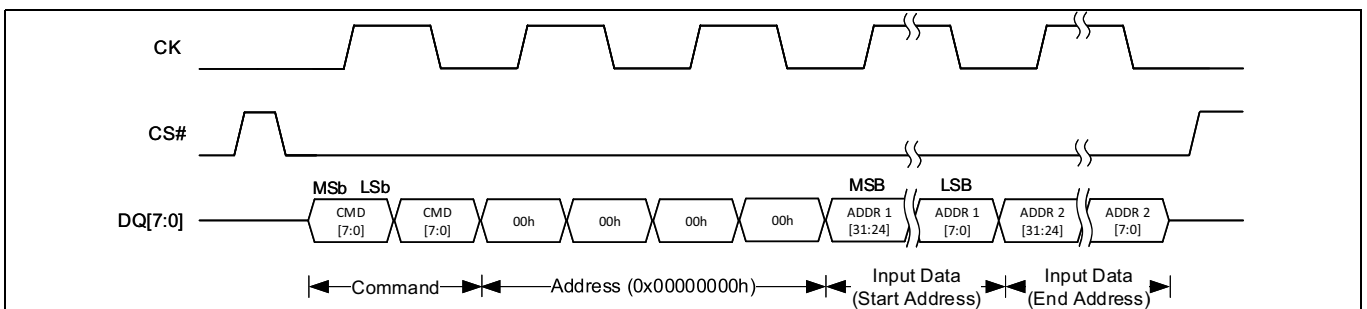


Figure 23 コマンドと2つのアドレス入力のあるオクタル DDR トランザクション

注

2. アドレス入力を必要とするあらゆるオクタル DDR トランザクションではアドレスの LSB は常に 0 です。

インターフェースの概要

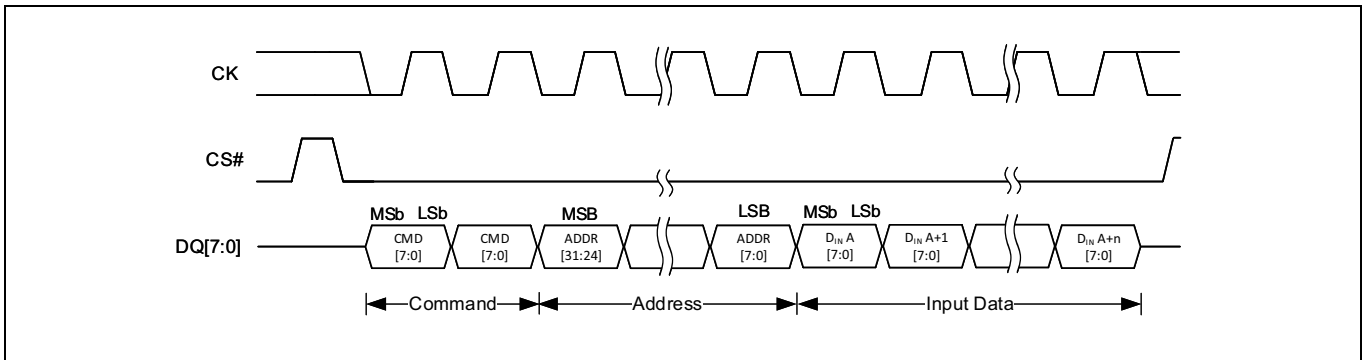


Figure 24 コマンド、アドレスおよびデータ入力のあるオクタル SDR プログラム トランザクション

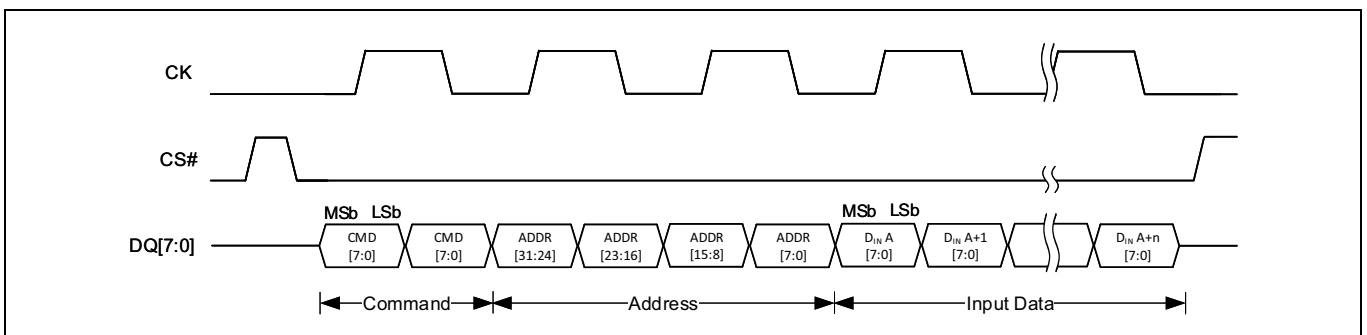


Figure 25 コマンド、アドレスおよびデータ入力のあるオクタル DDR プログラム トランザクション<sup>[3]</sup>

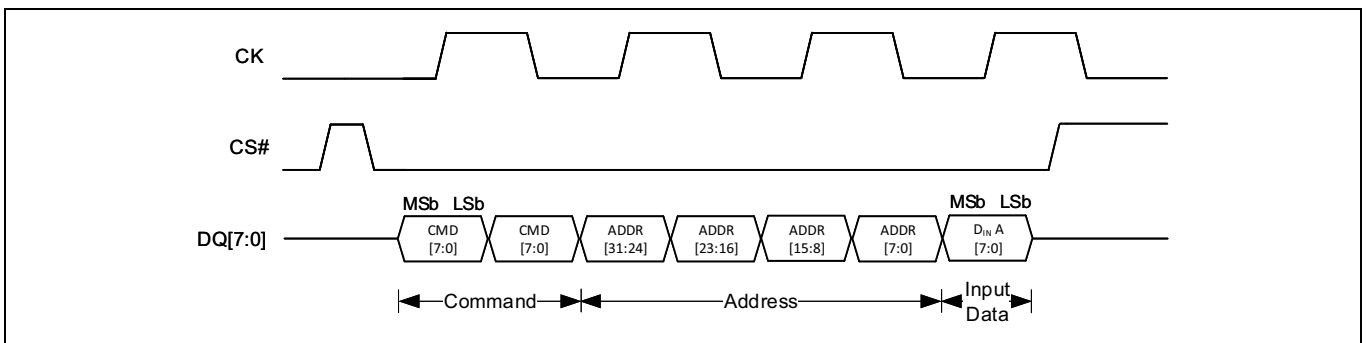


Figure 26 コマンド、アドレスおよびシングルバイト データ入力のあるオクタル DDR プログラム トランザクション<sup>[3]</sup>

注

3. アドレス入力を必要とするあらゆるオクタル DDR トランザクションではアドレスの LSb は常に 0 です。

インターフェースの概要

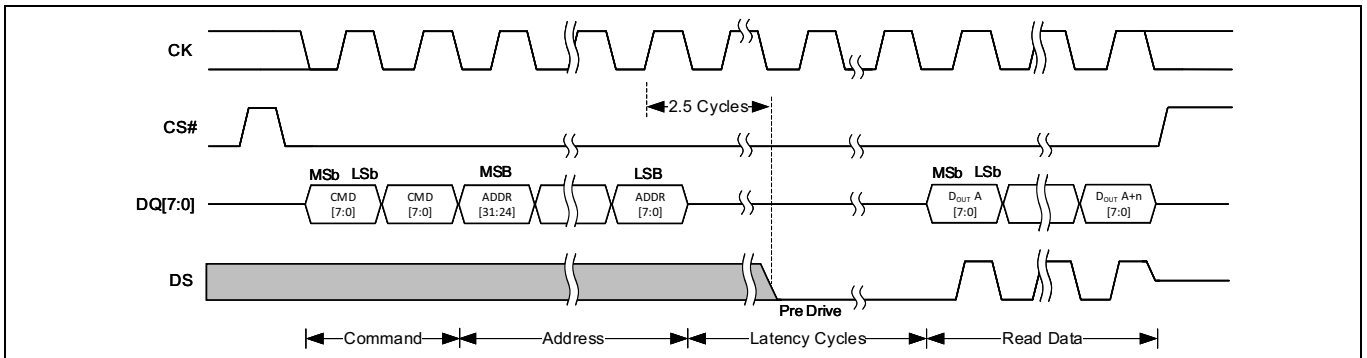


Figure 27 コマンドとアドレス入力のある SDR 読み出しトランザクション (出力レイテンシ有り)

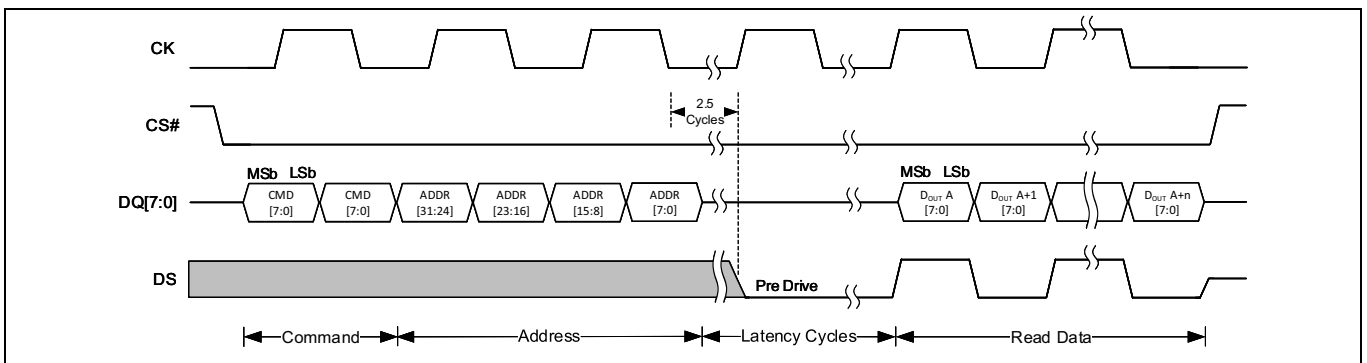


Figure 28 コマンドとアドレス入力のあるオクタル DDR 読み出しトランザクション (出力レイテンシ有り)<sup>[4, 5]</sup>

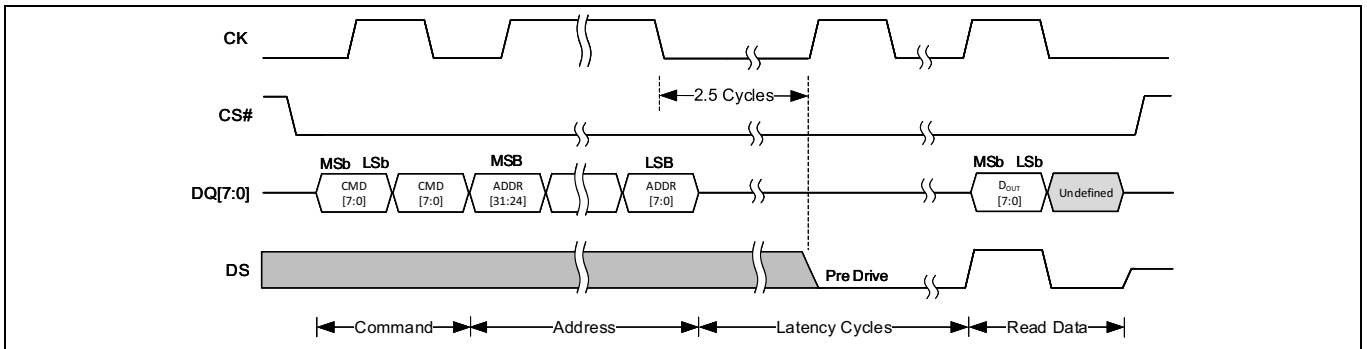


Figure 29 コマンドとアドレス入力のあるオクタル DDR シングルバイト読み出しトランザクション (出力レイテンシ有り)<sup>[6]</sup>

注

4. アドレス入力を必要とするあらゆるオクタル DDR トランザクションではアドレスの LSb は常に 0 です。
5. インターフェース CRC 読み出しトランザクションはオクタル DDR でのみサポートされます。
6. アドレス入力を必要とするあらゆるオクタル DDR トランザクションではアドレスの LSb は常に 0 です。

インターフェースの概要

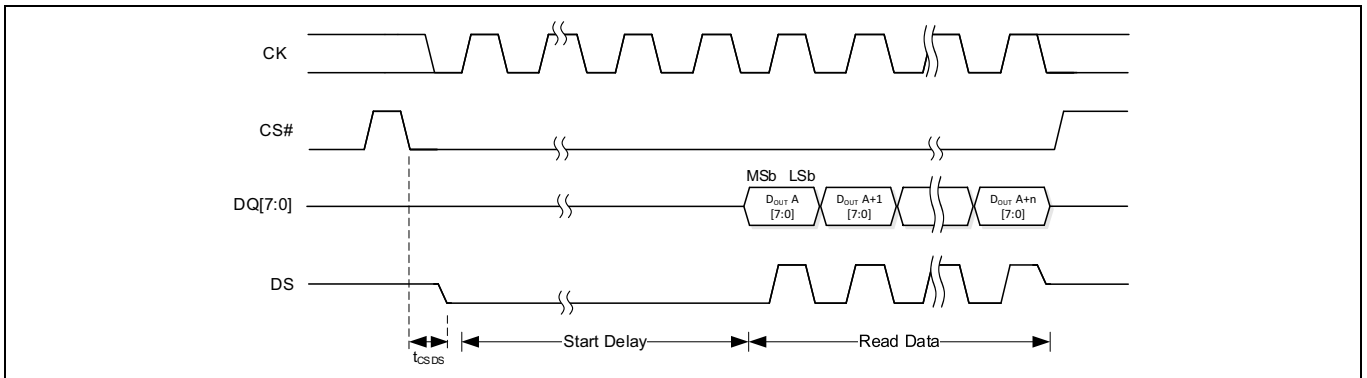


Figure 30 出力データ シーケンスのあるオクタル SDR トランザクション (オートブート)

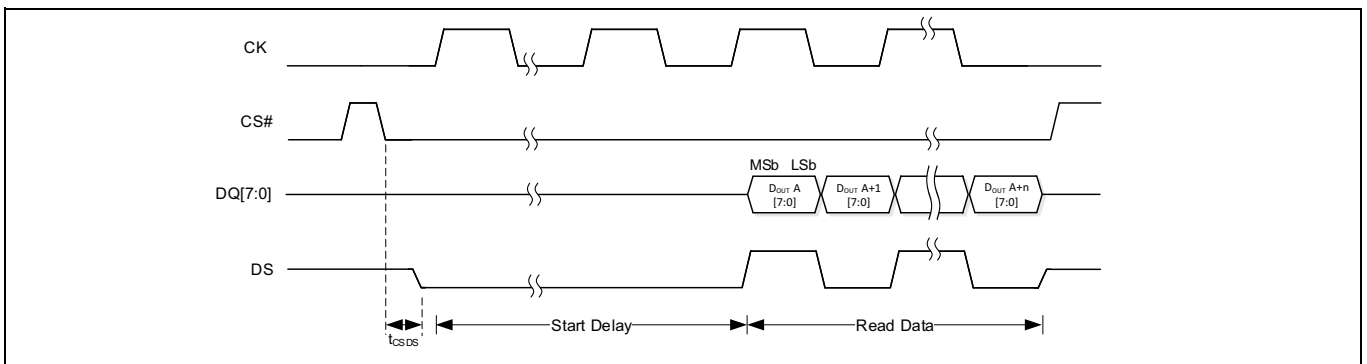


Figure 31 出力データ シーケンスのあるオクタル DDR トランザクション (オートブート)

## 2.4 レジスタ命名規則

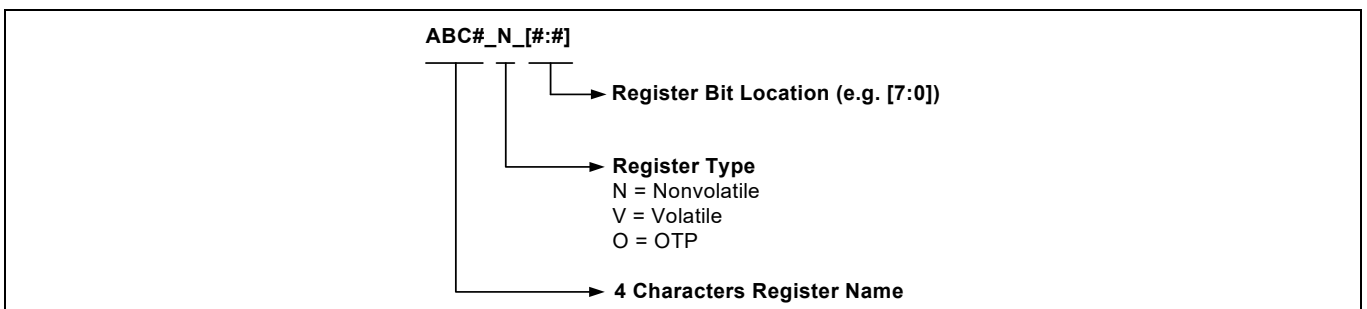


Figure 32 レジスタ命名規則

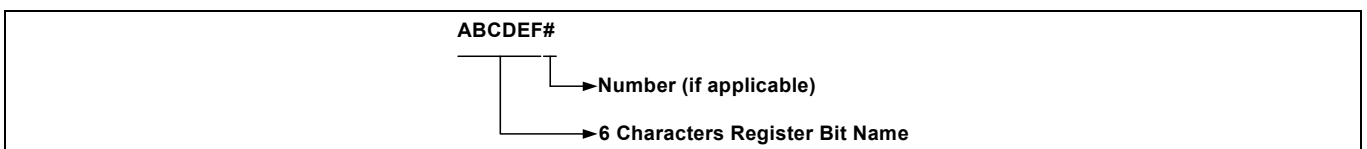


Figure 33 レジスタ ビット命名規則

## 2.5 トランザクション命名規則

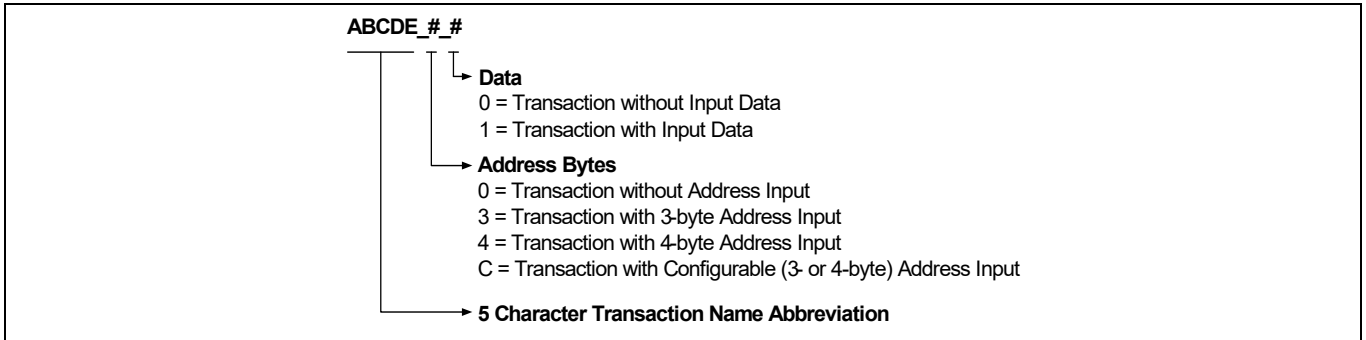


Figure 34 トランザクション命名規則

### 3 アドレス空間マップ

HL-T/HS-T ファミリは、メモリ容量が 256 Mb または 512 Mb または 1 Gb のデバイスを有効にするために 32 ビット (4 バイト) アドレスと同様に 24 ビット アドレスをサポートします。4 バイト アドレスにより、最大 4GB (32Gb) のアドレス空間を直接アドレス指定することが可能になります。アドレスバイト オプションは、対応するコンフィギュレーションレジスタに書き込むことで変更できます。また、4 バイト アドレス モードに入る (EN4BA\_0\_0) ためおよびモードから出る (EX4BA\_0\_0) ための個別のトランザクションもあります。

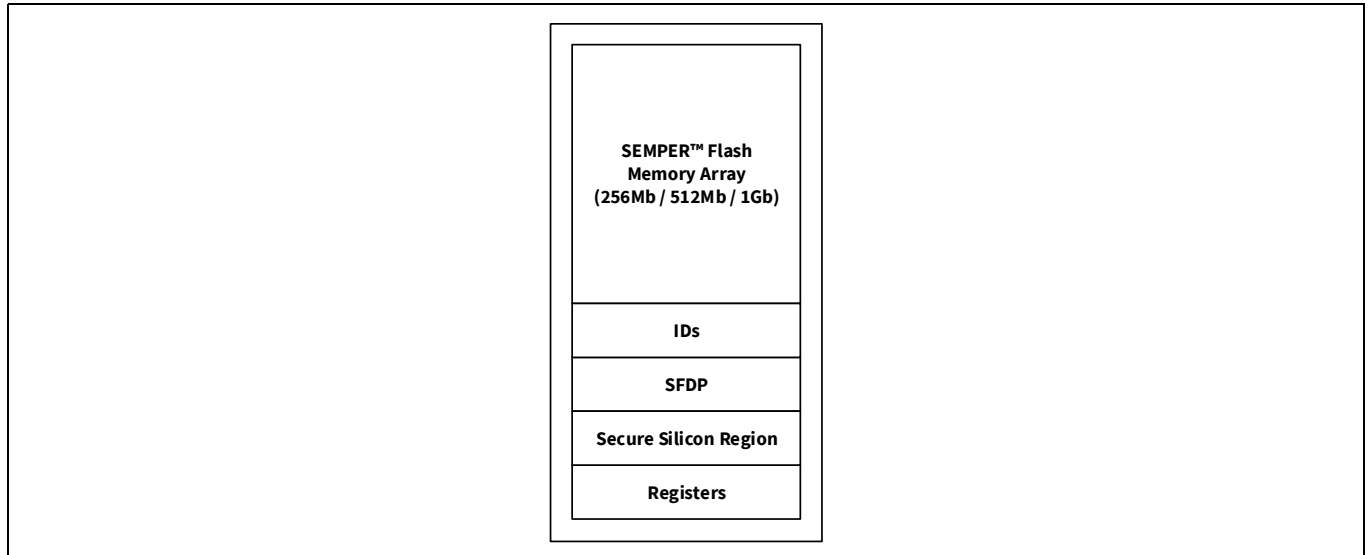


Figure 35 HL-T/HS-T アドレス空間マップ概要

#### 3.1 SEMPER™ フラッシュ メモリアレイ

メインフラッシュ アレイは物理セクタと呼ばれるユニットに分けられています。

HL-T/HS-T ファミリのセクタ アーキテクチャは以下のオプションに対応しています。

- 256 KB ユニフォーム セクタ オプション対応の 256 Mb, 512 Mb, 1 Gb
- ハイブリッド セクタ オプション対応の 256 Mb, 512 Mb, 1 Gb
  - アドレス空間の最上部または最下部にある 32 の 4 KB セクタおよび 1 つの 128 KB セクタと、256 KB の残りのセクタの物理セット
  - アドレス空間の最上部と最下部の両方にある 16 の 4KB セクタおよび 1 つの 192 KB セクタと、256 KB の残りのセクタの物理セット

コンフィギュレーションレジスタ 1 およびコンフィギュレーションレジスタ 3 内のセクタ アーキテクチャ選択ビットの組合せは、HL-T/HS-T ファミリの異なるセクタ アーキテクチャ オプションをサポートします。詳細については 82 ページの **“レジスタ”** を参照してください。

Table 2 256KB ユニフォーム セクタ アドレス マップ [7]

セクタ サイズ (KB)	S28HL01GT および S28HS01GT			S28HL512T および S28HS512T			S28HL256T および S28HS256T		
	セクタ 数	セクタ 範囲	バイト アドレス 範囲 (セクタ開始ア ドレス~セクタ 終了アドレス)	セクタ 数	セクタ 範囲	バイト アドレス 範囲 (セクタ開始ア ドレス~セクタ 終了アドレス)	セクタ数	セクタ 範囲	バイト アドレス 範囲 (セクタ開始ア ドレス~セクタ 終了アドレス)
256	512	SA00	00000000h ~ 0003FFFFh	256	SA00	00000000h ~ 0003FFFFh	128	SA00	00000000h ~ 0003FFFFh
		:	:		:	:			
		SA511	07FC0000h ~ 07FFFFFFh		SA255	03FC0000h ~ 03FFFFFFh		SA127	01FC0000h ~ 01FFFFFFh

注  
 7. コンフィギュレーション : CFR3N[3]=1.

Table 3 最下部のハイブリッド コンフィギュレーション 1:32 の 4KB セクタと 256KB ユニフォーム セクタ  
 のアドレス マップ [8]

セクタ サイズ (KB)	S28HL01GT および S28HS01GT			S28HL512T および S28HS512T			S28HL256T および S28HS256T		
	セクタ 数	セクタ 範囲	バイト アドレス 範囲 (セクタ開始ア ドレス~セクタ 終了アドレス)	セクタ数	セクタ 範囲	バイト アドレス 範囲 (セクタ開始ア ドレス~セクタ 終了アドレス)	セクタ数	セクタ 範囲	バイト アドレス 範囲 (セクタ開始ア ドレス~セクタ終 了アドレス)
4	32	SA00	00000000h ~ 00000FFFh	32	SA00	00000000h ~ 00000FFFh	32	SA00	00000000h ~ 00000FFFh
		:	:		:	:			
		SA31	0001F000h ~ 0001FFFFh		SA31	0001F000h ~ 0001FFFFh		SA31	0001F000h ~ 0001FFFFh
128	1	SA32	00020000h ~ 0003FFFFh	1	SA32	00020000h ~ 0003FFFFh	1	SA32	00020000h ~ 0003FFFFh
256	511	SA33	00040000h ~ 0007FFFFh	255	SA33	00040000h ~ 0007FFFFh	127	SA33	00040000h ~ 0007FFFFh
		:	:		:	:			
		SA543	07FC0000h ~ 07FFFFFFh		SA287	03FC0000h ~ 03FFFFFFh		SA159	01FC0000h ~ 01FFFFFFh

注  
 8. コンフィギュレーション : CFR3N[3]=0, CFR1N[6]=0, CFR1N[2]=0.

Table 4 最上部のハイブリッド コンフィギュレーション 1:32 の 4KB セクタと 256KB ユニフォーム セクタ  
 のアドレス マップ [9]

セクタ サイズ (KB)	S28HL01GT および S28HS01GT			S28HL512T および S28HS512T			S28HL256T および S28HS256T		
	セクタ 数	セクタ 範囲	バイト アドレス 範囲 (セクタ開始ア ドレス~セクタ 終了アドレス)	セクタ数	セクタ 範囲	バイト アドレス 範囲 (セクタ開始ア ドレス~セクタ 終了アドレス)	セクタ数	セクタ 範囲	バイト アドレス 範囲 (セクタ開始ア ドレス~セクタ 終了アドレス)
256	511	SA00	00000000h ~ 0003FFFFh	255	SA00	00000000h ~ 0003FFFFh	127	SA00	00000000h ~ 0003FFFFh
		:	:		:	:			
		SA510	07F80000h ~ 07FBFFFFh		SA254	03F80000h ~ 03FBFFFFh		SA126	01F80000h ~ 01FBFFFFh
128	1	SA511	07FC0000h ~ 07FDFFFFh	1	SA255	03FC0000h ~ 03FDFFFFh	1	SA127	01FC0000h ~ 01FDFFFFh

注  
 9. コンフィギュレーション : CFR3N[3]=0, CFR1N[6]=0, CFR1N[2]=1.



アドレス空間マップ

Table 4 最上部のハイブリッド コンフィギュレーション 1:32 の 4KB セクタと 256KB ユニフォーム セクタのアドレスマップ<sup>[9]</sup>

(続き)

セクタサイズ (KB)	S28HL01GT および S28HS01GT			S28HL512T および S28HS512T			S28HL256T および S28HS256T		
	セクタ数	セクタ範囲	バイトアドレス範囲 (セクタ開始アドレス~セクタ終了アドレス)	セクタ数	セクタ範囲	バイトアドレス範囲 (セクタ開始アドレス~セクタ終了アドレス)	セクタ数	セクタ範囲	バイトアドレス範囲 (セクタ開始アドレス~セクタ終了アドレス)
4	32	SA512	07FE0000h ~ 07FE0FFFh	32	SA256	03FE0000h ~ 03FE0FFFh	32	SA128	01FE0000h ~ 01FE0FFFh
		:	:		:	:			
		SA543	07FFF000h ~ 07FFFFFFh		SA287	03FFF000h ~ 03FFFFFFh		SA159	01FFF000h ~ 01FFFFFFh

注

9. コンフィギュレーション : CFR3N[3]=0, CFR1N[6]=0, CFR1N[2]=1。

Table 5 ハイブリッド コンフィギュレーション 2: 最下位 16 と最上位 16 の 4KB セクタのアドレスマップ<sup>[10]</sup>

セクタサイズ (KB)	S28HL01GT および S28HS01GT			S28HL512T および S28HS512T			S28HL256T および S28HS256T		
	セクタ数	セクタ範囲	バイトアドレス範囲 (セクタ開始アドレス~セクタ終了アドレス)	セクタ数	セクタ範囲	バイトアドレス範囲 (セクタ開始アドレス~セクタ終了アドレス)	セクタ数	セクタ範囲	バイトアドレス範囲 (セクタ開始アドレス~セクタ終了アドレス)
4	16	SA00	00000000h ~ 00000FFFh	16	SA00	00000000h ~ 00000FFFh	16	SA00	00000000h ~ 00000FFFh
		:	:		:	:			
		SA15	0000F000h ~ 0000FFFFh		SA15	0000F000h ~ 0000FFFFh		SA15	0000F000h ~ 0000FFFFh
192	1	SA16	00010000h ~ 0003FFFFh	1	SA16	00010000h ~ 0003FFFFh	1	SA16	00010000h ~ 0003FFFFh
256	510	SA17	00040000h ~ 0007FFFFh	254	SA17	00040000h ~ 0007FFFFh	126	SA17	00040000h ~ 0007FFFFh
		:	:		:	:			
		SA526	07F80000h ~ 07FBFFFFh		SA270	03F80000h ~ 03FBFFFFh		SA142	01F80000h ~ 01FBFFFFh
192	1	SA527	07FC0000h ~ 07FEFFFFh	1	SA271	03FC0000h ~ 03FEFFFFh	1	SA143	01FC0000h ~ 01FEFFFFh
4	16	SA528	07FF0000h ~ 07FF0FFFh	16	SA272	03FF0000h ~ 03FF0FFFh	16	SA144	01FF0000h ~ 01FF0FFFh
		:	:		:	:			
		SA543	07FFF000h ~ 07FFFFFFh		SA287	03FFF000h ~ 03FFFFFFh		SA159	01FFF000h ~ 01FFFFFFh

注

10. コンフィギュレーション : CFR3N[3]=0, CFR1N[6]=1。

上記の表は参考としていくつかのセクタを使用する要約された表です。明示的にリストされていないアドレス範囲があります。すべての 4KB セクタのパターンは xxxxx000h ~ xxxxxFFFh です。すべての 256KB セクタのパターンは xxx00000h ~ xxx3FFFFh, xxx40000h ~ xxx7FFFFh, xx80000h ~ xxxCFFFFh, または xxD0000h ~ xxxFFFFh です。

### 3.2 ID アドレス空間

メモリのこの特別な領域は、メーカー ID, デバイス ID, および固有 ID に割り当てられます。

- メーカー ID は JEDEC によって割り当てられます (Table 90 を参照してください)。
- デバイス ID はインフィニオンによって割り当てられます (Table 90 を参照してください)。
- 64 ビット固有番号は固有デバイス ID アドレス空間の 8 バイトにあります。固有 ID は、各デバイスに固有のソフトウェア読み出し可能シリアル番号として使用できます。(Table 91 を参照)

ID のために定義されるアドレス空間がなく、対応するトランザクションを提供することでのみ読み出せます。ID を読み出すためにトランザクションにアドレスは必要ありません。このアドレス空間内のデータは読み出し専用データです。

### 3.3 JEDEC JESD216 SFDP 空間

SFDP 規格は、内部パラメーターテーブルの標準的な一式でこのシリアルフラッシュデバイスの機能と特長を記述する一貫性のある方法を提供します。ホストシステムソフトウェアはこれらのパラメーターテーブルを問い合わせ、異なる機能に対応するために必要な調整を可能にします。SFDP アドレス空間には、SFDP データ構造を識別し、各パラメーターへのポインタを提供する、アドレス 0 から始まるヘッダが含まれています。SFDP アドレス空間はインフィニオンによってプログラムされ、ホストシステムに対しては読み出し専用です (Table 86 ~ Table 89 を参照してください)。

Table 6 SFDP アドレスマップ概要

バイトアドレス	説明
0000h	JEDEC JESD216D SFDP 空間の位置 0 - SFDP ヘッダの開始
...	SFDP ヘッダの残りの部分に続いて未定義の空間
0100h	SFDP パラメーターテーブルの開始。SFDP パラメーターテーブルのデータは 0100h で始まる
...	SFDP パラメーターテーブルの残りの部分に続いてさらなるパラメーターまたは未定義空間

### 3.4 SSR アドレス空間

各 HS/L-T family メモリ デバイスは OTP アドレス空間である 1024 バイトの SSR を持っています。このアドレス空間はメインフラッシュアレイから分かれています。SSR 領域は 32 の領域に分割され、それぞれが単独にロックでき、32 バイト整列長です。

アドレス 0 から始まる 32 バイトの領域では、

- 16 最下位バイトは 128 ビットの乱数を含みます。この乱数に対する書き込み、消去またはプログラムは不可であり、行おうとすると PRGERR フラグが返されます。
- 次の 4 バイトは、セキュア領域ごとに 1 ビット (合計 32 ビット) を提供し、いったん「0」にセットされたら、書き込み、消去またはプログラムから恒久的に保護します。
- 他のすべてのバイトは予約されています。

残りの領域は、インフィニオン出荷時に消去され、追加の恒久的なデータのプログラミングに使用できません。

Table 7 SSR アドレスマップ

領域	バイトアドレス範囲	目次	工場出荷初期状態
領域 0	000h	インフィニオンによりプログラムされた乱数の LSB	インフィニオンによりプログラムされた乱数
	...	...	
	00Fh	インフィニオンによりプログラムされた乱数の MSB	
	010h ~ 013h	領域ロック ビット バイト 10h [ビット 0] = 「0」 のとき、領域 0 をプログラムから保護します。 ... バイト 13h [ビット 7] = 「0」 のとき、領域 31 をプログラムから保護します。	全バイト = FFh
	014h ~ 01Fh	将来使用するために予約済み (RFU)	
領域 1	020h ~ 03Fh	ユーザー プログラミング用に使用可能	
領域 2	040h ~ 05Fh		
...	...		
領域 31	3E0h ~ 3FFh		

### 3.5 レジスタ

レジスタは、HS/L-T family メモリ デバイスの動作方法を設定する、またはデバイス動作のステータスを報告するために使用される小さなグループのメモリ セルです。レジスタは特定のコマンドおよびアドレスでアクセスされます。Table 8 に、本フラッシュ メモリ デバイスの利用可能なレジスタのアドレスマップを示します。

Table 8 レジスタ アドレスマップ

機能	レジスタ タイプ	レジスタ名	揮発性 コンポーネント アドレス (16 進数)	不揮発性 コンポーネント アドレス (16 進数)
デバイス ステータス	ステータス レジスタ 1	STR1N[7:0], STR1V[7:0]	0x00800000	0x00000000
	ステータス レジスタ 2	STR2V[7:0]	0x00800001	該当なし
デバイス コンフィ ギュレーション	コンフィギュレーションレジスタ 1	CFR1N[7:0], CFR1V[7:0]	0x00800002	0x00000002
	コンフィギュレーションレジスタ 2	CFR2N[7:0], CFR2V[7:0]	0x00800003	0x00000003
	コンフィギュレーションレジスタ 3	CFR3N[7:0], CFR3V[7:0]	0x00800004	0x00000004
	コンフィギュレーションレジスタ 4	CFR4N[7:0], CFR4V[7:0]	0x00800005	0x00000005
	コンフィギュレーションレジスタ 5	CFR5N[7:0], CFR5V[7:0]	0x00800006	0x00000006
インターフェース CRC	インターフェース CRC イネーブルレジスタ	ICEV[7:0]	0x00800008	該当なし
インフィニオン Endurance Flex アーキテクチャ	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 0 [1:0]	EFX00[7:0]	該当なし	0x00000050
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 1 [7:0]	EFX10[7:0]		0x00000052
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 1 [10:8]	EFX10[10:8]		0x00000053
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 2 [7:0]	EFX20[7:0]		0x00000054
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 2 [10:8]	EFX20[10:8]		0x00000055

Table 8 レジスタ アドレス マップ ( 続き )

機能	レジスタ タイプ	レジスタ名	揮発性 コンポーネント アドレス (16 進数)	不揮発性 コンポーネント アドレス (16 進数)
インフィニオン Endurance Flex アーキテクチャ	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 3 [7:0]	EFX30[7:0]	該当なし	0x00000056
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 3 [10:8]	EFX30[10:8]		0x00000057
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 4 [7:0]	EFX40[7:0]		0x00000058
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 4 [10:8]	EFX40[10:8]		0x00000059
割込みピン	割込みコンフィギュレーション レジスタ	INCV[7:0]	0x00800068	該当なし
	割込みステータス レジスタ	INSV[7:0]	0x00800067	
エラー訂正	ECC ステータス レジスタ	ESCV[7:0]	0x00800089	
	ECC エラー検出カウンタ レジスタ [7:0]	ECTV[7:0]	0x0080008A	
	ECC エラー検出カウンタ レジスタ [15:8]	ECTV[15:8]	0x0080008B	
	ECC アドレストラップレジスタ [7:0]	EATV[7:0]	0x0080008E	
	ECC アドレストラップレジスタ [15:8]	EATV[15:8]	0x0080008F	
	ECC アドレストラップレジスタ [23:16]	EATV[23:16]	0x00800040	
	ECC アドレストラップレジスタ [31:24]	EATV[31:24]	0x00800041	
オートブート	オートブートレジスタ [7:0]	ATBN[7:0]	該当なし	0x00000042
	オートブートレジスタ [15:8]	ATBN[15:8]		0x00000043
	オートブートレジスタ [23:16]	ATBN[23:16]		0x00000044
	オートブートレジスタ [31:24]	ATBN[31:24]		0x00000045
消去カウンタ	セクタ消去カウンタ レジスタ [7:0]	SECV[7:0]	0x00800091	該当なし
	セクタ消去カウンタ レジスタ [15:8]	SECV[15:8]	0x00800092	
	セクタ消去カウンタ レジスタ [23:16]	SECV[23:16]	0x00800093	
データ整合性 チェック	データ整合性チェック CRC レジ スタ [7:0]	DCRV[7:0]	0x00800095	
	データ整合性チェック CRC レジ スタ [15:8]	DCRV[15:8]	0x00800096	
	データ整合性チェック CRC レジ スタ [23:16]	DCRV[23:16]	0x00800097	
	データ整合性チェック CRC レジ スタ [31:24]	DCRV[31:24]	0x00800098	
保護と セキュリティ	高度セクタ保護レジスタ [7:0]	ASPO[7:0]	該当なし	0x00000030
	高度セクタ保護レジスタ [15:8]	ASPO[15:8]		0x00000031
	ASP PPB ロック レジスタ ( 持続的保護ブロック )	PPLV[7:0]	0x0080009B	該当なし

256Mb/512Mb/1Gb SEMPER™ フラッシュ  
 オクタル インターフェース, 1.8V/3.0V



アドレス空間マップ

Table 8 レジスタ アドレス マップ ( 続き )

機能	レジスタ タイプ	レジスタ名	揮発性 コンポーネント アドレス (16 進数)	不揮発性 コンポーネント アドレス (16 進数)
保護と セキュリティ	ASP パスワード レジスタ [7:0]	PWDO[7:0]	該当なし	0x00000020
	ASP パスワード レジスタ [15:8]	PWDO[15:8]		0x00000021
	ASP パスワード レジスタ [23:16]	PWDO[23:16]		0x00000022
	ASP パスワード レジスタ [31:24]	PWDO[31:24]		0x00000023
	ASP パスワード レジスタ [39:32]	PWDO[39:32]		0x00000024
	ASP パスワード レジスタ [47:40]	PWDO[47:40]		0x00000025
	ASP パスワード レジスタ [55:48]	PWDO[55:48]		0x00000026
	ASP パスワード レジスタ [63:56]	PWDO[63:56]		0x00000027

## 4 機能

### 4.1 エラー検出と訂正

HL-T/HS-T ファミリのデバイスは、メモリアレイのプログラム中に組み込みハミングエラー訂正コードを生成することで、エラー検出と訂正をサポートします。その後、この ECC コードは読み出し中にエラーの検出と修正に使用されます。ECC は 16 バイトデータユニットをベースとしています。16 バイトデータユニットがプログラムバッファにロードされ、(消去後の)プログラム用に 128 ビットのフラッシュメモリアレイラインに転送される時、各データユニットごとの 8 ビットエラー訂正コード (ECC) も、ホストシステムソフトウェアに見えないメモリアレイの部分にプログラムされます。その後、この ECC 情報は各フラッシュアレイの読み出し動作中にチェックされます。データユニット内のいかなる 1 ビットエラーも ECC ロジックによって訂正されます。16 バイトデータユニットは、ECC が有効である最小のプログラム粒度です。

あるデータ量が最初に 16 バイトデータユニット内にプログラムされたとき、ECC 値はデータユニット全体に対してセットされます。消去を行わず、その後に追加のデータが同じデータユニットにプログラムされた場合、データユニットの ECC は無効にされ、1 ビット ECC ディセーブルビットがセットされます。データユニットに対して ECC を再び有効にするためにはセクタ消去が必要となります。

これらは、ユーザーに対してトランスペアレント (透明) な自動動作です。ECC 機能の透明性は、各データユニットに一回のデータ書き込みを行う標準的なプログラム動作に対するデータの信頼性を向上させます。また同時に、シングルバイトプログラムおよび同じデータユニットが複数回プログラムされるビットウォーキング (この場合、ECC は無効) を可能にすることで、旧世代の製品とのソフトウェア互換性を可能にします。

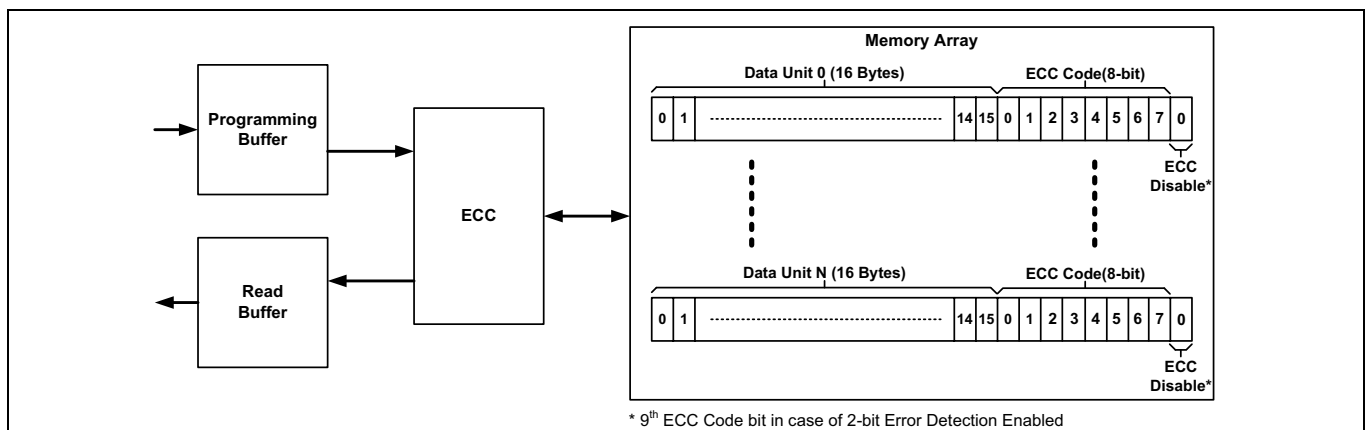


Figure 36 16 バイト ECC データユニットの例

SEMPER™ NOR フラッシュはデフォルト ECC コンフィギュレーションとして 2 ビットエラー検出をサポートします。このコンフィギュレーションでは、データユニット内のどの 1 ビットエラーも訂正され、どの 2 ビットエラーも検出され報告されます。16 バイトユニットデータは、2 ビットエラー検出のために 9 ビットエラー訂正コードを必要とします。2 ビットエラー検出が有効にされたとき、(消去を行わず) 同じデータユニットに対するバイトプログラム、ビットウォーキングや複数回のプログラム動作は不可であり、プログラムエラーとなります。ECC モードを 1 ビットエラー検出から 2 ビットエラー検出に、または 2 ビットエラー検出から 1 ビットエラー検出に変更すると、メモリアレイ内のすべてのデータが無効になります。ECC モードを変更する際、まずホストはデバイス内のすべてのセクタを消去する必要があります。プログラムされたデータを消去せずに ECC モードを変更した場合、その後の読み出し動作は未定義の動作となります。

機能

### 4.1.1 ECC エラー報告

ECC エラーを検出したとき、5 つの方法でホスト システムに通知できます。

- ECC データ ユニット ステータスは、データ ユニット内の 1 ビットまたは 2 ビット エラーの状態を提供します。
- ECC ステータス レジスタは、最後の ECC クリアまたはリセット後の、1 ビットまたは 2 ビット エラーの状態を示します。
- アドレスラップレジスタは、メモリアレイ読み出し中の POR またはリセットの後に発生する最初の ECC エラーのアドレス位置をキャプチャします。
- ECC エラー検出カウンターは、読み出し中にデータ ユニットに発生した 1 ビットまたは 2 ビット エラーの数を記録します。
- 割込み (INT#) 出力は、データ読み出し中のいつ 1 ビットまたは 2 ビット エラーが検出されたかを示すために有効にされます。

#### 4.1.1.1 ECC データ ユニット ステータス (EDUS)

- 各データ ユニットの ECC ステータスは 8 ビット ECC データ ユニット ステータスによって提供されます。
- ECC ステータス トランザクションは、アドレス指定されたデータ ユニットの ECC ステータスを出力します。ECC データ ユニット ステータスの内容は、選択されたデータ ユニットに対して、訂正済みの 1 ビット エラーまたは検出済みの 2 ビット エラーがあるか、またはそのデータユニットに対する ECC が無効にされたかを示します。

Table 9 ECC データ ユニット ステータス

ビット	フィールド名	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
EDUS[7:4]	RESRVD	将来使用するために予約済み	V=>R	0000	これらのビットは将来使用するために予約されています。
EDUS[3]	ECC2BD	2 ビット ECC エラー検出フラグ	V=>R	0	このビットは、2 ビット ECC エラー検出が有効な場合 (CFR4V[3]=1)、2 ビット エラーがデータユニットで検出されたかどうかを示します。2 ビット エラー検出が無効な場合 (CFR4V[3]=0)、ECC2BD ビットは常に「0」になります。 注: 2 ビットエラー検出が有効 (CFR4V[3]=1) の場合、シングルバイトプログラミングまたはすでに部分的にプログラミングされたデータユニットでビットウォーキングを実行している間、ECCOFF ビットは 1b に設定されません。このようなバイトプログラミングまたはビットウォーキングを実行しようとすると、プログラムエラーが発生します。  選択オプション: 1=2 ビット エラーが検出されました。 0= エラーが発生しませんでした。
EDUS[2]	RESRVD	将来使用するために予約済み	V=>R	0	このビットは将来使用するために予約されています。
EDUS[1]	ECC1BC	1 ビット ECC エラー検出と訂正フラグ	V=>R	0	このビットはエラーがデータユニットで訂正されたかどうかを示します。  選択オプション: 1=1 ビット エラーがアドレス指定されたデータユニットで訂正されました。 0= アドレス指定されたデータユニットで訂正された 1 ビット エラーはありませんでした。

機能

Table 9 ECC データユニットステータス (続き)

ビット	フィールド名	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
EDUS[0]	ECCOFF	データユニット ECC オフ / オンフラグ	V=>R	0	このビットは ECC シンドロームがデータユニットでオフになっているかどうかを示します。  選択オプション: 1= 選択されたデータユニットで ECC はオフです。 0= 選択されたデータユニットで ECC はオンです。  依存性: CFR4x[3]

#### 4.1.1.2 ECC ステータス レジスタ (ECSV)

- 8 ビットの ECC ステータス レジスタは、最後の ECC クリアまたはリセット後の通常読み出し中に発生した 1 ビットまたは 2 ビット エラーの状態を示します。ECC ステータス レジスタはユーザーがプログラム可能な不揮発性ビットを持っていません。定義されたすべてのビットは揮発性読み出し専用ビットです。これらのビットのデフォルト状態はハードウェアにより設定されます。
- ECC ステータス レジスタは任意レジスタ読み出しトランザクションによってアクセスできます。任意レジスタ読み出しに基づく ECSV の正しいシーケンスは次のとおりです。
  - 任意の読み出しトランザクションを使用してデータをメモリアレイから読み出します。
  - ECSV はデバイスによって更新されます。
  - ECSV の任意レジスタ読み出しは最後のクリアまたはリセット後のあらゆる ECC イベントの状態を提供します。
- ECSV は、POR, CS# シグナリングリセット, ハードウェア / ソフトウェアリセット, または ECC ステータスレジスタクリアトランザクションによってクリアされます。

#### 4.1.1.3 ECC エラー アドレス トラップ (EATV)

- フラッシュ アレイ読み出し中に初めて発生した ECC エラーの ECC データユニット アドレスをキャプチャするための 32 ビット レジスタが用意されています。POR、ハードウェアリセットまたは ECC クリアトランザクション後に最初に発生した有効なエラータイプ (CFR4N[3] での選択によって「2 ビットのみ」または「1 ビットか 2 ビット」) のアドレスのみがキャプチャされます。EATV レジスタは読み出しトランザクションの間にのみ更新されます。  
 EATV レジスタは、エラーが検出されたときにアクセスされたアドレスを格納します。不良ビットはレジスタで示された正確なアドレスに見つけられないことがあります。エラーが検出された整列済みの 16 バイト ECC データユニット内に見つかります。単一の読み出し動作中に複数の ECC データユニットにエラーが見つかった場合、最初の不良の ECC ユニットのアドレスのみが EATV レジスタにキャプチャされます。  
 2 ビット エラー検出が有効でなく、同じ ECC ユニットが複数回プログラムされた場合、その ECC ユニットの ECC エラー検出が無効にされ、エラーが認識できないのでアドレスをトラップできません。  
 ECC ステータス レジスタ (ECSV) ビット 3 または 4 が 1 の場合、アドレストラップレジスタは有効なアドレスを持ちます。
- アドレストラップレジスタは任意レジスタ読み出しトランザクションで読み出されます。
- ECC ステータス レジスタクリアトランザクション、POR または CS# シグナリング / ハードウェア / ソフトウェアリセットは、アドレストラップレジスタをクリアします。



#### 4.1.1.4 ECC エラー検出カウンタ (ECTV)

- フラッシュ メモリアレイからデータが読み出される時に発生した 1 ビットまたは 2 ビットエラーの数をカウントするための 16 ビットレジスタが用意されています。メインアレイで認識されたエラーのみが、エラー検出カウンタを増分させます。ECTV レジスタは読み出しトランザクションの間のみ更新されます。ECC ステータス読み出しトランザクションは ECTV レジスタに影響しません。  
16 ビットエラー検出カウンタは FFFFh を越えて増分しませんが、ECC は動作を継続します。  
注: 連続した読み出し動作中に、1 ビットまたは 2 ビットエラーが検出されると、クロックがトグルし続け、メモリ デバイスはデータアドレスの増分および DQ 信号上の新データの配置を継続することがあります。エラーが発生した追加のデータユニットは CS# が HIGH に戻されるまでカウントされます。  
読み出しトランザクション中は、エラーが発生したデータユニットごとに 1 つのエラーのみがカウントされます。各読み出しトランザクションでは、対象のデータユニットへの読み出しが新しく行われます。もし複数の読み出しトランザクションがエラーのある同じデータユニットにアクセスしたら、エラーカウンタはデータユニットが読み出されるたびに増分します。  
2 ビットエラー検出が有効でなく、同じデータユニットが複数回プログラムされた場合、そのデータユニットの ECC エラー検出が無効にされ、エラーが認識されず、カウントされません。
- ECC エラー検出カウンタレジスタは、任意レジスタ読み出しトランザクションで読み出されます。
- POR、CS# シグナリング / ハードウェア / ソフトウェアリセットまたは ECC ステータスレジスタクリアトランザクションでは、ECTV レジスタは「0」にセットされます。

#### 4.1.1.5 INT# 出力

- HL-T/HS-T は、フラッシュ デバイス内にイベントが発生したことをホストシステムに通知する INT# 出力ピンをサポートします。ユーザーは、以下のときにアクティブ (LOW) に遷移するよう INT# 出力ピンを設定できます。
  - 2 ビット ECC エラーの検出時
  - 1 ビット ECC エラーの検出時
  - ビジー状態からレディ状態への遷移時INT# ピンは BGA パッケージでのみ利用可能です。動作は INT# 出力 (通常は HIGH) が有効になった状態で割込みコンフィギュレーションレジスタ (INCV) によって制御されます。割込みコンフィギュレーションレジスタは、INT# 出力ピンで HIGH から LOW への遷移をトリガーするように内部イベントが有効にされるタイミングを決定します。  
割込みステータスレジスタ (INSV) は、INSV が最後にクリアされた以降生じた有効な内部イベントを示します。  
有効にされると、INT# 出力ピンは有効なイベントの発生時に HIGH から LOW に遷移します。ホストが INT# が LOW 状態に遷移したことを認識すると、INSV レジスタが読み出され、どの内部イベントが原因であるかを判定します。POR、ハードウェアリセット、ソフトウェアリセット、DPD 終了、または CS# シグナリングリセット中の INT# 出力の状態は無効です。
- INCV および INSV は SPI とオクタルインターフェースの任意レジスタ読み出しトランザクションによりアクセスできます。INCV への任意レジスタ書き込みトランザクションは、オクタルインターフェースでのみサポートされています。
- 以下の方法で、INT# 出力を (外部プルアップ抵抗で HIGH に戻る) HIGH 状態に戻させます。
  - 割込みコンフィギュレーションレジスタのビット 7 に「1」をロードすることで、INT# 出力を無効にします。
  - 出力を LOW にするどの内部イベントが生じたかを示す INSV ビット中の適切なビットを (「1」を書き込むことで) リセットします。LOW 状態にあって INSV 内で有効にされたすべての INSV ビットは、INT# 出力が HIGH に戻る前にリセットされる必要があります。
  - INT# 出力も、CS# シグナリングリセット、ハードウェアリセット (RESET#=LOW) または POR によりデフォルト状態 (無効、High-Z) に戻されます。ハードウェアリセットおよび POR は、割込みコンフィギュレーションレジスタをデフォルト状態 (全割込みが無効) に戻すことで、すべての割込みを無効にします。

機能

- ECC イベントの後に ECC ステータスレジスタをクリアすると、INT# 出力を強制的に HIGH 状態にします。

### 4.1.2 ECC に関連するレジスタとトランザクション

Table 10 ECC に関連するレジスタとトランザクション

関連するレジスタ	関連する SPI トランザクション (Table 75 を参照)	関連オクタルトランザクション (Table 78 を参照)
コンフィギュレーションレジスタ 4 (CFR4N, CFR4V) (Table 52 を参照してください)	任意レジスタ読み出し (RDARG_C_0)	任意レジスタ読み出し (RDARG_4_0)
ECC ステータスレジスタ (ECSV) (Table 58 を参照してください)	書き込みイネーブル (WRENB_0_0)	書き込みイネーブル (WRENB_0_0)
ECC アドレストラップレジスタ (EATV) (Table 59 を参照してください)	任意レジスタ書き込み (WRARG_C_1)	任意レジスタ書き込み (WRARG_4_1)
ECC エラー検出カウンタレジスタ (ECTV) (Table 60 を参照)	ECC ステータス読み出し (RDECC_4_0)	ECC ステータス読み出し (RDECC_4_0)
割込みコンフィギュレーションレジスタ (INCV) (Table 68 を参照してください)	ECC ステータスレジスタクリア (CLECC_0_0)	ECC ステータスレジスタクリア (CLECC_0_0)
割込みステータスレジスタ (INSV) (Table 69 を参照してください)	-	-

## 4.2 Endurance Flex アーキテクチャ (ウェアレベリング)

インフィニオン Endurance Flex アーキテクチャでは、高耐久性が長期データ保持に設定可能な領域にメインメモリアレイを分割できます。Endurance Flex は、ウェアレベリング プールの一部であるすべてのセクタにプログラム / 消去サイクルが均等に分布される高耐久性領域にウェアレベリングを実装します。これは、個々のセクタの早期摩耗を防止し、デバイスの信頼性を大きく向上させます。

アーキテクチャ上では、Endurance Flex のウェアレベリングアルゴリズムは論理セクタの物理セクタへのマッピングに基づいています。製品の寿命期間中に、このマッピングはすべての物理セクタにおけるプログラム / 消去サイクルの均等な分布を維持するように変更されます。論理から物理へのマッピング情報は、セクタがスワップされたときに更新される専用フラッシュアレイに格納されます。セクタスワップは、消去トランザクションが発行されると行われます。

Endurance Flex の高耐久性領域は少なくとも 20 セクタのセットを必要とします。長期データ保持期間、高耐久性、または両方の領域の設定に柔軟性を提供するために、4 ポインタ アーキテクチャが用意されています。工場出荷時の設定では、すべてのポインタを無効にしており、ウェアレベリングの一部としてすべてのセクタを高耐久性として指定しています。4 ポインタを使用して最大 5 つの領域を形成し、それぞれを長期データ保持または高耐久性に設定できます。

Figure 37 は Endurance Flex アーキテクチャの概要を提供します。異なるセクタ アーキテクチャに基づいた 5 つの可能な領域を示します。

注: 4KB セクタは Endurance Flex アーキテクチャの一部ではありません。

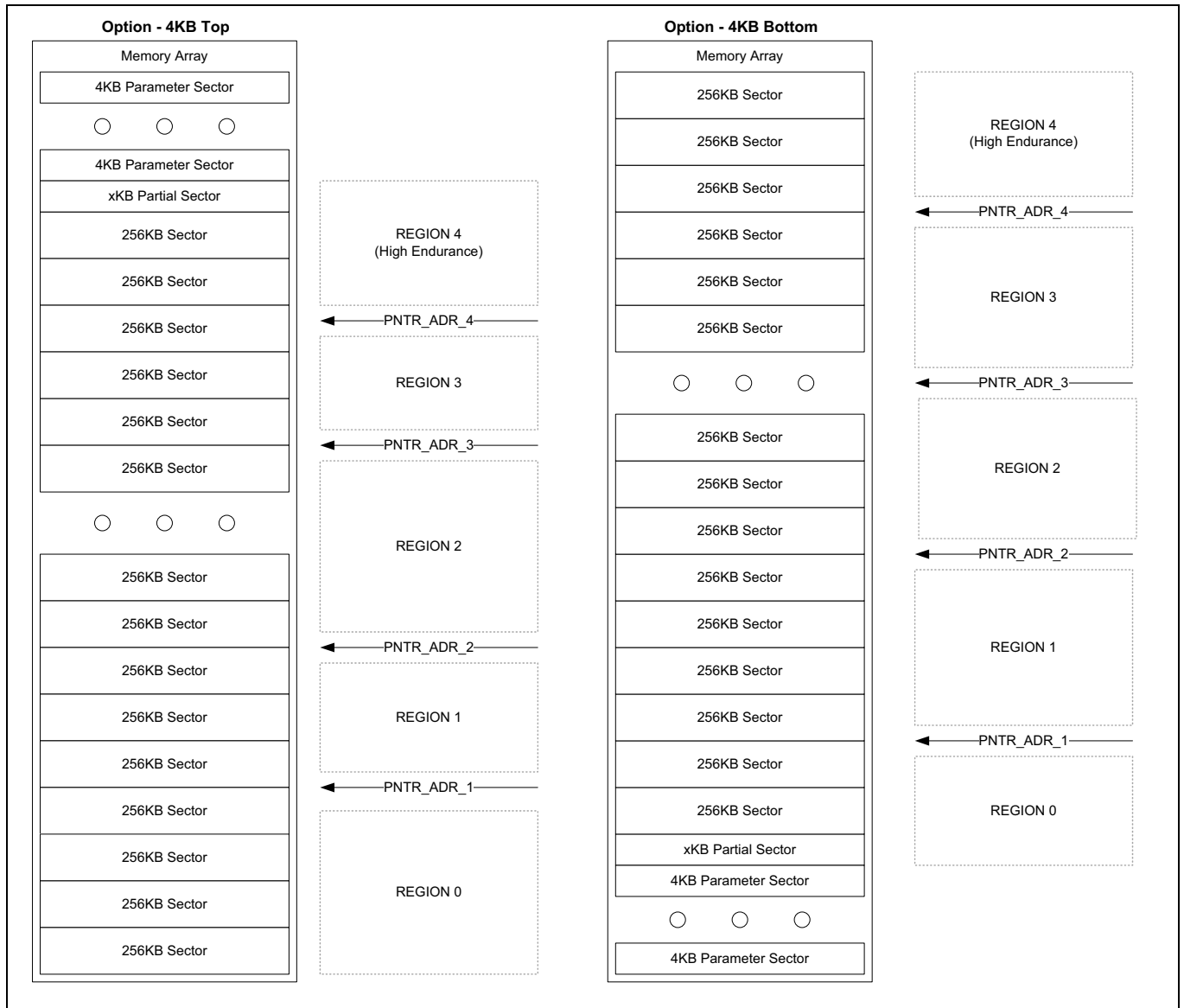


Figure 37 Endurance Flex アーキテクチャ概要

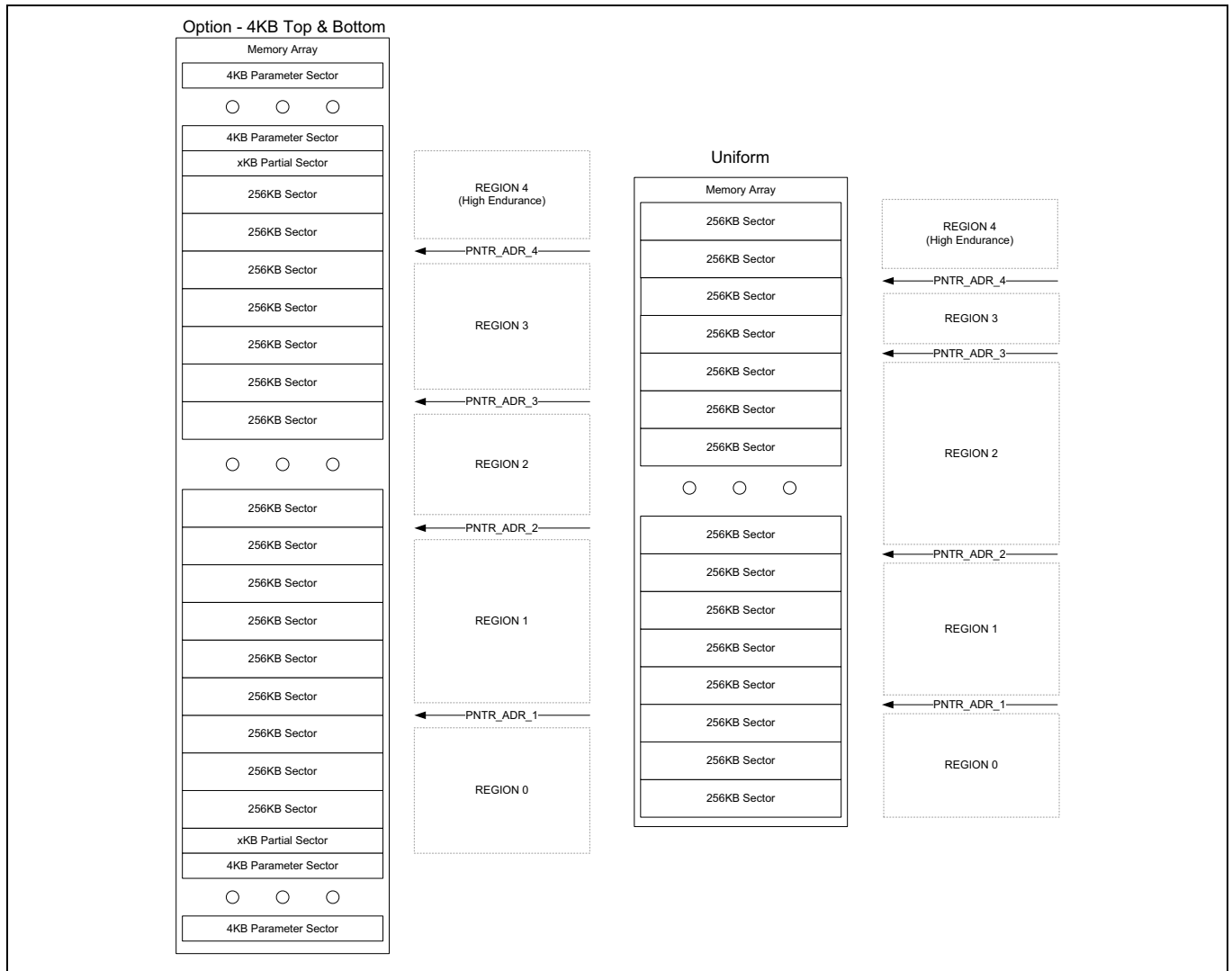


Figure 38 Endurance Flex アーキテクチャ概要 ( 続き )

Table 11 領域定義 [11, 12, 13, 14]

領域	下限	上限
0	セクタ 0	アドレス ポインタ 1
1	アドレス ポインタ 1	アドレス ポインタ 2
2	アドレス ポインタ 2	アドレス ポインタ 3
3	アドレス ポインタ 3	アドレス ポインタ 4
4	アドレス ポインタ 4	最上位セクタ

注

11. ポインタ アドレスは以下の規則に従う必要があります。  
 ポインタ 4 アドレス > ポインタ 3 アドレス  
 ポインタ 3 アドレス > ポインタ 2 アドレス  
 ポインタ 2 アドレス > ポインタ 1 アドレス
12. 4KB セクタは含まれません。
13. 高耐久性領域と長期データ保持領域は、デバイスが最初に電源投入されたときに設定する必要があります。これらは 1 度設定されると、変更できません。
14. いずれの高耐久性領域もその最小サイズは 20 セクタです。

#### 4.2.1 コンフィギュレーション 1: 最大耐久性 - 1 高耐久性領域

最大耐久性は、すべての 256KB セクタを高耐久性として指定することで達成できます。すべてのセクタは Endurance Flex ポインタ アーキテクチャを使用して高耐久性として指定する必要があります。最大耐久性のポインタ コンフィギュレーションを、Table 12 に示します。

Table 12 最大耐久性コンフィギュレーションのための Endurance Flex ポインタ値<sup>[15]</sup>

ポインタ番号	ポインタアドレス EPTADn[8:0]	領域タイプ ERGNTn	ポインタイネーブル番号 EPTEBn	グローバル領域選択 GBLSEL	ウェアレベリングイネーブル WRLVEN
0	該当なし	該当なし	該当なし	1'b1	1'b1
1	9'b111111111	1'b1	1'b1	該当なし	該当なし
2	9'b111111111				
3	9'b111111111				
4	9'b111111111				

注  
 15.これもデバイスのデフォルト コンフィギュレーションです。

#### 4.2.2 コンフィギュレーション 2: 2 領域選択 - 1 長期データ保持領域と 1 高耐久性領域

長期データ保持または高耐久性のセクタは Endurance Flex ポインタ アーキテクチャを使用して指定する必要があります。領域 0 は長期データ保持として指定され、16 セクタから成ります。領域 1 は高耐久性として指定され、240 セクタから成ります。2 領域コンフィギュレーションのポインタセットアップを、Table 13 に示します。定義されるポインタの数は、構成される領域の数に基づきます。

Table 13 2 領域コンフィギュレーションのための Endurance Flex ポインタ値

ポインタ番号	ポインタアドレス EPTADn[8:0]	領域タイプ ERGNTn	ポインタイネーブル番号 EPTEBn	グローバル領域選択 GBLSEL	ウェアレベリングイネーブル WRLVEN
0	該当なし	該当なし	該当なし	1'b0	1'b1
1	9'b000010000	1'b1	1'b0	該当なし	該当なし
2	9'b111111111	1'b1	1'b1		
3					
4					

#### 4.2.3 Endurance Flex に関連するレジスタとトランザクション

Table 14 Endurance Flex に関連するレジスタとトランザクション

関連するレジスタ	関連する SPI トランザクション (Table 75 を参照してください)	関連するオクタルトランザクション (Table 78 を参照してください)
Endurance Flex アーキテクチャ選択レジスタ (EFX40, EFX30, EFX20, EFX10, EFX00) (106 ページの “Endurance Flex アーキテクチャ選択レジスタ (EFXx)” を参照してください)	任意レジスタ読み出し (RDARG_C_0)	任意レジスタ読み出し (RDARG_4_0)
	任意レジスタ書き込み (WRARG_C_1)	任意レジスタ書き込み (WRARG_4_1)

### 4.3 インターフェース CRC

インターフェース CRC は、ホストとデバイス間の通信に対するハードウェア加速の CRC 計算を実行し、転送される情報の整合性を確実にします。CRC は、デバイスで生データへの誤った変更を検出するために一般的に使用されるエラー検出コードです。インターフェース CRC 保護はコンフィギュレーションオプションです (ICEV[0] - ITCRCCE)。

HL-T/HS-T デバイス ファミリのインターフェース CRC 方式は、CRC チェック値を検証し適切な処置を取るために、ホストに全面的に依存します。デバイスは、ホストがインターフェース CRC 読み出しトランザクション (RDCRC\_4\_0) を使用して読み出す CRC チェック値を計算します。計算結果のチェック値は、CS# が LOW の間のすべてのトランザクション内容、すなわち、コマンド、アドレスおよびデータを含みます。この CRC チェックサムは、単一のトランザクションまたは一連のトランザクションのいずれに対しても生成できます。唯一の制限は、スレーブが CRC チェックサムを計算するデータサイズは  $2^{32}$  ビットより小さくしなければならないことです。

ホストも同じトランザクションシーケンスに対して CRC チェック値を計算する必要があります。準備ができたとき、ホストはデバイスが計算した CRC チェック値を読み出し、自分が計算したものと比較します。不一致の場合、ホストは完全なトランザクションシーケンスを繰り返すことを選択できます。

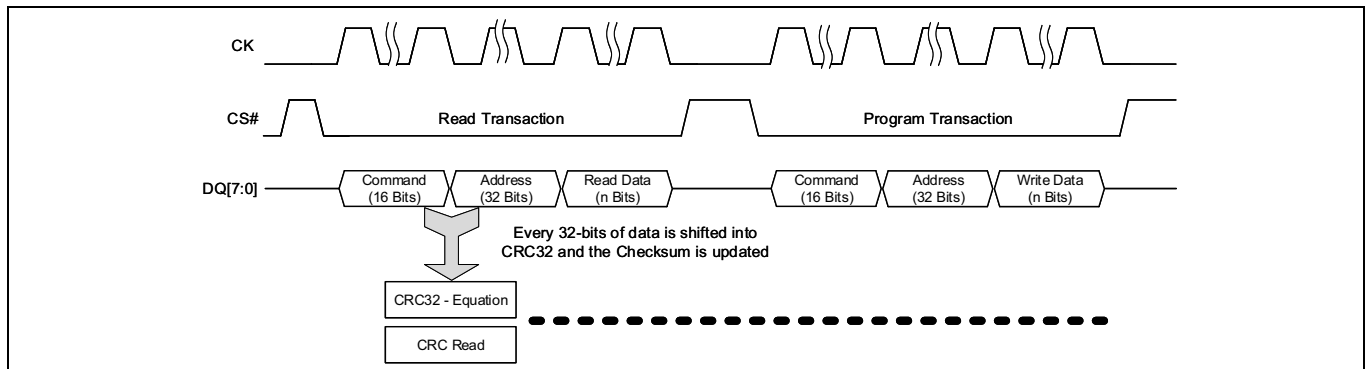


Figure 39 CRC 計算の概要

注:

- CRC 読み出しトランザクションの終了時、デバイスは CRC チェック値をリセットし、CRC 多項式を再初期化します。
  - CRC32 多項式:  $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$
- ホストとデバイスの CRC 多項式は同一でなければなりません。
- インターフェース CRC はオクタル DDR プロトコルでのみサポートされます。
- インターフェース CRC チェック値は以下の条件で 0xFFFFFFFFh にリセットされます。
  - POR
  - ハードウェア リセット
  - ソフトウェア リセット
  - CS# シグナリング リセット
  - インターフェース CRC チェック値の読み出し
- ディープパワーダウンの終了

機能

注:

- コマンドが正常に受信される前にトランザクションが中止された場合、すなわち、転送の長さが、早い CS# デアサートのため短縮された場合、転送されたデータは CRC チェック値にクロック入力されますが、もはや保証されません。インターフェース CRC を使用する際、有効なアボートされていないトランザクションのみが使用されなければなりません。
- インターフェース CRC 値は揮発性ステータスレジスタの読み出しの前に読み出す必要があります。また揮発性ステータスレジスタの読み出しの後にインターフェース CRC 値をクリアする必要があります。
- インターフェース CRC が無効のとき、インターフェース CRC レジスタ値は不定になります。インターフェース CRC 機能を無効にする前にインターフェース CRC レジスタを読み出し、CRC 計算を再初期化するためにインターフェース CRC 機能を有効にした後にもう一度読み出すことを推奨します。

### 4.3.1 読み出し

読み出し動作は、CS#=LOW のときにホストが READ トランザクションを指定したときに行われます。その後、デバイスはアドレスに基づいてメモリからのデータを提供します。新しい READ トランザクションを発行することなく、連続したアドレスに対して任意のバイト数で読み出し (バースト読み出し) が可能です。

トランザクション保護のために、デバイスは CRC32 多項式を使用してトランザクションシーケンス全体 (CS# LOW 状態) に対して CRC を実行します。CS# を HIGH にすると、CRC 計算は停止され、チェック値は CRC レジスタにラッチされます。ホストが複数回の READ トランザクションを実行した場合、デバイスは毎回の CS# LOW サイクルの間に CRC チェック値の更新を継続します。

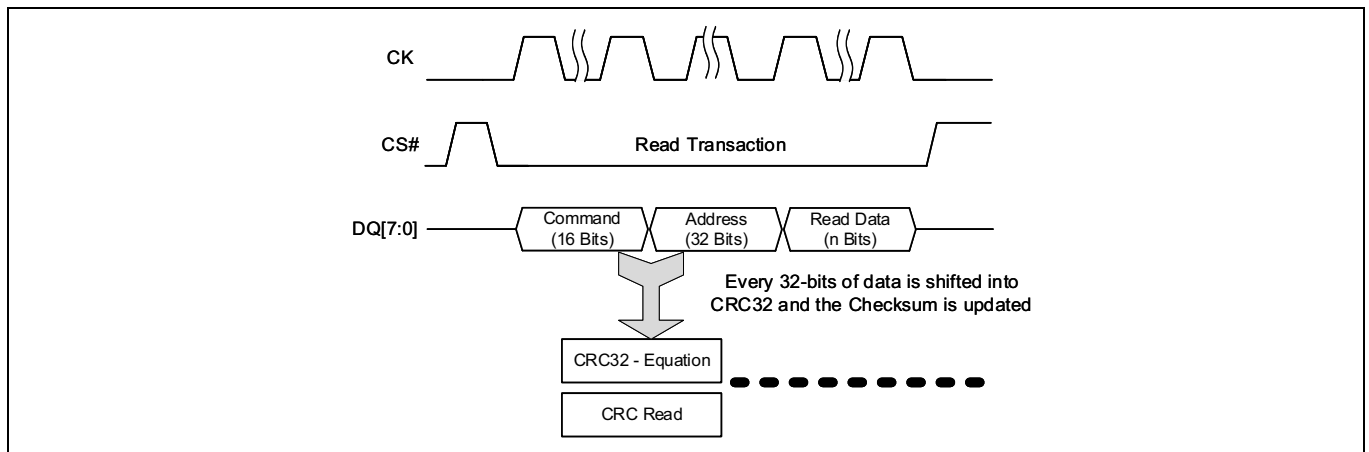


Figure 40 CRC による読み出し保護

注: 連続したインターフェース CRC 読み出しトランザクションは、リセットされる CRC チェックサム値を示しません。各インターフェース CRC レジスタ読み出しトランザクションの終了時、インターフェース CRC レジスタはリセットされ、少なくとも 3 クロックサイクルの間の有効な入力データによるトランザクションが行われた後に、レジスタそれ自体を新しい CRC チェックサム値で更新します。

### 4.3.2 プログラム / 消去

プログラム動作は、CS#=LOW のときにホストがプログラムトランザクションを指定したときに行われます。新しいプログラムトランザクションを発行することなく、連続したアドレスに対して最大 256 バイト / 512 バイトの書き込み (バースト書き込み) が可能です。消去動作は、CS#=LOW の間に、ホストが消去トランザクションを指定したときに行われます。単一のセクタもデバイス全体も消去できます。

トランザクション保護のために、スレーブ デバイスは、CRC32 多項式を使用して、命令シーケンス全体 (CS# LOW 状態) に対して CRC を実行します。プログラム / 消去トランザクションを完了するために CS# を HIGH にすると、CRC 計算は停止され、チェックサムは CRC レジスタにラッチされます。ホストが複数回のプログラム / 消去トランザクションを実行した場合、スレーブ は毎回の CS# LOW サイクルの間に CRC チェックサムの更新を継続します。

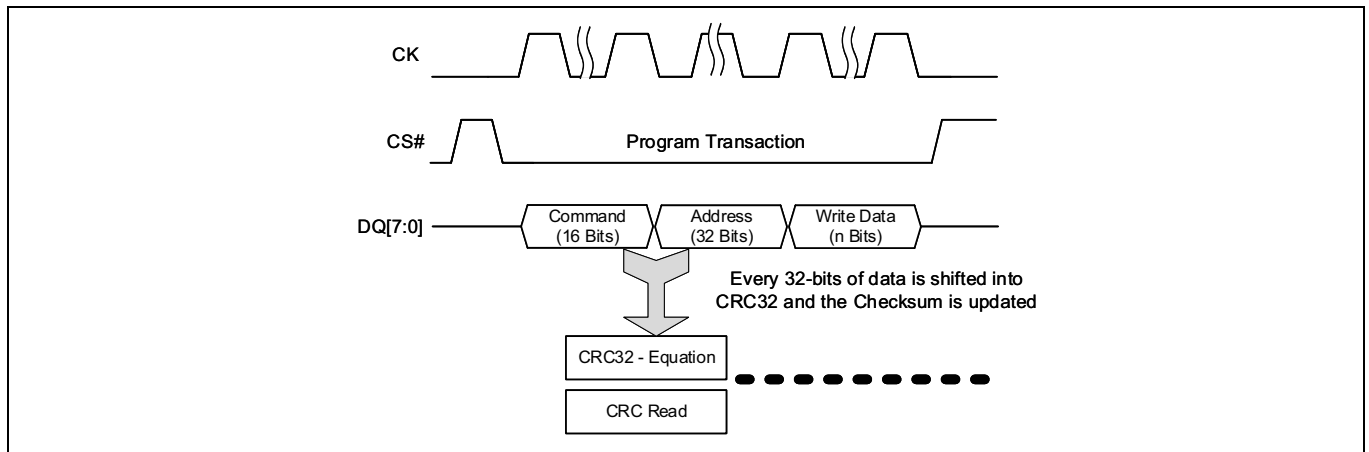


Figure 41 CRC によるプログラム保護

ホスト デバイスは読み出しインターフェース CRC トランザクションを使用し、スレーブ デバイスからの CRC チェックサムを読み出します。スレーブ デバイスは RDCRC\_4\_0 トランザクションを CRC チェックサムの一部として含み、その後チェックサム データをデータバス上に配置します。ホスト デバイスが、スレーブ からの CRC チェックサムの受信時に、ホスト デバイス自体が計算した CRC チェックサムとの不一致を検出した場合、ホスト デバイスはスレーブ デバイスにプログラム / 消去トランザクションを再発行できます。フラッシュでは、CRC チェックサム エラーに起因する同じ位置への複数回のプログラム / 消去は、アクセス可能回数に影響します。Figure 42 に、この問題の解決策を示します。



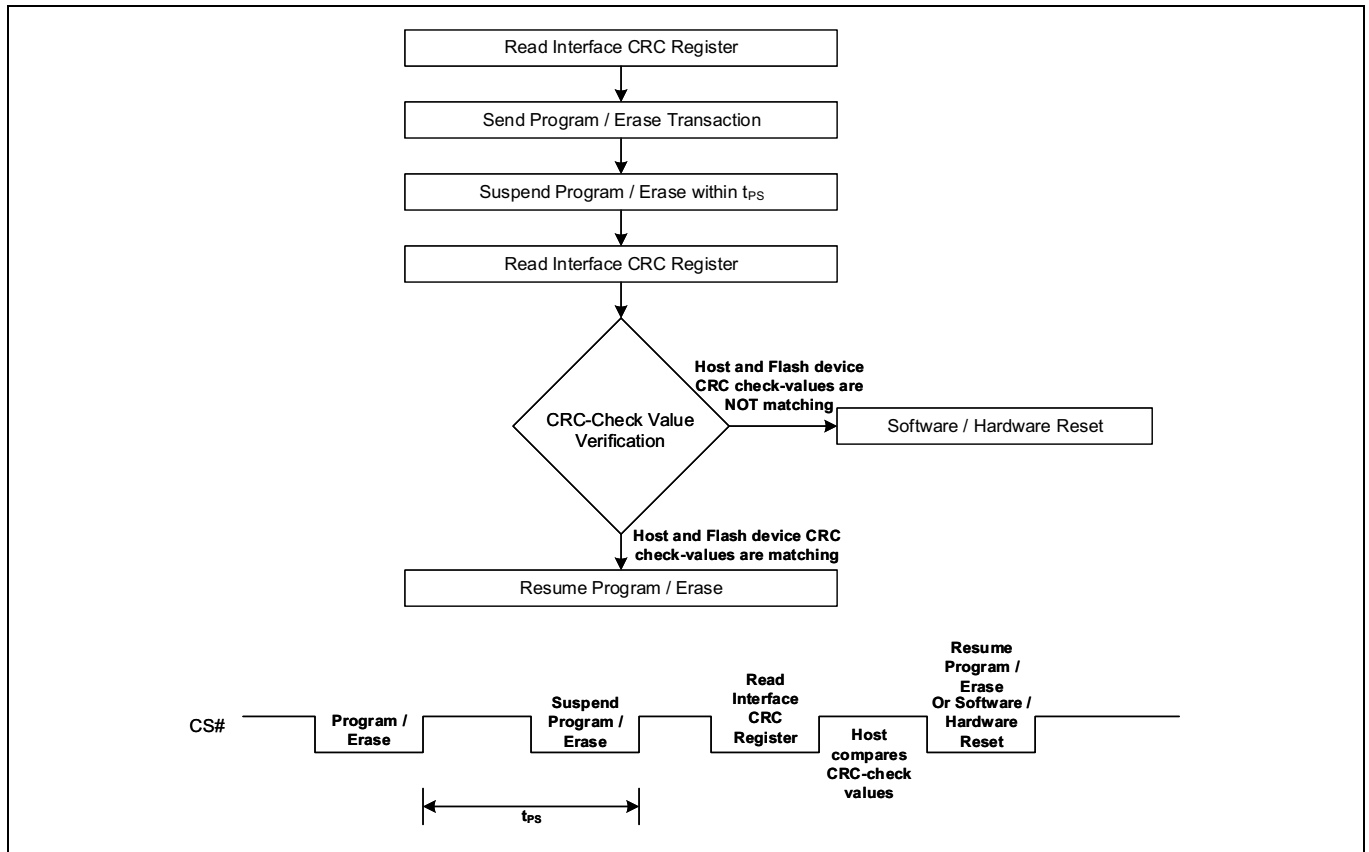


Figure 42 プログラムおよび消去トランザクションのインターフェース CRC フロー

### 4.3.3 インターフェース CRC に関連するレジスタとトランザクション

Table 15 インターフェース CRC に関連するレジスタとトランザクション

関連するレジスタ	関連する SPI トランザクション (Table 75 を参照してください)	関連するオクタルトランザクション (Table 78 を参照してください)
インターフェース CRC イネーブル レジスタ (ICEV) (Table 55 を参照)	該当なし	インターフェース CRC レジスタ読み出し (RDCRC_4_0)

#### 4.4 データ整合性 CRC

HL-T/HS-T ファミリ デバイスは、メモリアレイ内のユーザー定義アドレス範囲に対してハードウェア加速の CRC 計算を実行するために一連のトランザクションを備えています。計算はプログラムや消去と同じような組込み動作のもう一つのタイプであり、計算実行中はデバイスがビジーになります。CRC 動作は、インターフェース CRC と同じ CRC32 多項式を使用して、CRC チェック値を計算します。

$$\text{CRC32 多項式} : X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$$

チェック値の生成シーケンスは、DICHK\_4\_1 トランザクションの入力で開始します。このトランザクションは、CRC 計算の対象となるアドレス範囲の開始を定義する CRC 開始アドレス レジスタに開始アドレスをロードすることを含みます。また、CRC 終了アドレス レジスタに終了アドレスをロードすることも含みます。CS# を HIGH にすると、CRC 計算が始まります。CRC プロセスは、開始アドレスと終了アドレスの間に格納されているデータのチェック値を計算します。

計算期間中、デバイスはビジー状態 (STR1V[0] -RDYBSY=1) に入ります。チェック値の計算が完了すると、デバイスはレディ状態 (STR1V[0] -RDYBSY=0) に戻り、計算結果のチェック値は読み出し可能になります。チェック値はデータ整合性 CRC レジスタ (DCRV[31:0]) に格納され、任意レジスタ読み出しトランザクションを使用して読み出せます。

チェック値の計算はデバイスがスタンバイ状態のときにのみ開始できます。始まった計算は、メモリアレイからデータを読み出すために CRC 一時停止トランザクション (SPEPD\_0\_0) で一時停止できます。一時停止状態では、ステータスレジスタ 2 の CRC 一時停止ステータスビットがセットされます (STR2V[4] -DICRCS=1)。いったん一時停止されたら、ホストはステータスレジスタを読み出したり、メモリアレイからデータを読み出したり、CRC 再開トランザクション RSEPD\_0\_0 で CRC 計算を再開できます。

終了アドレス (ENDADD) は、開始アドレス (STRADD) より少なくとも 2 アドレス高くなければなりません。[ENDADD<STRADD+3] の場合、チェック値の計算は中止され、デバイスはレディ状態に戻ります (STR1V[0] -RDYBSY=0)。データ整合性 CRC 中止ステータスビットはセットされ (STR2V[3] -DICRCA=1)、中止状態を示します。DICRCA ビットはセットされたら、ソフトウェアリセットまたは後続の有効な CRC コマンド実行でクリアできます。[ENDADD<STRADD+3] の場合、チェック値は不定のデータを保持します。

注 :CRC チェック値の計算中に無効なトランザクションがあると、チェック値データが壊れることがあります。

#### 4.4.1 データ整合性チェックに関連するレジスタとトランザクション

Table 16 データ整合性 CRC に関連するレジスタとトランザクション

関連するレジスタ	関連する SPI トランザクション (Table 75 を参照してください)	関連するオクタルトランザクション (Table 78 を参照してください)
ステータスレジスタ 1 (STR1N, STR1V) (Table 41 を参照)	データ整合性チェック (DICHK_4_1)	データ整合性チェック (DICHK_4_1)
ステータスレジスタ 2 (STR2V) (Table 44 を参照してください)	消去 / プログラム / データ整合性チェック一時停止 (SPEPD_0_0)	消去 / プログラム / データ整合性チェック一時停止 (SPEPD_0_0)
データ整合性 CRC チェック値レジスタ (DCRV) (Table 57 を参照してください)	消去 / プログラム / データ整合性チェック再開 (RSEPD_0_0)	消去 / プログラム / データ整合性チェック再開 (RSEPD_0_0)

## 4.5 データ保護スキーム

データ保護は、保存されているデータおよびデバイスコンフィギュレーションへの誤った変更を防止するために必要です。誤った変更には、メモリアレイの誤った消去やプログラムだけでなく、デバイスの機能を変化させる可能性のあるコンフィギュレーションレジスタへの書き込みも含まれます。保護スキームは、単一のセクタやセクタグループ、メモリアレイの一部または全体を対象とする3つのタイプがあります。Figure 43 に、異なる保護スキームと該当するデータ領域の概要を示します。

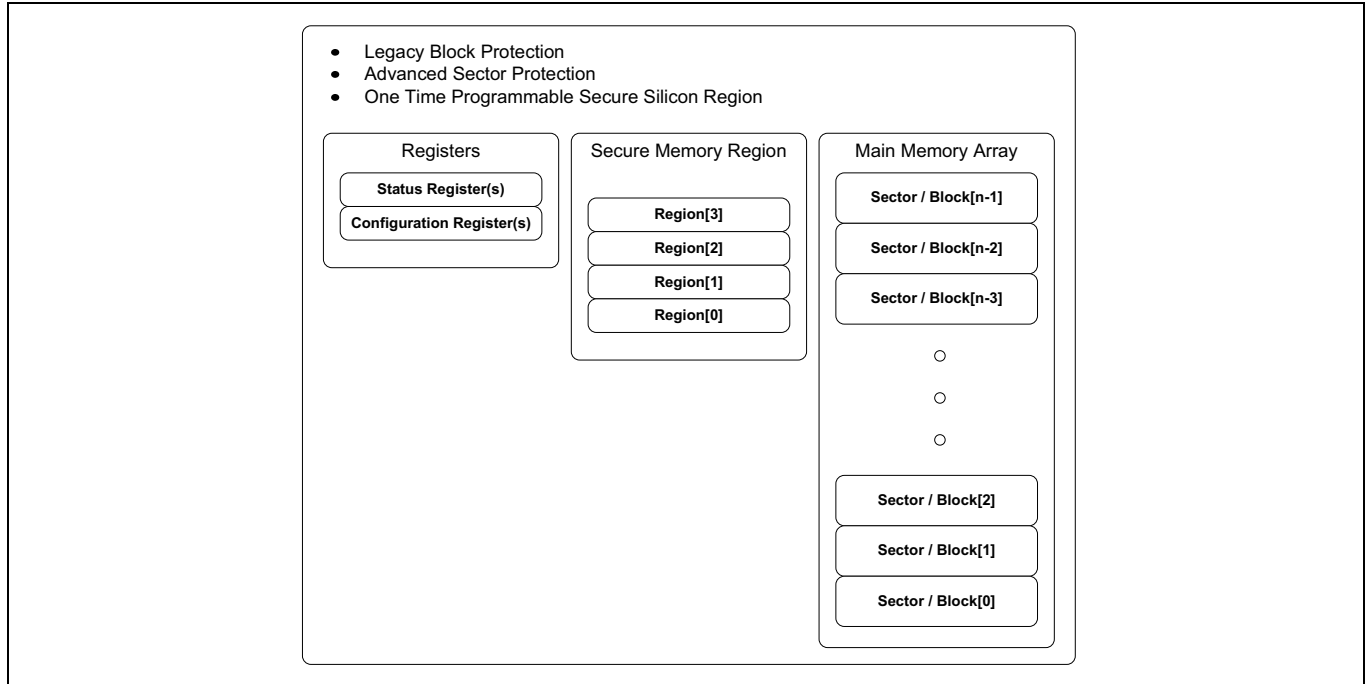


Figure 43 データ保護およびセキュリティ (書き込み / プログラム / 消去) スキーム

#### 4.5.1 レガシー ブロック保護 (LBP)

レガシー ブロック保護 (LBP) はブロックベースのデータ保護スキームです。LBP は、レガシー シリアル NOR フラッシュ デバイスとの互換性をサポートします。LBP は、ステータスとコンフィギュレーションレジスタを保護することにより、メモリアレイおよびデバイスコンフィギュレーション内のデータを保護します。

##### 4.5.1.1 メモリアレイ保護

メモリアレイの保護は、ステータスレジスタ 1 (STR1N[4:2]/STR1V[4:2] - LBPROT[2:0]) およびコンフィギュレーションレジスタ 1 (CFR1N[5]/CFR1V[5] - TBPROT) のビットの組合せによるブロックサイズの選択に依存します。Table 17 は、LBP メモリアレイのブロック選択の概要を示します。

Table 17 レガシーブロックメモリアレイ保護の選択

CFR1N[5]/ CFR1V[5] TBPROT	STR1N[4]/ STR1V[4] LBPROT[2]	STR1N[3]/ STR1V[3] LBPROT[1]	STR1N[2]/ STR1V[2] LBPROT[0]	メモリアレイ ブロック サイズ	256Mb (KB)	512Mb (KB)	1Mb (KB)
0	0	0	0	無	0	0	0
0	0	0	1	上位 1/64	512	1024	2048
0	0	1	0	上位 1/32	1024	2048	4096
0	0	1	1	上位 1/16	2048	4096	8192
0	1	0	0	上位 1/8	4096	8192	16384
0	1	0	1	上位 1/4	8192	16384	32768
0	1	1	0	上位 1/2	16384	32768	65536
0	1	1	1	全セクタ	32768	65536	131072
1	0	0	0	無	0	0	0
1	0	0	1	下位 1/64	512	1024	2048
1	0	1	0	下位 1/32	1024	2048	4096
1	0	1	1	下位 1/16	2048	4096	8192
1	1	0	0	下位 1/8	4096	8192	16384
1	1	0	1	下位 1/4	8192	16384	32768
1	1	1	0	下位 1/2	16384	32768	65536
1	1	1	1	全セクタ	32768	65536	131072

##### 4.5.1.2 コンフィギュレーション保護

LBP はコンフィギュレーションレジスタ 1 (CFR1N[4,0]/CFR1V[4,0] - PLPROT, TLPROT) で選択ビットを持っています。これらの選択ビットはステータスとコンフィギュレーションレジスタを恒久的または一時的に保護し、従ってデバイスのコンフィギュレーションを保護します。一時的保護は、次の電源切断、ハードウェアリセット、または CS# シグナリングリセットまで有効なままです。

Table 18 オプション 2 - レガシー ブロック コンフィギュレーション保護の選択 <sup>[16]</sup>

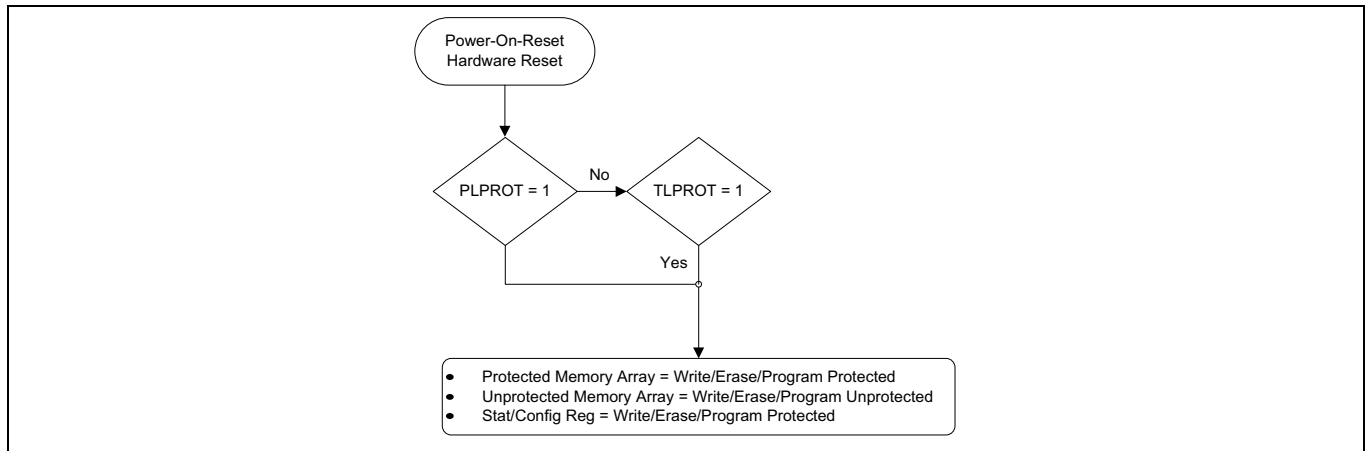
CFR1N[4]/CFR1V[4] PLPROT	CFR1N[0]/CFR1V[0] TLPROT	レジスタ保護ステータス
0	0	ステータスとコンフィギュレーションレジスタは保護されません。
1	X	ステータスとコンフィギュレーションレジスタは恒久的に保護されます (TBPROT, LBPROT[2:0], SP4KBS, TB4KBS)。
0	1	ステータスとコンフィギュレーションレジスタは次の電源切断まで保護されます (TBPROT, LBPROT[2:0], SP4KBS, TB4KBS)。

注

16. コンフィギュレーションを保護することで、保護のために選択されたメモリアレイブロックも保護されます。

### 4.5.1.3 レガシー ブロック保護のフローチャート

LBP 保護スキームのフローチャートを、**Figure 44** に示します。



**Figure 44** レガシー ブロック保護のフローチャート

### 4.5.1.4 LBP に関連するレジスタとトランザクション

**Table 19** LBP に関連するレジスタとトランザクション

関連するレジスタ	関連する SPI トランザクション (Table 75 を参照してください)	関連するオクタルトランザクション (Table 78 を参照してください)
ステータス レジスタ 1 (STR1N, STR1V) (Table 41 を参照してください)	任意レジスタ読み出し (RDARG_C_0)	任意レジスタ読み出し (RDARG_4_0)
コンフィギュレーション レジスタ 1 (CFR1N, CFR1V) (Table 45 を参照)	任意レジスタ書き込み (WRARG_C_1)	任意レジスタ書き込み (WRARG_4_1)
	ステータス レジスタ 1 読み出し (RDSR1_0_0)	ステータス レジスタ 1 読み出し (RDSR1_4_0)
	書き込みイネーブル (WRENB_0_0)	書き込みイネーブル (WRENB_0_0)

### 4.5.2 高度セクタ保護 (ASP)

高度セクタ保護スキームでは、消去やプログラムを防止するために揮発性または不揮発性ロック機能によって個々のメモリアレイセクタを独立して制御できます。不揮発性ロックコンフィギュレーションもロックされるか、またはパスワードで保護されます。

メインメモリアレイのセクタは、揮発性 (DYB) と不揮発性 (PPB) の保護ビットペアにより消去やプログラムから保護されます。各 DYB/PPB ビットペアは個別に、該当セクタを保護するために「0」にセットされ、該当セクタの保護を解除するために「1」にクリアされます。DYB 保護ビットは何回でもセットおよびクリアできますが、不揮発性の PPB ビットそれぞれは対応する技術的な耐久性要件を満たす必要があります。Figure 45 に、ASP の概要を示します。

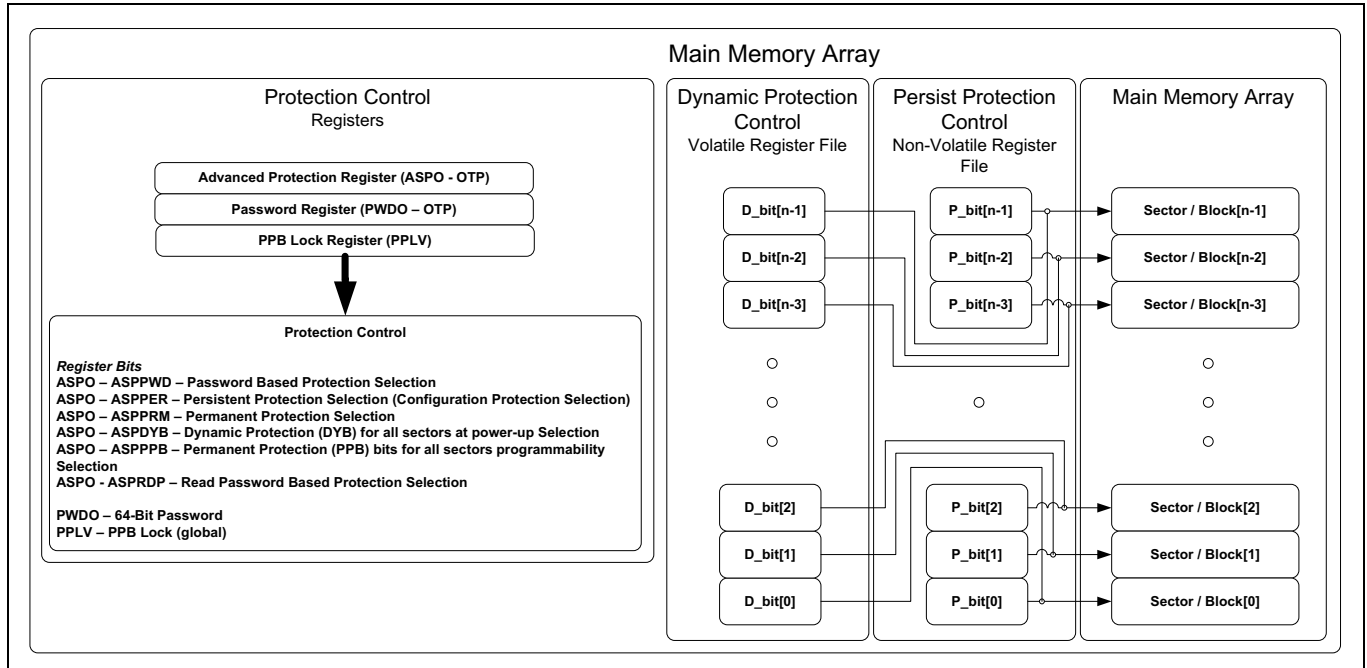


Figure 45 高度セクタ保護 (不揮発性)

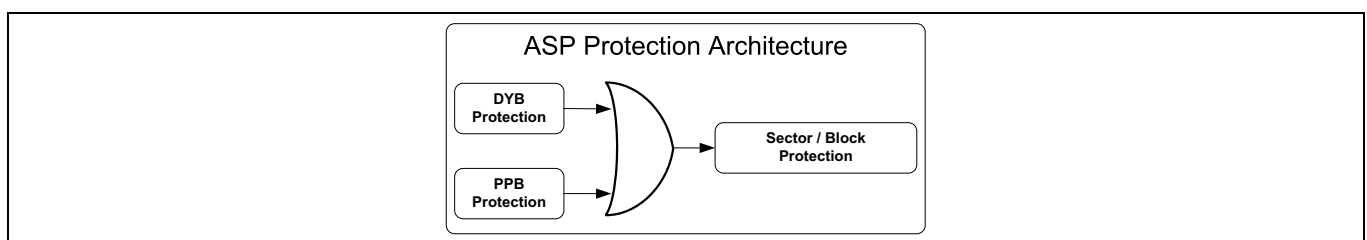


Figure 46 DYB と PPB の保護制御

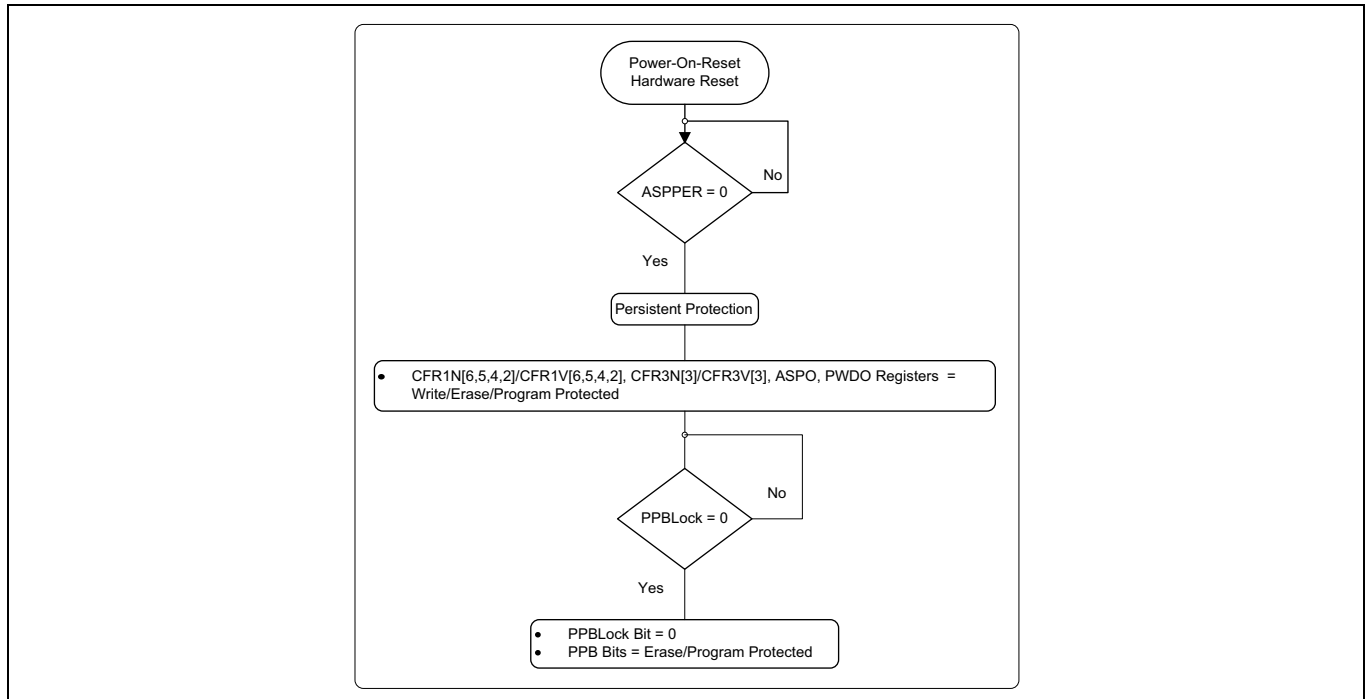
ASP は、設計やシステムのニーズに応じて採用される複数のデータ保護スキームを作り出す豊富なコンフィギュレーションオプションセットを提供します。それらのコンフィギュレーションオプションは、47 ページの “[コンフィギュレーション保護](#)” ～ 52 ページの “[ASP に関連するレジスタとトランザクション](#)” で説明します。

#### 4.5.2.1 コンフィギュレーション保護

ASP は持続的保護スキームを用いてデバイスのコンフィギュレーションを保護します。高度セクタ保護レジスタのビット 1 (ASPO[1] - ASPPER) は持続的保護スキームを選択し、次のレジスタまたはレジスタビットを書き込みやプログラムから保護します。

- CFR1V[6, 5, 4, 2]/CFR1N[6, 5, 4, 2] - SP4KBS, TBPROT, PLPROT, TB4KBS
- CFR3N[3]/CFR3V[3] - UNHYSA
- ASPO[15:0]
- PWDO[63:0]

持続的保護スキームのフローチャートを、**Figure 47** に示します。



**Figure 47** 持続的保護スキームのフローチャート

#### 4.5.2.2 ダイナミック DYB (揮発性) セクタ保護

ダイナミック保護ビット (DYB) は揮発性で各セクタに固有であり、個別に変更できます。DYB は、PPB がクリアされたセクタに対してのみ保護を制御します。DYB 書き込みトランザクションを実行することで、DYB を「0」にセットするか、または「1」にクリアし、各セクタはそれぞれ保護または非保護の状態になります。この機能により、ソフトウェアが意図しない変更からセクタを簡単に保護できますが、変更が必要なときには保護を簡単に取り除くことを妨げません。DYB は、何度でも必要なだけ、「0」にセットまたは「1」にクリアできます。

ダイナミックセクタ保護スキームでは、電源投入時にすべての DYB 揮発性保護ビットを「0」にリセットするオプション (保護済み) があり、基本的にはすべてのセクタを消去やプログラムから保護します。高度セクタ保護レジスタのビット 4 (ASPO[4] - ASPDYB) を選択すると、電源投入保護スキームですべてのセクタに対してダイナミック保護 (DYB) を選択します。これらの DYB ビットは、必要に応じて個別に「1」にセットできます。電源投入時の保護を示すダイナミックセクタ保護スキームのフローチャートを、**Figure 48** に示します。

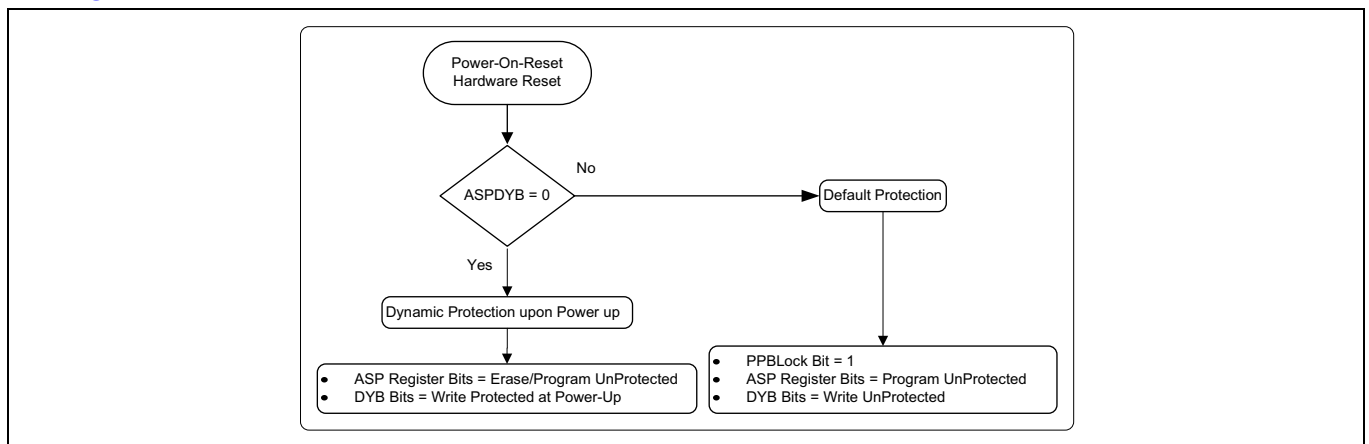


Figure 48 ダイナミックセクタ保護スキームのフローチャート



### 4.5.2.3 恒久的 / 一時的 PPB (不揮発性) セクタ保護

各不揮発性ビット (PPB) は個別のメモリセクタに対する不揮発性保護を提供します。すなわち、対応するビットが「1」にクリアされるまでメモリセクタはロックされたまま (保護が有効) です。ASP で PPB ベースの不揮発性選択を制御するためには、恒久的および一時的と呼ばれる 2 つのオプションが用意されています。

### 4.5.2.4 恒久的 PPB 保護スキーム

PPB は、個別の不揮発性フラッシュアレイに配置されます。セクタごとに 1 つの PPB ビットが割り当てられます。PPB が「0」にプログラムされた場合、該当するセクタはプログラムおよび消去動作から保護されます。PPB は個別にプログラムされますが、グループとして消去される必要があります。これは、個々のワードがメインアレイでプログラム可能であるが PPB セクタ全体が一括での消去を必要とすることと同様です。PPB ビットのプログラムには、通常のワードプログラム時間が必要です。PPB ビットプログラムまたは PPB ビット消去の間に、ステータスレジスタにアクセスしていつ動作が完了したかを確認できます。すべての PPB を消去するためには、標準のセクタ消去時間が必要です。

恒久的 PPB ベースの保護スキームは、その名のとおり、恒久的であり変更されることは決してありません。PPB アーキテクチャがいったん決定されたら、高度セクタ保護レジスタのビット 0 (ASPO[0]) を選択することにより、すべての PPB ビットに対して恒久的保護が有効になり、基本的にはすべての PPB 消去とプログラム動作が無効になります。ASPO は書き込みまたはプログラムからも保護されます。

恒久的 PPB 保護スキームのフローチャートを、[Figure 49](#) に示します。

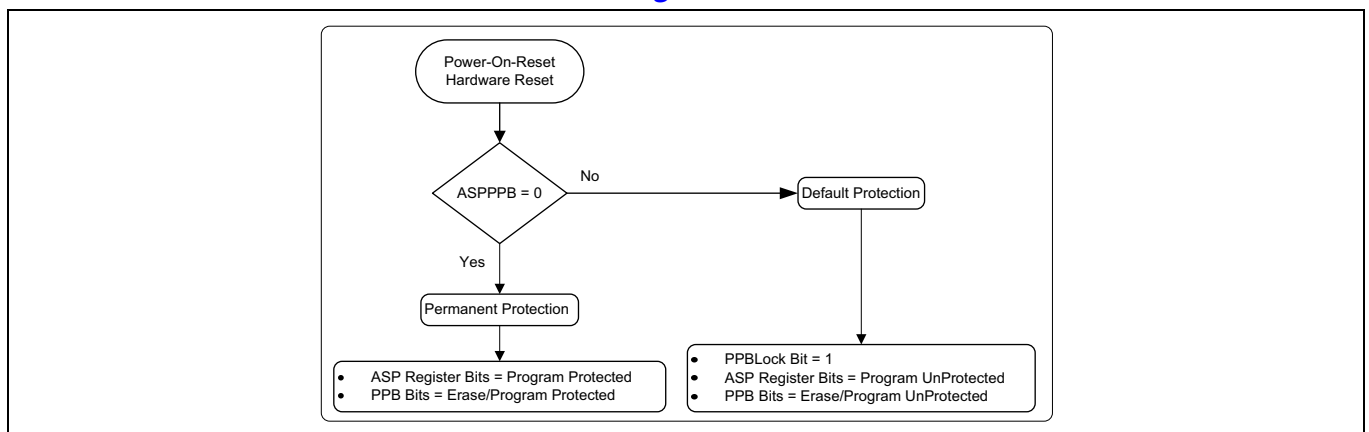


Figure 49 恒久的 PPB セクタ保護のフローチャート

### 4.5.2.5 一時的 PPB 保護スキーム

PPB ベースの不揮発性保護アーキテクチャは一時的にロックできます。その間、個別の PPB ビットの消去とプログラムは禁止されます。持続的保護ロックビット (PPB Lock) は、すべての PPB ビットを保護するための揮発性ビットです。「0」にクリアすると、すべての PPB をロックし、「1」にセットすると PPB の変更を許可します。PPB ロックビットはデバイスあたり 1 つのみです。PPB ロックトランザクション (WRPLB\_0\_0) を使用してこのビットを「0」にクリアします。PPB ロックビットは、すべての PPB を所望の設定にした後にのみ「0」にクリアしなければなりません。PPB ロックビットは、POR またはハードウェアリセット時に「1」にセットされます。PPB ロックトランザクションでクリアされた場合、PPB Lock をセットできるソフトウェアコマンドシーケンスはなく、別のハードウェアリセットまたは電源投入のみが PPB Lock をセットできます。

注：一時的 PPB 保護では、ASP コンフィギュレーションは必要とされません。

#### 4.5.2.6 パスワード保護スキーム

パスワード保護スキームは、PPB ロックをセットするために 64 ビットのパスワードを必要とすることにより、更なる高いレベルのセキュリティを実現します。このパスワード要件に加えて、電源投入またはハードウェアリセット後、電源投入時の保護を確実にするために PPB ロックは「0」にクリアされます。完全なパスワードを入力してパスワードロック解除コマンドを正常に完了すると、PPB ロックビットが「1」にセットされ、セクタの PPB の変更が可能になります。パスワード保護スキームは高度セクタ保護レジスタのビット 2 (ASPO[2] - ASPPWD) により選択されます。パスワード保護スキームは ASPO を書き込みやプログラムからも保護します。

注: パスワード保護スキームを選択する前にパスワードをプログラムする必要があります。パスワードロック解除の SPI トランザクション (PWDUL\_0\_1) またはオクタルトランザクション (PWDUL\_4\_1) が比較のためのパスワードを提供するために使用されます。

パスワード保護スキームのフローチャートを、**Figure 50** に示します。

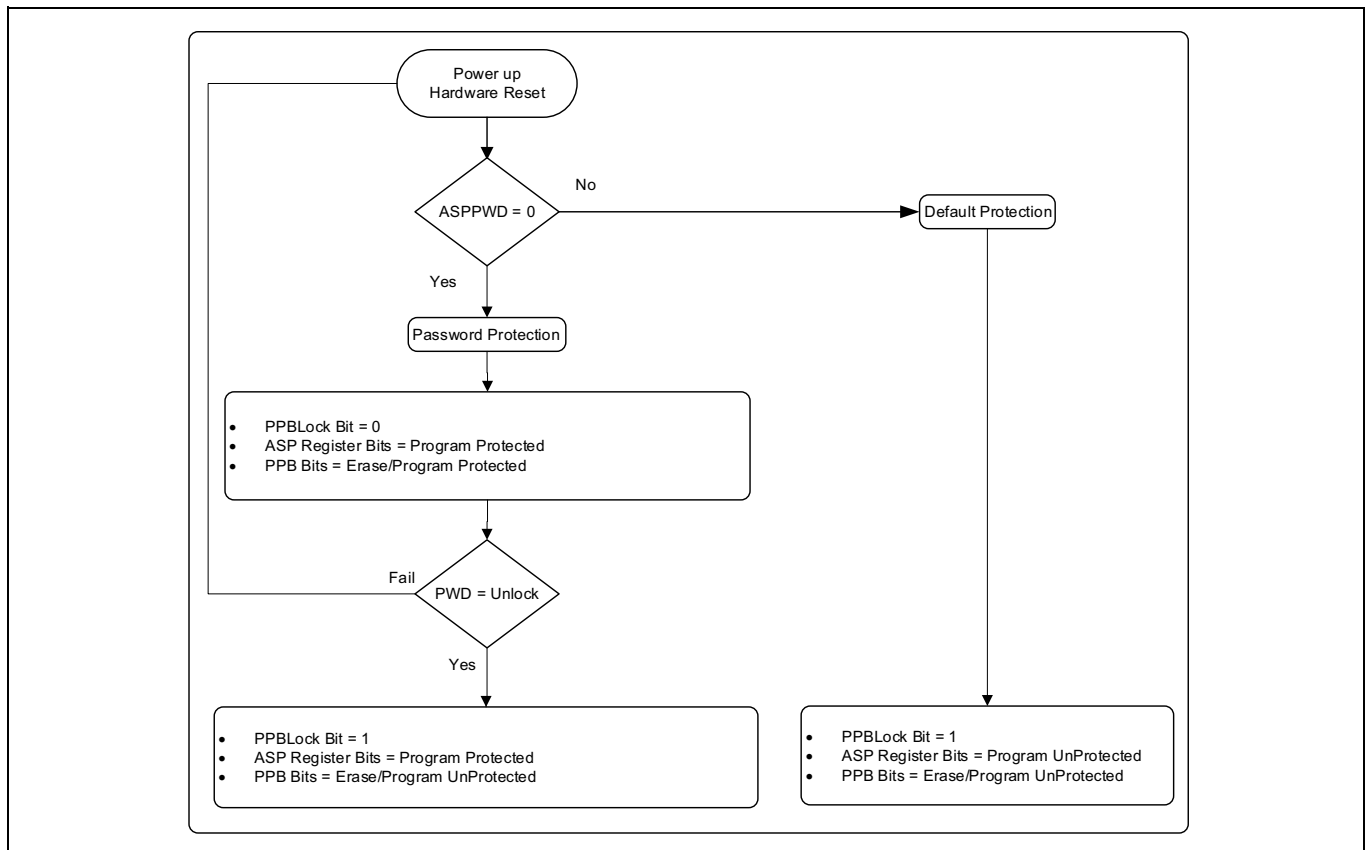


Figure 50 パスワード保護スキームのフローチャート

### 4.5.2.7 パスワード読み出し保護スキーム

パスワード読み出し保護スキームはパスワード保護スキームに代わり、最も優れたデータ保護を実現します。パスワード読み出し保護スキームでは、フラッシュメモリアレイは読み出し、プログラムおよび消去から保護されます。パスワードロック解除トランザクションが正常に完了するまでは、コンフィギュレーションレジスタ 1 のビット 5 (CFR1x[5] - TBPROT) によって選択された最下位または最上位 (256KB) セクタ アドレス範囲のみが読み出せます。読み出しトランザクションで提供されたセクタアドレスに関係なく、「0」は最上位セクタから、「1」は最下位セクタから選択します。アレイの読み出し保護部分からの読み出しは、読み出し可能なセクタにリダイレクトします。

注: パスワード読み出し保護スキームを選択する前にパスワードをプログラムする必要があります。パスワードロック解除の SPI トランザクション (PWDUL\_0\_1) またはオクタルトランザクション (PWDUL\_4\_1) が比較のためのパスワードを提供するために使用されます。パスワード読み出し保護スキームのフローチャートを、**Figure 51** に示します。

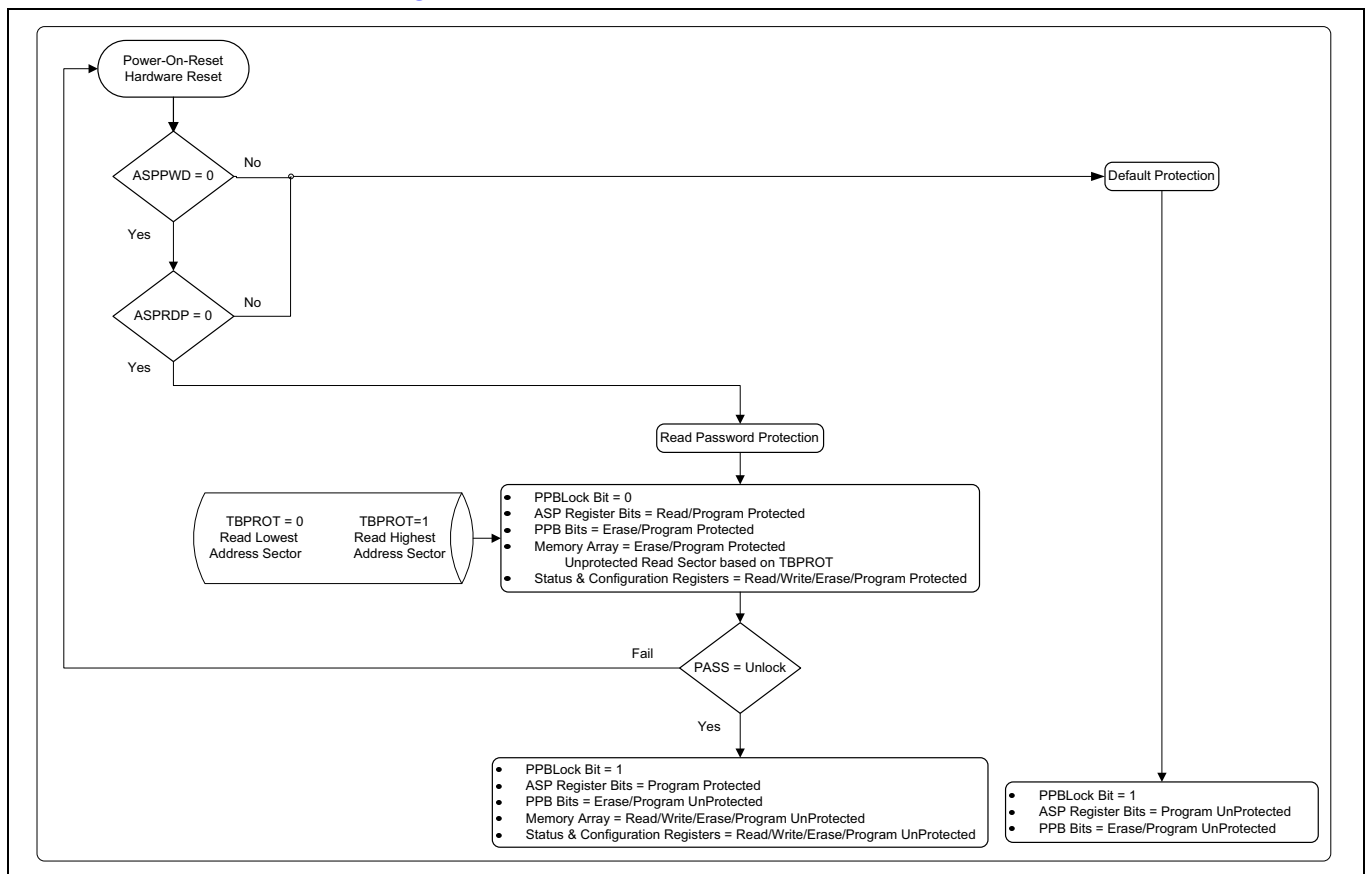


Figure 51 パスワード読み出し保護スキームのフローチャート

#### 4.5.2.8 PPB ビット - OTP 選択

ASP は、PPB 消去トランザクション (ERPPB\_0\_0) を永久に無効にするコンフィギュレーションオプションを提供しています。これにより、すべての PPB ビットがワンタイム プログラマブルになります。このオプションを使用すれば、PPB 保護はいったん選択されたら変更できなくなります。高度セクタ保護レジスタのビット 3 (ASPO[3] - ASPPPB) を選択することで PPB ビットが OTP になります。

#### 4.5.2.9 一般的な ASP ガイドライン

- 持続的保護 (ASPPER) およびパスワード保護 (ASPPWD) は相互に排他的であり、一つのオプションしかプログラムできません。
- パスワード読み出し保護 (ASPRDP) は、必要な場合、パスワード保護 (ASPPWD) と同時にプログラムする必要があります。
- いったんパスワードがプログラムされ検証されたら、パスワードの読み出しを防ぐために、パスワード保護スキーム (ASPPWD) を「0」にプログラムする必要があります。
- パスワード読み出し保護スキームおよびパスワード保護スキームが有効になった (すなわち、ASPO[5] - ASPRDP、ASPO[2] - ASPPWD が「0」にプログラムされた) 場合、パスワードロック解除シーケンスに正しいパスワードが正常に入力されるまで、すべてのアドレスがブートセクタにリダイレクトされます。正しいパスワードが入力されると、パスワード読み出し保護モードが無効になり、すべてのアドレス指定が適切な位置を選択します。
- パスワード読み出し保護モードがアクティブの場合、メモリ空間のプログラムまたはレジスタへの書き込みは許可されません。

#### 4.5.2.10 ASP に関連するレジスタとトランザクション

Table 20 ASP に関連するレジスタとトランザクション

関連するレジスタ	関連する SPI トランザクション (Table 75 を参照してください)	関連するオクタルトランザクション (Table 78 を参照してください)
高度セクタ保護レジスタ (ASPO) (Table 61 を参照してください)	ダイナミック保護ビット読み出し (RDDYB_4_0)	ダイナミック保護ビット読み出し (RDDYB_4_0)
コンフィギュレーションレジスタ 1 (CFR1N, CFR1V) (Table 45 を参照してください)	ダイナミック保護ビット書き込み (WRDYB_4_1)	ダイナミック保護ビット書き込み (WRDYB_4_1)
	持続的保護ビット読み出し (RDPPB_4_0)	持続的保護ビット読み出し (RDPPB_4_0)
	持続的保護ビットプログラム (PRPPB_4_0)	持続的保護ビットプログラム (PRPPB_4_0)
	持続的保護ビット消去 (ERPPB_0_0)	持続的保護ビット消去 (ERPPB_0_0)
	PPB 保護ロックビット書き込み (WRPLB_0_0)	PPB 保護ロックビット書き込み (WRPLB_0_0)
	パスワード読み出し保護モードロックビット (RDPLB_0_0)	パスワード読み出し保護モードロックビット (RDPLB_4_0)
	パスワードロック解除 (PWDUL_0_1)	パスワードロック解除 (PWDUL_4_1)
	書き込みイネーブル (WRENB_0_0)	書き込みイネーブル (WRENB_0_0)
	任意レジスタ読み出し (RDARG_C_0)	任意レジスタ読み出し (RDARG_4_0)
	任意レジスタ書き込み (WRARG_C_1)	任意レジスタ書き込み (WRARG_4_1)

### 4.5.3 セキュアシリコン領域 (SSR)

セキュアシリコン領域はメインメモリアレイから独立した 1024 バイトのメモリ領域です。1024 バイトは 32 の個別にロック可能な 32 バイト領域に分割されます。Figure 52 に SSR の概要を示します。

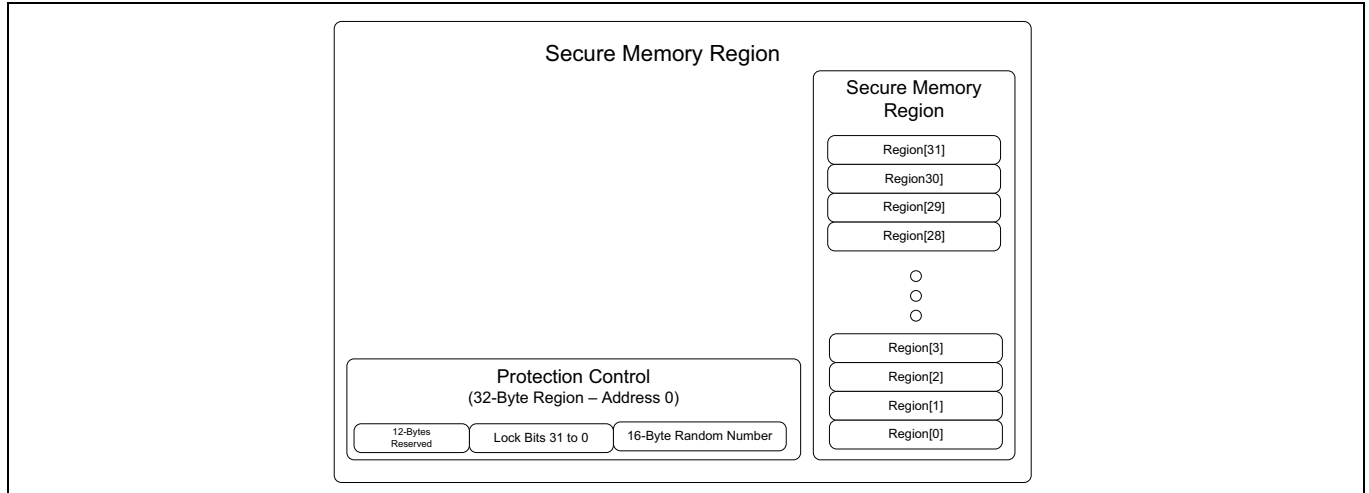


Figure 52 OTP 保護 (不揮発性)

最初の 32 バイト領域 (アドレス 0 で始まる) は、他の 32 バイト領域に対して保護メカニズムを提供します。この領域の 16 最下位バイトは 128 ビットの乱数を含みます。この乱数は書き込み、消去またはプログラム不可です。この領域の次の 4 バイト (計 32 ビット) は「0」にセットされると、残りの 32 バイト領域をプログラムから保護します (32 バイト領域ごとに 1 ビット)。他のすべてのバイトは予約されています。

注: 128 ビットの乱数を消去またはプログラムしようとする、ERSERR または PRGERR になります。デバイスをスタンバイモードに復帰させるためにはハードウェアリセットが必要となります。

#### 4.5.3.1 SSR に関連するレジスタとトランザクション

Table 21 SSR に関連するレジスタとトランザクション

関連するレジスタ	関連する SPI トランザクション (Table 75 を参照してください)	関連するオクタールトランザクション (Table 78 を参照してください)
該当なし	セキュアシリコン領域プログラム (PRSSR_4_1)	セキュアシリコン領域プログラム (PRSSR_4_1)
	セキュアシリコン領域読み出し (RDSSR_4_0)	セキュアシリコン領域読み出し (RDSSR_4_0)

機能

## 4.6 セーフブート

SEMPER™ フラッシュメモリ デバイスは、デバイスを初期化し、組み込み動作を管理し、その他の高度な機能を実装するために使用する組み込みマイクロコントローラーを内蔵しています。組み込みマイクロコントローラーの初期化失敗や不揮発性コンフィギュレーションレジスタの破損のため、フラッシュ デバイスは使用できなくなることがあります。組み込みマイクロコントローラー ファームウェアの恒久的な破損などの壊滅的なイベントがなければ、デバイスを回復することが可能です。

セーフブート機能の使用では、ステータスレジスタをポーリングすることで、エラー シグネチャによる組み込みマイクロコントローラーの初期化失敗やコンフィギュレーションレジスタの破損を検出できます。

### 4.6.1 マイクロコントローラーの初期化失敗の検出

フラッシュ デバイスの組み込みマイクロコントローラーが正常に初期化しなかった場合、壊滅的な故障でなければ、ハードウェアリセットによりデバイスを回復できます。ハードウェアリセットはホスト コントローラーによって開始されなければなりません。マイクロコントローラーの初期化失敗を検出すると、フラッシュ デバイスは自動的にそのデフォルトのブート モード (1S-1S-1S) に戻り、ステータスレジスタに不良のシグネチャを与えます。Table 22 に、初期化失敗検出時のデバイスのステータスレジスタ ビットを示します。

Table 22 ステータスレジスタ 1 電源投入検出シグネチャ

ビット	フィールド名	機能	検出シグネチャ
STR1V[7]	RESRVD	将来使用するために予約済み	0
STR1V[6]	PRGERR	プログラム エラー ステータス フラグ	1
STR1V[5]	ERSERR	消去エラー ステータス フラグ	1
STR1V[4]	LBPROT[2:0]	レガシー ブロック保護に基づくメモリ アレイ サイズの選択	0
STR1V[3]		注: LBPRIT[2:0] はブロック保護コンフィギュレーションに基づいて 000 ~ 111 の任意の値になります。	0
STR1V[2]			0
STR1V[1]	WRPGEN	書き込み / プログラム イネーブル ステータス フラグ	0
STR1V[0]	RDYBSY	デバイス レディ / ビジー ステータス フラグ	1

Table 23 電源投入時の故障検出時のインターフェース コンフィギュレーション<sup>[17]</sup>

インターフェース	サポートされる トランザクション	レジスタ タイプ	アドレス (バイト数)	動作周波数	レジスタ 読み出し レイテンシ (クロック サイクル数)	出力インピーダンス
SPI (1S-1S-1S)	ステータスレジスタ 1 読み出し 任意レジスタ読み出し	ステータスレジスタ (揮発性専用)	4	最大 (ステータスレジスタ 1 読み出しおよび任意レジスタ読み出しトランザクション用)	2	45Ω

注  
 17.ステータスレジスタの読み出しでは、不揮発性ステータスレジスタのアドレスを任意レジスタ読み出しトランザクションに提供すると不確かな結果を生じます。

#### 4.6.1.1 ホスト ポーリング動作

ホストは、デバイスに初期化失敗が発生したかどうかを判断するために、ステータスレジスタポーリングシーケンスを実行する必要があります。Figure 53 にシーケンスのフローチャートを示します。

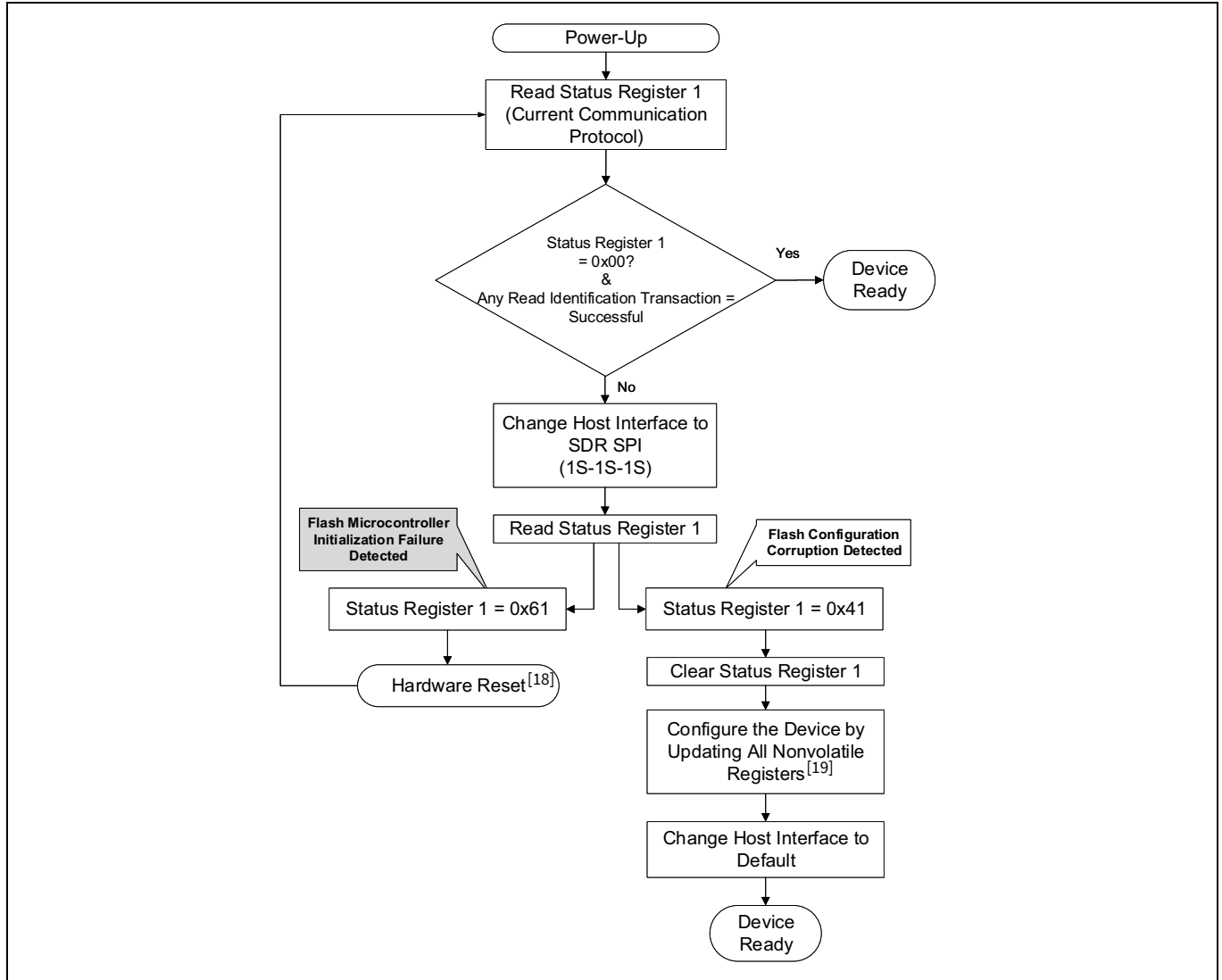


Figure 53 マイクロコントローラーの初期化失敗検出用のホスト ポーリング シーケンス

注: ポーリングシーケンスは上位の I/O インターフェース コンフィギュレーションから下位の I/O インターフェース コンフィギュレーションへの順にのみ開始する必要があります。例えば、8D-8D-8D から 1S-1S-1S までです。

注  
 18.仕様範囲内の Vcc で、ハードウェアリセットでは問題が解決しない場合、フラッシュデバイスを交換してください。  
 19.最初の任意レジスタ書き込みトランザクションが不揮発性ステータスレジスタまたはコンフィギュレーションレジスタを更新すると、残りのすべての不揮発性ステータスおよびコンフィギュレーションレジスタは事前定義された状態に戻ります (STR1N=0x00, CFR1N=0x00, CFR2N=0x00, CFR3N=0x00, CFR4N=0x00, CFR5N=0x40)。アドレスのバイト長とレイテンシを設定してから、残りのコンフィギュレーションを行うことでセーフブート回復動作を開始することを推奨します。

機能

#### 4.6.1.2 マイクロコントローラーの初期化失敗検出に関連するレジスタとトランザクション

Table 24 マイクロコントローラーの初期化失敗に関連するレジスタとトランザクション

関連するレジスタ	関連する SPI トランザクション (Table 75 を参照してください)	関連するオクタルトランザクション (Table 78 を参照してください)
揮発性ステータス レジスタ 1 (STR1V) (Table 41 を参照)	任意レジスタ読み出し (RDARG_C_0) ステータスレジスタ 1 読み出し (RDSR1_0_0)	該当なし

#### 4.6.2 コンフィギュレーション破損検出

不揮発性レジスタへの書き込みなどのデバイス コンフィギュレーションの更新時に電力喪失が起こった場合やハードウェアリセットが行われた場合、いかなるレジスタ書き込みトランザクションも中断されます。デバイスはスタンバイ モードに戻りますが、組込みの書き込み動作の終了が早すぎるため、不揮発性レジスタ データは高い確率で破損しています。次の電源投入時に、コンフィギュレーション破損が検出され、デバイスはデフォルトのブート モード (1S-1S-1S) に戻り、コンフィギュレーションの再度書き込みが可能になります。デバイスは設定された保護スキームを維持します。

Table 25 に、コンフィギュレーション破損検出時のデバイスのステータスレジスタ ビットを示します。

Table 25 ステータスレジスタ 1 コンフィギュレーション破損検出シグネチャ

ビット	フィールド名	機能	検出シグネチャ
STR1V[7]	RESRVD	将来使用するために予約済み	0
STR1V[6]	PRGERR	プログラム エラー ステータス フラグ	1
STR1V[5]	ERSERR	消去エラー ステータス フラグ	0
STR1V[4]	LBPROT[2:0]	レガシー ブロック保護に基づくメモリ アレイ サイズの選択	0
STR1V[3]		注 :LBPRIT[2:0] はブロック保護コンフィギュレーションに基づいて 000 ~ 111 の任意の値になります。	0
STR1V[2]			0
STR1V[1]	WRPGEN	書き込み / プログラム イネーブル ステータス フラグ	0
STR1V[0]	RDYBSY	デバイス レディ / ビジー ステータス フラグ	1

Table 26 コンフィギュレーション破損検出時のインターフェース コンフィギュレーション

インターフェース	サポートされる トランザクション	アドレス (バイト数)	動作周波数	レジスタ読み出し レイテンシ (クロックサイクル数)	出力インピー ダンス
SPI (1S-1S-1S)	すべての SPI (1S-1S-1S) ト ランザクション	4	最大	2	45Ω



#### 4.6.2.1 ホストポーリング動作

ホストは、デバイスにコンフィギュレーション破損が発生したかどうかを判断するために、ステータスレジスタポーリングシーケンスを実行する必要があります。Figure 54 にシーケンスのフローチャートを示します。

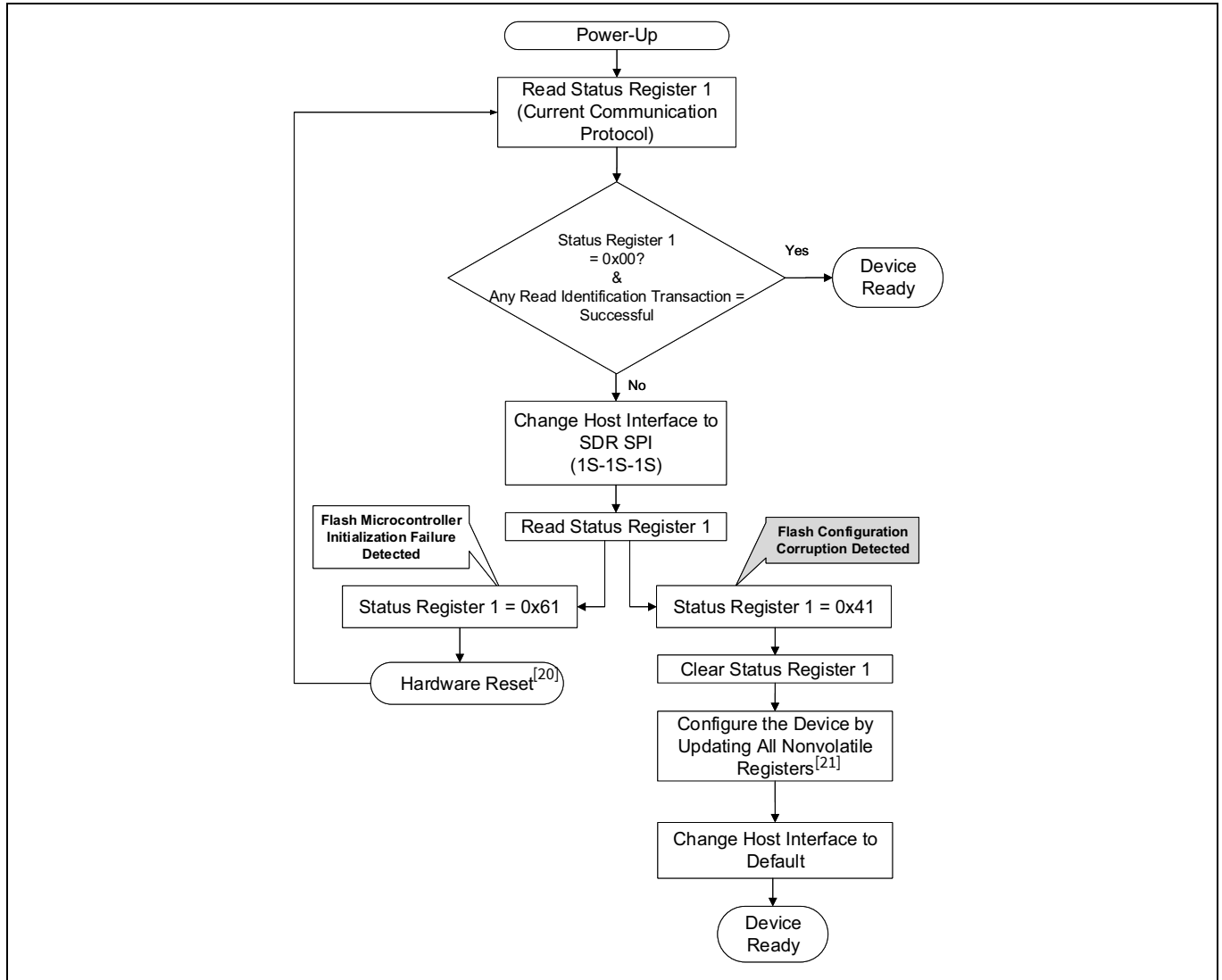


Figure 54 コンフィギュレーション破損検出用のホストポーリングシーケンス

注: ポーリングシーケンスは上位の I/O インターフェース コンフィギュレーションから下位の I/O インターフェース コンフィギュレーションへのみ開始する必要があります。例えば、8D-8D-8D から 1S-1S-1S までです。その逆ではありません。

注  
 20.仕様範囲内の Vcc で、ハードウェアリセットでは問題が解決しない場合、フラッシュデバイスを交換してください。  
 21.最初の任意レジスタ書き込みトランザクションが不揮発性ステータスレジスタまたはコンフィギュレーションレジスタを更新すると、残りのすべての不揮発性ステータスおよびコンフィギュレーションレジスタは事前定義された状態に戻ります (STR1N=0x00, CFR1N=0x00, CFR2N=0x00, CFR3N=0x00, CFR4N=0x00, CFR5N=0x40)。アドレスのバイト長とレイテンシを設定してから、残りのコンフィギュレーションを行うことでセーフブート回復動作を開始することを推奨します。

## 機能

## 4.6.2.2 コンフィギュレーション破損検出レジスタ

Table 27 コンフィギュレーション破損検出に関連するレジスタとトランザクション

関連するレジスタ	関連する SPI トランザクション (Table 75 を参照してください)	関連するオクタルトランザクション (Table 78 を参照してください)
揮発性ステータスレジスタ 1 (STR1V) (Table 41 を参照)	すべての 1S-1S-1S トランザクション	該当なし

## 4.7 オートブート

オートブート機能の使用では、電源投入またはハードウェアリセット後に、読み出しトランザクション (アドレスを含む) を発行する必要なく、ホストは HLT/HS-T ファミリのデバイスからデータを読み出せます。デバイスコンフィギュレーションに基づき、CS# が LOW にされ CK がトグルすると、データはインターフェース I/O に出力されます。

読み出しデータの開始アドレスはオートブートレジスタ (ATBN[31:9] - STADR[22:0]) で指定されます。開始アドレスはメモリ内のいかなる (512 バイト) ページ境界の位置にあっても構いません。クロックサイクル数で表される開始遅延時間 (ATBN[8:1] - STDLY[7:0]) もオートブートレジスタで指定されます。遅延時間は、データが読み出される前に設定されます。遅延時間はホストの要件を満たすようにプログラムできますが、動作周波数に基づいたメモリアクセス時間を満たすために最小時間が必要です。オートブートの実行が成功または失敗した後、ステータスレジスタ 1 の値をチェックし、コンフィギュレーションの破損を検証することを強く推奨します (セーフブート)。

注:

- オートブートでは、ラップ機能を無効にしなければなりません。
- 高度セクタ保護の一部として、オートブートはパスワード読み出し保護機能が有効になったときに無効にされます。パスワード読み出し保護機能が有効になったとき、オートブート (ATBN[0] - ATBTEN) を無効にすることを推奨します。
- インターフェース CRC が有効になったオートブートには、少なくとも 4 データワードを読み出す必要があります。
- 最初のオートブートアドレスを長期データ保持領域に割り当てることを強く推奨します。

## 4.7.1 オートブートに関連するレジスタとトランザクション

Table 28 オートブートに関連するレジスタとトランザクション

関連するレジスタ	関連する SPI トランザクション (Table 75 を参照してください)	関連するオクタルトランザクション (Table 78 を参照してください)
オートブートレジスタ (ATBN) (Table 66 を参照)	任意レジスタ読み出し (RDARG_C_0)	任意レジスタ読み出し (RDARG_4_0)
	任意レジスタ書き込み (WRARG_C_1)	任意レジスタ書き込み (WRARG_4_1)
	オートブートトランザクション (Figure 14 を参照してください)	オートブートオクタル SDR トランザクション (Figure 30 を参照してください) / オートブートオクタル DDR トランザクション (Figure 31 を参照してください)

## 4.8 読み出しトランザクション

HL-T/HS-T は、異なるメモリ マップにアクセスするために次の異なる読み出しトランザクションに対応しています。メモリ アレイ読み出し、デバイス ID 読み出し、レジスタ読み出し、セキュアシリコン読み出し、保護 DYB ビットと PPB ビット読み出し。

これらの読み出しトランザクションは次の 3 つのプロトコルのいずれも使用できます。

- 1 バイト コマンド (CK 立ち上りエッジごとに 1 ビット) を転送する SDR (1S-1S-1S) プロトコルを備える SPI インターフェース
- 1 バイト コマンド (CK 立ち上りエッジごとに 1 ビット) を転送する SDR (1S-1S-1S) プロトコルを備えるオクタル出力インターフェース (HL256T および HS256T のみ)
- 2 バイト コマンド (CK 立ち上りエッジごとに 8 ビット) を転送する SDR (8S-8S-8S) プロトコルを備えるオクタルインターフェース
- 2 バイト コマンド (CK 立ち上りエッジと立ち下りエッジごとに 8 ビット) を転送する DDR (8D-8D-8D) プロトコルを備えるオクタルインターフェース

読み出しトランザクションの特長は以下のとおりです。

- 読み出しトランザクションは、メモリ アレイにアクセスする時間を得るためにアドレスに続いてレイテンシサイクルを必要とします (1S-1S-1S プロトコルの RDAY1\_4\_0 と RDAY1\_C\_0 を除く) (Table 49 を参照してください)。
- データ ストローブ (DS) の出力により、メモリ コントローラーはデータ アイの中心でデータをキャプチャできます (63 ページの “データ ストローブ (DS)” を参照してください)。
- 読み出しトランザクションは、ラップ読み出し長および 8, 16, 32, または 64 バイトの整列グループのオプションがあります (Table 52 と Table 53 を参照してください)。

### 4.8.1 ID 読み出しトランザクション

固有 ID トランザクションは 3 つあり、それぞれが 1S-1S-1S、8S-8S-8S、および 8D-8D-8D の 3 つのプロトコルに対応しています (109 ページの “トランザクションテーブル” を参照してください)。

#### 4.8.1.1 デバイス ID 読み出しトランザクション

デバイス ID 読み出し (RDIDN\_0\_0, RDIDN\_4\_0) トランザクションはメーカー ID とデバイス ID への読み出しアクセスを提供します。SPI モードはアドレス サイクルがないのに対して、オクタルモードは 4 つのダミーアドレス (00h) があります。このトランザクションは CFR3V[7:6] で設定されたレイテンシサイクルを使用し、SPI モードで 166 MHz, HL-T オクタルモードで 166 MHz, および HS-T オクタルモードで 200 MHz の最大クロック周波数を有効にします (Table 49 を参照してください)。オクタルモードはデータキャプチャのために DS に対応しています (109 ページの “トランザクションテーブル” を参照してください)。

#### 4.8.1.2 SFDP 読み出しトランザクション

シリアルフラッシュ検出可能パラメーター読み出し (RSFDP\_3\_0、RSFDP\_4\_0) トランザクションは JEDEC シリアルフラッシュ検出可能パラメーター (SFDP) へのアクセスを提供します (109 ページの “トランザクションテーブル” を参照してください)。このトランザクションは、SPI モードでは 3 バイトアドレスを、オクタルモードでは 4 バイトアドレスを使用します。0 以外のアドレスがセットされた場合、SFDP 空間内の選択された位置が読み出しデータの開始点となります。これにより、SFDP 空間の任意のパラメーターヘランダムにアクセスできます。連続 (順次) 読み出しはこのトランザクションで対応されます。8 レイテンシサイクルが必要です。SFDP 読み出しトランザクションは、パスワードが与えられる前にはパスワード読み出し保護モードで無効です。SFDP 読み出しトランザクションの最大クロック周波数は、SPI モードで 156 MHz, オクタル SDR モードで 92 MHz, オクタル DDR モードで 85 MHz です。

### 4.8.1.3 固有 ID 読み出しトランザクション

固有 ID 読み出し (RDUID\_0\_0、RDUID\_4\_0) トランザクションはデバイス ID 読み出しトランザクションと同様ですが、デバイス独自の異なる 64 ビットの番号にアクセスします。固有 ID は工場出荷時にプログラムされます。

### 4.8.1.4 ID 読み出しに関連するレジスタとトランザクション

Table 29 ID 読み出しに関連するレジスタとトランザクション

関連するレジスタ	関連する SPI トランザクション (Table 75 を参照してください)	関連するオクタル トランザクション (Table 78 を参照してください)
コンフィギュレーションレジスタ 3 (CFR3N, CFR3V) (Table 50 を参照)	ID 読み出し (RDIDN_0_0)	ID 読み出し (RDIDN_4_0)
コンフィギュレーションレジスタ 5 (CFR5N, CFR5V) (Table 54 を参照)	シリアルフラッシュ検出可能パラメータ読み出し (RSFDP_3_0)	シリアルフラッシュ検出可能パラメータ読み出し (RSFDP_4_0)
	固有 ID 読み出し (RDUID_0_1)	固有 ID 読み出し (RDUID_4_1)

## 4.8.2 メモリアレイ読み出しトランザクション

メモリアレイデータは、任意のバイト境界で始まるメモリから読み出せます。データバイトは、ホストが CS# 入力を HIGH に駆動してデータ転送を完了させるまで、下位バイトアドレスから上位バイトアドレスへ順次に読み出されます。バイトアドレスがメモリアレイの最大アドレスに達すると、読み出しはアレイのゼロアドレスで続きます。

### 4.8.2.1 SPI 読み出しおよび高速読み出しトランザクション

SPI 読み出しおよび高速読み出しトランザクション (1S-1S-1S) は、レガシー SPI との後方互換性を必要とするホストシステムに対してサポートされます。このプロトコルはデータキャプチャ用に DS に対応していません。ラップ読み出し長のオプションは利用可能です。読み出しトランザクションは 50 MHz の最大クロック周波数に対応しており、レイテンシサイクルは必要ありません。高速読み出しトランザクションは、CFR2V[3:0] で設定されたレイテンシサイクルを使用して 166 MHz の最大クロック周波数を有効にします (109 ページの “[トランザクションテーブル](#)” を参照してください)。

### 4.8.2.2 オクタルデータ出力読み出しトランザクション (HL256T および HS256T のみ)

オクタルデータ出力読み出しトランザクション (1S-1S-8S) は、x8 データバスの能力を持ちながら、x1 シリアルモードでコマンドとアドレスサイクルを送信したいホストシステムでサポートされています。ラップ読み出し長のオプションは利用可能です。この読み出しトランザクションは、CFR2V[3:0] で設定されたレイテンシサイクルを使用して 166MHz の最大クロック周波数を有効にします (109 ページの “[トランザクションテーブル](#)” を参照してください)。

### 4.8.2.3 オクタル SDR 読み出しトランザクション

オクタル SDR 読み出しトランザクションは、SDR (8S-8S-8S) プロトコルを用いて高データスループットを提供します。このプロトコルはデータキャプチャのために DS に対応しています。ラップ読み出し長のオプションは利用可能です。このトランザクションは、CFR2V[3:0] で設定されたレイテンシサイクルを使用し、166 MHz または 200 MHz の最大クロック周波数を有効にします (109 ページの “[トランザクションテーブル](#)” を参照してください)。

### 4.8.2.4 オクタル DDR 読み出しトランザクション

オクタル DDR 読み出しトランザクションは、DDR (8D-8D-8D) プロトコルで最大データスループットを提供します。このプロトコルはデータキャプチャのために DS のみに対応しています。ラップ読み出し長のオプションは利用可能です。このトランザクションは、CFR2V[3:0] で設定されたレイテンシサイクルを使用し、166 MHz または 200 MHz の最大クロック周波数を有効にします (109 ページの “[トランザクションテーブル](#)” を参照してください)。

#### 4.8.2.5 メモリ アレイ読み出しに関連するレジスタとトランザクション

Table 30 メモリ アレイ読み出しに関連するレジスタとトランザクション

関連するレジスタ	関連する SPI トランザクション (Table 75 を参照してください)	関連するオクタルトランザクション (Table 78 を参照してください)
コンフィギュレーションレジスタ 2 (CFR2N, CFR2V) (Table 48 を参照)	読み出し (RDAY1_4_0, RDAY1_C_0)	オクタル SDR 読み出し (RDAY1_4_0)
コンフィギュレーションレジスタ 4 (CFR4N, CFR4V) (Table 52 を参照)	高速読み出し (RDAY2_C_0)	オクタル DDR 読み出し (RDAY2_4_0)
コンフィギュレーションレジスタ 5 (CFR5N, CFR5V) (Table 54 を参照)	-	-

#### 4.8.3 レジスタ読み出しトランザクション

組込み動作ステータスを報告するか、またはデバイス設定オプションを制御するためのレジスタが複数あります。レジスタには揮発性ビットと不揮発性ビットがあります。レジスタを読み出すためには 2 つの方法があります。任意レジスタ読み出しトランザクションは、アドレス指定により不揮発性と揮発性のすべてのデバイス レジスタを読み出す方法を提供します。レジスタごとに定義され、そのレジスタの内容のみを読み出す専用のレジスタ読み出しトランザクションもあります。これらのレジスタ読み出しトランザクションは 1S-1S-1S、8S-8S-8S、および 8D-8D-8D の 3 つのプロトコルとも対応しています (109 ページの “トランザクションテーブル” を参照してください)。

##### 4.8.3.1 任意レジスタ読み出し

任意レジスタ読み出しトランザクションは、不揮発性と揮発性のすべてのデバイス レジスタを読み出す最良の方法です。トランザクションは読み出すレジスタのアドレスを含みます (109 ページの “トランザクションテーブル” を参照してください)。その後、不揮発性レジスタの読み出しのために CFR2V[3:0]、揮発性レジスタの読み出しのために CFR3V[7:6] で設定されたレイテンシ サイクル数が続きます。不揮発性レジスタ レイテンシ サイクルについては Table 49 を、揮発性レジスタ レイテンシ サイクルについては Table 51 を参照してください。そして、選択したレジスタの内容が返されます。SPI モードでは、読み出しアクセスが続くと、トランザクションが終了されるまでレジスタ内容が返されます。各任意レジスタ読み出しトランザクションで、1 バイトのレジスタ位置のみを読み出します。2 データ バイト以上のレジスタに対しては、各データ バイトを読み出すために任意レジスタ読み出しトランザクションを再度使用する必要があります。オクタル モードはデータ キャプチャのために DS に対応しています (109 ページの “トランザクションテーブル” を参照してください)。

任意レジスタ読み出しトランザクションの最大クロック周波数は、SPI モードで 166 MHz、HL-T オクタル モードで 166 MHz、HS-T オクタル モードで 200 MHz です。

任意レジスタ読み出しトランザクションは、ステータスレジスタ 1 (STR1V) を読み出すために、組込み動作中に使用できます。これは ASP PPB アクセスレジスタ (PPAV) や ASP ダイナミックブロックアクセスレジスタ (DYAV) などのレジスタを読み出すために使用されません。アクセスしたアレイの位置を選択し、読み出すために個別のコマンドが必要です。ASPR[2:0] をプログラムすることで ASP パスワード保護モードを選択した場合、任意レジスタ読み出しトランザクションが PASS レジスタ位置から無効なデータを読み出します。未定義の位置を読み出すと未定義のデータが返されます。

##### 4.8.3.2 ステータスレジスタ読み出しトランザクション

ステータスレジスタ読み出し (RDSR1\_0\_0/RDSR1\_4\_0、RDSR2\_0\_0/RDSR2\_4\_0) トランザクションはレジスタの揮発性内容を読み出します。SPI モードはアドレスサイクルがないのに対して、オクタル モードは 4 つのダミー アドレス (00h) があります。このトランザクションは、揮発性レジスタを読み出すために CFR3V[7:6] で設定されたレイテンシ サイクルを使用し、SPI モードで 166 MHz、HL-T オクタル モードで 166 MHz、および HS-T オクタル モードで 200 MHz の最大クロック周波数を有効にします (Table 49 を参照してください)。オクタル モードはデータ キャプチャのために DS に対応しています (109 ページの “トランザクションテーブル” を参照してください)。

揮発性ステータスレジスタの内容はプログラム、消去または書き込み動作の実行中でもいつでも読み出せます。

8 の倍数のクロックサイクルを提供することでステータスレジスタ 1 を連続的に読み出せます。ステータスは各 8 サイクルの読み出しごとに更新されます。これは SPI モードにのみ対応します。

#### 4.8.3.3 ダイナミック保護ビット (DYB) アクセスレジスタ読み出しトランザクション

DYB アクセスレジスタ読み出し (RDDYB\_4\_0) トランザクションは DYB アクセスレジスタの内容を読み出します。このトランザクションは、揮発性レジスタを読み出すために CFR3V[7:6] で設定されたレイテンシサイクルを使用し、SPI モードで 166 MHz, HL-T オクタル モードで 166 MHz, および HS-T オクタル モードで 200 MHz の最大クロック周波数を有効にします (Table 49 を参照してください)。オクタルモードはデータキャプチャのために DS に対応しています (109 ページの “トランザクションテーブル” を参照してください)。DYB アクセスレジスタは連続的に読み出せますが、DYB レジスタのアドレスはインクリメントしないため、この方法で DYB アレイ全体を読み出すことはできません。各位置は別々の DYB 読み出しトランザクションで読み出さなければなりません。

#### 4.8.3.4 持続的保護ビット (PPB) アクセスレジスタ読み出しトランザクション

PPB アクセスレジスタ読み出し (RDPBB\_4\_0) トランザクションは PPB アクセスレジスタの内容を読み出します。トランザクションは CFR2V[3:0] で設定されたレイテンシサイクルを使用し、SPI モードで 166 MHz, HL-T オクタル モードで 166 MHz, および HS-T オクタル モードで 200 MHz の最大クロック周波数を有効にします (Table 49 を参照してください)。オクタルモードはデータキャプチャのために DS に対応しています (109 ページの “トランザクションテーブル” を参照してください)。PPB アクセスレジスタは連続的に読み出せますが、PPB レジスタのアドレスはインクリメントしないため、この方法で PPB アレイ全体を読み出すことはできません。各位置は別々の PPB 読み出しトランザクションで読み出さなければなりません。

#### 4.8.3.5 PPB ロックレジスタ読み出しトランザクション

PPB ロックレジスタ読み出し (RDPLB\_0\_0、RDPLB\_4\_0) トランザクションは不揮発性レジスタの内容を読み出します。SPI モードはアドレスサイクルがないのに対して、オクタルモードは4つの必要なアドレスバイト (00h) があります。このトランザクションは、揮発性レジスタを読み出すために CFR3V[7:6] で設定されたレイテンシサイクルを使用し、SPI モードで 166 MHz, HL-T オクタル モードで 166 MHz, および HS-T オクタル モードで 200 MHz の最大クロック周波数を有効にします。オクタルモードはデータキャプチャのために DS に対応しています (109 ページの “トランザクションテーブル” を参照してください)。PPB ロックビットを連続的に読み出すことは可能です。

#### 4.8.3.6 ECC データユニットステータス読み出し

ECC データユニットステータス読み出し (RDECC\_4\_0) トランザクションはアドレス指定したデータユニットの ECC ステータスを判定するために使用されます。アドレスの LSB は ECC データユニットに整列されなければなりません。トランザクションは、揮発性レジスタを読み出すために CFR3V[7:6] で設定されたレイテンシサイクルを使用し、SPI モードで 166 MHz, HL-T オクタル モードで 166 MHz, および HS-T オクタル モードで 200 MHz の最大クロック周波数を有効にします。オクタルモードはデータキャプチャのために DS に対応しています (109 ページの “トランザクションテーブル” を参照してください)。

その後、選択した ECC ユニットの ECC ステータスバイト内容を出力します。それ以降のデータは不定です。次の ECC ユニットのステータスを読み出すためには、別の RDECC\_4\_0 トランザクションを 16 バイト (データユニットサイズ /8) 増分する次のアドレスに送信する必要があります。

### 4.8.3.7 レジスタ読み出しに関連するレジスタとトランザクション

Table 31 レジスタ読み出しに関連するレジスタとトランザクション

関連するレジスタ	関連する SPI トランザクション (Table 75 を参照してください)	関連するオクタル トランザクション (Table 78 を参照してください)
コンフィギュレーションレジスタ 2 CFR2N, CFR2V) (Table 48 を参照してく ださい)	任意レジスタ読み出し (RDARG_C_0)	任意レジスタ読み出し (RDARG_4_0)
コンフィギュレーションレジスタ 3 CFR3N, CFR3V) (Table 50 を参照してく ださい)		
コンフィギュレーションレジスタ 5 CFR5N, CFR5V) (Table 54 を参照してく ださい)	ステータス レジスタ 1 読み出し (RDSR1_0_0)	ステータス レジスタ 1 読み出し (RDSR1_4_0)
	ステータス レジスタ 2 読み出し (RDSR2_0_0)	ステータス レジスタ 2 読み出し (RDSR2_4_0)
	DYB 読み出し (RDDYB_4_0)	DYB 読み出し (RDDYB_4_0)
	PPB 読み出し (RDPPB_4_0)	PPB 読み出し (RDPPB_4_0)
	PPB ロック読み出し (RDPLB_0_0)	PPB ロック読み出し (RDPLB_4_0)
	ECC ステータス読み出し (RDECC_4_0)	ECC ステータス読み出し (RDECC_4_0)

### 4.8.4 データ ストローブ (DS)

データ ストローブ (DS) はホストでのデータ キャプチャのために、データと共に外部に送信されます。読み出しトランザクションのデータ転送期間中に、DS 信号はデバイスによって駆動され、DQ データ信号と同時に遷移します。DS はその他のデータ出力と同じタイミング特性を持つ追加の出力信号として使用されますが、あらゆるデータ ビットが転送されることで遷移が保証されます。DS は、DDR 読み出しの場合はデータとエッジ揃えであり、SDR 読み出しの場合はデータと中央揃えです。DS には、最後のアドレス バイトがデバイスに入力されてから 2.5 クロック サイクル後ただちに DS が LOW に駆動されることを保証する事前駆動サイクルがあります。

### 4.9 書き込みトランザクション

レジスタに書き込むために書き込みトランザクションがあります。これらの書き込みトランザクションは次の 3 つのプロトコルのいずれも使用できます。

- 1 バイト コマンド (CK 立ち上りエッジごとに 1 ビット) を転送する SDR (1S-1S-1S) プロトコルを備える SPI インターフェース
- 2 バイト コマンド (CK 立ち上りエッジごとに 8 ビット) を転送する SDR (8S-8S-8S) プロトコルを備えるオクタル インターフェース
- 2 バイト コマンド (CK 立ち上りエッジと立ち下りエッジごとに 8 ビット) を転送する DDR (8D-8D-8D) プロトコルを備えるオクタル インターフェース

#### 4.9.1 書き込みイネーブル トランザクション

書き込みイネーブル (WRENB\_0\_0) トランザクションは、ステータス レジスタ 1 の書き込み / プログラムイネーブル ステータス ビット WRPGEN (STR1V[1]) を「1」にセットします。書き込み、プログラムおよび消去トランザクションを有効にするためには、書き込みイネーブル (WRENB\_0\_0) トランザクションを発行することで WRPGEN ビットを「1」にセットする必要があります (109 ページの“[トランザクション テーブル](#)”を参照してください)。

#### 4.9.2 書き込みディセーブル トランザクション

書き込みディセーブル (WRDIS\_0\_0) トランザクションはステータス レジスタ 1 の書き込み / プログラムイネーブル ステータス ビット WRPGEN (STR1V[1]) を「0」にクリアします。

実行用に WRPGEN を「1」にセットすることを必要とするコマンドを無効にするために、WRPGEN は書き込みディセーブル (WRDIS\_0\_0) を発行することで「0」にクリアされます。メモリの内容を破壊する可能性がある不注意な書き込み、プログラム、消去からメモリ領域を保護するために、ユーザーは

## 機能

WRDIS\_0\_0 トランザクションを使用できます。RDYBSY ビット (STR1V[0])=1 のとき、組込み動作中の WRDIS\_0\_0 トランザクションは無視されます (109 ページの “[トランザクションテーブル](#)” を参照してください)。

#### 4.9.3 プログラムおよび消去失敗フラグ クリア トランザクション

プログラムおよび消去失敗フラグ クリア (CLPEF\_0\_0) トランザクションは、STR1V[5] ビット (消去エラーフラグ) と STR1V[6] ビット (プログラムエラーフラグ) を「0」にリセットします。いずれかのエラービットがセットされたときデバイスはビジーの状態を維持するため、RDYBSY が「1」にセットされてデバイスがビジーの状態であっても、このトランザクションは受け入れられます。WRPGEN ビットはこのコマンドの実行後も変化しません (109 ページの “[トランザクションテーブル](#)” を参照してください)。

#### 4.9.4 ECC ステータス レジスタ クリア トランザクション

ECC ステータス レジスタ クリア (CLECC\_0\_0) トランザクションは ECSV[4] ビット (2 ビット ECC 検出)、ECSV[3] ビット (1 ビット ECC 訂正)、INSV[1:0] の ECC 検出ステータスビット、アドレストラップレジスタ EATV[31:0] および ECC 検出カウンタ ECTV[15:0] をリセットします。このトランザクションの実行前に WRPGEN ビットをセットする必要はありません。いずれかのエラービットがセットされたときデバイスはビジーの状態を維持するため、WRPGEN が「1」にセットされてデバイスがビジーの状態であっても、ECC ステータス レジスタ クリア トランザクションは受け入れられます。WRPGEN ビットはこのコマンドの実行後も変化しません (109 ページの “[トランザクションテーブル](#)” を参照してください)。

#### 4.9.5 任意レジスタ書き込み トランザクション

任意レジスタ書き込み (WRARG\_C\_1/WRARG\_4\_1) トランザクションは不揮発性と揮発性のどのデバイスレジスタも書き込む方法を提供します。このトランザクションは、書き込むレジスタのアドレスと、それに続いてアドレス指定したレジスタに書き込む 1 データバイトを含みます (109 ページの “[トランザクションテーブル](#)” を参照してください)。

デバイスが WRARG\_C\_1/WRARG\_4\_1 トランザクションを受け入れる前に、書き込みイネーブル (WRENB\_0\_0) トランザクションが発行されて復号する必要があります。これにより、ステータスレジスタの書き込み / プログラム イネーブルビット (WRPGEN) がセットされ、いかなる書き込み動作も可能になります。動作完了を判定するために、RDYDSY ビット (STR1V[0]) がチェックされます。動作中にエラーが発生したかを判定するために、PRGERR と ERSERR ビット (STR1V[6:5]) がチェックされます。

いくつかのレジスタには、混合したビットタイプおよびどのビットを修正するかを制御する個別のルールを持つものがあります。ビットには読み出し専用、OTP、予約済み (DNU) のタイプがあります。

読み出し専用ビットは変更できず、WRARG\_C\_1/WRARG\_4\_1 トランザクション データバイト内の対応するビットは、プログラム / 消去エラーの表示 (STR1V[6:5]) での PRGERR または ERSERR) をセットせずに無視されます。したがって、WRARG\_C\_1/WRARG\_4\_1 データバイト内のこれらのビット値は重要ではありません。

OTP ビットはデフォルト状態の逆のレベルにのみプログラムできます。OTP ビットをデフォルト状態に復帰させるための書き込みは無視され、エラーはセットされません。

WRARG\_C\_1/WRARG\_4\_1 データで変更された不揮発性ビットを更新するためには、不揮発性レジスタ書き込み時間 ( $t_w$ ) を要します。更新プロセスは不揮発性レジスタビットに対する消去およびプログラム動作を含みます。更新プロセスの消去またはプログラム部分が失敗した場合、対応するエラービットおよび STR1V の RDYBSY ビットは「1」にセットされます。

レジスタ書き込みが完了 / 失敗したタイミングを判定するために、ステータスレジスタ 1 を繰り返し読み出して (ポーリングして) RDYBSY ビット (STR1V[0]) とエラービット (STR1V[6, 5]) を監視します。書き込みが失敗した場合、CLPEF\_0\_0 トランザクションを使用してエラーステータスをクリアし、デバイスをスタンバイ状態に復帰させられます。

ASP PPB ロックレジスタ (PPLV) は WRARG\_C\_1/WRARG\_4\_1 トランザクションで書き込めません。PPLV レジスタに書き込めるのは PPB ロックビット書き込み (WRPLB\_0\_0) トランザクションのみです。

データ整合性チェックレジスタには WRARG\_C\_1/WRARG\_4\_1 トランザクションで書き込めません。データ整合性チェックレジスタはデータ整合性チェック トランザクション (DICHK\_4\_1) を実行することでロードされます。



#### 4.9.6 PPB ロック ビット 書き込み

PPB ロック ビット 書き込み (WRPLB\_0\_0) トランザクションは PPB ロック レジスタの PPLV[0] を「0」にクリアします。PPBLCK ビットは PPB ビットを保護するために使用されます。PPLV[0]=0 のとき、PPB プログラム / 消去トランザクションは中止されます。パスワード読み出し保護モードでは、パスワードが供給されるまで、アドレス範囲をブート コードを格納している 1 セクタに制限することによりアドレスの上位ビットを制御するために、PPBLCK ビットも使用されます (109 ページの“[トランザクション テーブル](#)”を参照してください)。

デバイスは WRPLB\_0\_0 トランザクションを受け入れる前に、書き込みイネーブル (WRENB\_0\_0) トランザクションを発行して復号する必要があります。これにより、ステータスレジスタ 1 の書き込み / プログラム イネーブル ビット (WRPGEN) がセットされ、いかなる書き込み動作も可能になります。

動作の進行中に、ステータスレジスタを読み出して RDYBSY ビット値を確認することはまだ可能です。WRPGEN ビットはセルフタイム動作の間で「1」に、その動作が完了すると「0」になります。PPB ロック書き込みトランザクションが完了すると、RDYBSY ビットは「0」にセットされます (109 ページの“[トランザクション テーブル](#)”を参照してください)。

#### 4.9.7 4 バイト アドレス モード 開始

4 バイト アドレス モード 開始 (EN4BA\_0\_0) トランザクションは揮発性アドレス長ビット (CR2V[7]) を 1 にセットし、ほとんどの 3 バイト アドレス コマンドを 4 バイトのアドレスを必要とするように変更できます。RSFDP (RSFDP\_3\_0) 読み出しトランザクションは、アドレス長ビットの影響を受けません。

RSFDP\_3\_0 は、JEDEC JESD216 規格で、常に 3 バイトのアドレスのみ持つことが要求されています。

POR、ハードウェアまたはソフトウェアリセットにより、不揮発性アドレス長ビット (CR2N[7]) の定義に従ってアドレス長が設定されます。

#### 4.9.8 4 バイト アドレス モード 終了

4 バイト アドレス モード 終了 (EX4BA\_0\_0) コマンドは揮発性アドレス長ビット (CR2V[7]) を 0 にセットし、ほとんどの 3 バイト アドレス コマンドを 3 バイトのアドレスを必要とするように変更できます。このコマンドは、引き続き 4 バイトのアドレスを必要とする 4 バイトのみのコマンドには影響を与えません。

#### 4.9.9 書き込みトランザクションに関連するレジスタとトランザクション

Table 32 書き込みトランザクションに関連するレジスタとトランザクション

関連するレジスタ	関連する SPI トランザクション (Table 75 を参照してください)	関連するオクタールトランザクション (Table 78 を参照してください)
ステータスレジスタ 1 (STR1N, STR1V) (Table 41 を参照)	書き込みイネーブル (WRENB_0_0)	書き込みイネーブル (WRENB_0_0)
コンフィギュレーションレジスタ 5 (CFR5N, CRF5V) (Table 54 を参照)	書き込みディセーブル (WRDIS_0_0)	書き込みディセーブル (WRDIS_0_0)
ECC ステータスレジスタ (ECSV) (Table 58 を参照)	プログラムおよび消去失敗フラグクリア (CLPEF_0_0)	プログラムおよび消去失敗フラグクリア (CLPEF_0_0)
割込みコンフィギュレーション (INCV) (Table 68 を参照)	ECC ステータスレジスタ クリア (CLECC_0_0)	ECC ステータスレジスタ クリア (CLECC_0_0)
アドレスラップレジスタ (EATV) (Table 59 を参照)	任意レジスタ書き込み (WRARG_C_1)	任意レジスタ書き込み (WRARG_4_1)
ECC 検出カウンター (ECTV) (Table 60 を参照)	PPB ロック ビット 書き込み (WRPLB_0_0)	PPB ロック ビット 書き込み (WRPLB_0_0)
コンフィギュレーションレジスタ 2 (CFR1N, CFR1V) (Table 45 を参照)	4 バイト開始 (EN4BA_0_0), 4 バイト終了 (EX4BA_0_0)	-

## 4.10 プログラム

データをメモリアレイ、セキュアシリコン領域および持続的保護ビットにプログラムするためのプログラムトランザクションがあります。

これらのプログラムトランザクションは次の3つのプロトコルのいずれも使用できます。

- 1バイト コマンド (CK 立ち上りエッジごとに1ビット) を転送する SDR (1S-1S-1S) プロトコルを備える SPI インターフェース
- 1バイト コマンド (CK 立ち上りエッジごとに1ビット) を転送する SDR (1S-1S-8S) および (1S-8S-8S) プロトコルを備えるオクタル入力インターフェース (HL256T および HS256T のみ)
- 2バイト コマンド (CK 立ち上りエッジごとに8ビット) を転送する SDR (8S-8S-8S) プロトコルを備えるオクタルインターフェース
- 2バイト コマンド (CK 立ち上りエッジと立ち下りエッジごとに8ビット) を転送する DDR (8D-8D-8D) プロトコルを備えるオクタルインターフェース

デバイスはプログラムトランザクションを受け入れる前に、書き込みイネーブル (WRENB\_0\_0) トランザクションを発行して復号する必要があります。ステータスレジスタ中の書き込み/プログラムイネーブルビット (WRPGEN) がプログラム動作を有効にするために「1」にセットされた場合にのみ、デバイスはプログラムトランザクションを実行できます。プログラムトランザクションが完了すると、WRPGEN ビットは「0」にリセットされます。

プログラムトランザクション進行中に、ステータスレジスタ1を読み出してデバイスのレディ/ビジー (RDYBSY) ビットの値を確認できます。RDYBSY ビットはセルフタイムのプログラムトランザクション中に「1」であり、そのトランザクションが完了すると「0」になります。

PGMERR ビット (STR1V[6]) を確認することで、プログラムトランザクション中にエラーが発生したかどうかを判定できます。

いずれかの保護スキームにより書き込み保護されたセクタに適用されたプログラムトランザクションは実行されずに、PGMERR 失敗ステータスビットをセットします。

CS# が論理 HIGH 状態に駆動されると、プログラムトランザクションは開始されます。

### 4.10.1 プログラムの粒度

HS/L-T family は、セクタに対して消去動作を実行せずに「1」から「0」にプログラムするマルチパスプログラム (ビットウォーキング) に対応しています。ビットウォーキングは本デバイスの非 AEC-Q100 産業用温度範囲 (-40°C ~ +85°C) でサポートされます。より高い温度範囲 (-40°C ~ +105°C) と (-40°C ~ +125°C) のデバイスおよびすべての AEC-Q100 デバイスでは、各 ECC データユニットに対して消去動作と消去動作の間に1つのプログラム動作のみ (シングルパスプログラム) を実行する必要があります。

消去動作のないマルチパスプログラムは、そのデータユニットに対するデバイスの ECC 機能を無効にします。2ビット ECC が有効な場合、同じセクタ内のマルチパスプログラムはプログラムエラーを引き起こすことに注意してください。

### 4.10.2 ページプログラム

ページプログラムはプログラムされるデータをページバッファにロードし、データをバッファからメモリアレイへ転送するプログラムコマンドを発行することで行われます。これは単一のプログラムトランザクションでプログラムできるデータ量に上限を設定します。ページプログラムにより、1つの動作で最大1ページサイズ (256 または 512 バイト) までプログラムできます。ページサイズはコンフィギュレーションレジスタ3のCFR3V[4] ビットで決まります。ページはページサイズのアドレス境界に整列されます。各ページプログラム動作で1ビットからページサイズまでプログラムすることが可能です。16バイトの倍数である長さの整列されたプログラムブロックで書き込むことが推奨されます。これは、ECCが無効にならないようにするためです。ページプログラムの最高のスループットを得るために、プログラムは512バイト境界に整列された512バイトのフルページに対して行い、各ページを一度だけプログラムするべきです。

### 4.10.3 ページプログラムトランザクション

ページプログラム (PRPGE\_4\_1) トランザクションはデータをメモリ アレイにプログラムします。開始アドレスとページ整列終了境界間の空間であるページサイズ (256B または 512B) よりも多くのデータがデバイスに送信された場合、データロードシーケンスはページの最後のバイトから同ページの 0 バイト位置にラップし、同ページに既にロードされているデータを上書きします。1 ページより少ないデータがデバイスに送信された場合、データバイトはページ内の他のバイトに影響することなく、ページ内の与えられたアドレスから順々にプログラムされます。プログラムプロセスはデバイスの内部制御ロジックで制御されます。PRGERR ビットは、プログラムを正常に完了させないエラーがプログラムトランザクションに発生したかどうかを示します。これには保護された領域をプログラムすることが含まれます (109 ページの “[トランザクションテーブル](#)” を参照してください)。

オクタル SDR モードでは、このトランザクションは単一バイト コマンドに使用され、そのアドレスは偶数または奇数アドレスで開始できます。DDR モードでは、このコマンドは 2 バイトの倍数単位のプログラムにのみ使用され、アドレスは偶数アドレスで開始する必要があります。

### 4.10.4 セキュアシリコン領域プログラムトランザクション

セキュアシリコンプログラム (PRSSR\_4\_1) トランザクションは、メイン アレイから独立した異なるアドレス空間かつ OTP である SSR にデータをプログラムします。SSR は 1024 バイトであるため、このトランザクションでは A31 ~ A10 のアドレスビットは 0 でなければなりません (109 ページの “[トランザクションテーブル](#)” を参照してください)。SSR 空間をプログラムするとき、開始アドレスを 32 ビットに整列する必要があります。つまり、アドレスビット A1 と A0 は 0'b であり、ホストは CS# をデアサートする必要があります。

PRGERR ビット (STR1V[6]) を確認することで、動作中にエラーが発生したかを判定できます。

OTP アレイをビット単位でプログラムするために、データバイト内の残りのビットを「1」にセットできます。

各 SSR メモリ空間は、ロックされていない限り、1 回以上プログラムできます。ロックされた領域に「0」をプログラムしようとする、動作は失敗し、PRGERR ビット (STR1V[6]) が「1」にセットされます。保護された領域であっても「1」をプログラムしたら、エラーが発生せず、PRGERR ビットもセットされません。後続のプログラムはプログラムされていないビット (「1」のデータ) に対してのみ行えます。ECC ユニット内で 2 回以上プログラムすると、そのデータユニットでの ECC は無効になります。

### 4.10.5 持続的保護ビット (PPB) プログラム

持続的保護ビット プログラム (PRPPB\_4\_0) トランザクションは PPB レジスタのビットをプログラムし、与えられたアドレスのセクタをプログラムや消去から保護します (109 ページの “[トランザクションテーブル](#)” を参照してください)。

PRGERR ビット (STR1V[6]) を確認することで、動作中にエラーが発生したかを判定できます。ASPPPB (ASPO[3])、ASPPRM (ASPO[0]) および PPBLCK (PPLV[0]) ビットによって保護されている PPB ビットをプログラムしようとする、PPB ビット プログラム トランザクションは中止します。

### 4.10.6 プログラムに関連するレジスタとトランザクション

Table 33 プログラムに関連するレジスタとトランザクション

関連するレジスタ	関連する SPI トランザクション (Table 75 を参照してください)	関連するオクタルトランザクション (Table 78 を参照してください)
ステータスレジスタ 1 (STR1N, STR1V) (Table 41 を参照)	書き込みイネーブル (WRENB_0_0)	書き込みイネーブル (WRENB_0_0)
コンフィギュレーションレジスタ 5 (CFR5N, CRF5V) (Table 54 を参照)	ページプログラム (PRPGE_4_1)	ページプログラム (PRPGE_4_1)
高度セクタ保護レジスタ (ASPO) (Table 61 を参照)	セキュアシリコンプログラム (PRSSR_4_1)	セキュアシリコンプログラム (PRSSR_4_1)
ASP PPB ロック (PPLV) (Table 63 を参照 してください)	持続的保護ビット プログラム (PRPPB_4_0)	持続的保護ビット プログラム (PRPPB_4_0)
ECC ステータスレジスタ (ECSV) (Table 58 を参照してください)	プログラムおよび消去失敗フラグ クリア (CLPEF_0_0)	プログラムおよび消去失敗フラグ クリア (CLPEF_0_0)

## 4.11 消去

メモリ アレイと持続的保護ビットのデータ ビットを「1」に消去する (すべてのバイトは FFh) 消去トランザクションがあります。

これらの消去トランザクションは次の3つのプロトコルのいずれも使用できます。

- 1 バイト コマンド (CK 立ち上りエッジごとに 1 ビット) を転送する SDR (1S-1S-1S) プロトコルを備える SPI インターフェース
- 2 バイト コマンド (CK 立ち上りエッジごとに 8 ビット) を転送する SDR (8S-8S-8S) プロトコルを備えるオクタルインターフェース
- 2 バイト コマンド (CK 立ち上りエッジと立ち下りエッジごとに 8 ビット) を転送する DDR (8D-8D-8D) プロトコルを備えるオクタルインターフェース

デバイスは消去トランザクションを受け入れる前に、書き込みイネーブル (WREN<sub>B\_0\_0</sub>) トランザクションを発行して復号する必要があります。ステータスレジスタの書き込み / プログラム イネーブル ビット (WRPGEN) が「1」にセットされ消去動作を有効にする場合にのみ、デバイスは消去トランザクションを実行できます。消去トランザクションが完了すると、WRPGEN ビットは「0」にリセットされます。

消去トランザクション進行中に、ステータスレジスタ 1 を読み出してデバイスのレディ / ビジー (RDYBSY) ビットの値を確認できます。RDYBSY ビットはセルフタイムの消去トランザクション中は「1」で、完了時には「0」です。

ERSERR ビット (STR1V[5]) を確認することで、消去トランザクション中にエラーが発生したかどうかを判定できます。

ブロック保護ビットまたは ASP により書き込み保護されたセクタに消去トランザクションを適用すると、トランザクションは実行せずに、ERSERR 失敗ステータス ビットをセットします。

CS# が論理 HIGH 状態に駆動されると、消去トランザクションは開始されます。

工場出荷時の消去状態は、全バイトが FFh です。

### 4.11.1 4KB セクタ消去トランザクション

4KB セクタ消去 (ER004\_4\_0) トランザクションは 4KB セクタのすべてのビットを「1」にセットします (すべてのバイトは FFh) (109 ページの **“トランザクションテーブル”** を参照してください)。

デバイスがユニフォーム セクタのみに設定された場合 (CFR3V[3]=1)、このトランザクションは無視されます。4KB セクタ消去トランザクションが 4KB でないセクタ アドレスに対して発行された場合、デバイスは動作を中止し、ERSERR 失敗ステータス ビットをセットしません。

### 4.11.2 256KB セクタ消去トランザクション

256KB セクタ消去 (ER256\_4\_0) トランザクションはアドレス指定されたセクタのすべてのビットを「1」にセットします (全バイトは FFh) (109 ページの **“トランザクションテーブル”** を参照してください)。

デバイス コンフィギュレーション オプション (CFR3V[3]) はハイブリッドセクタアーキテクチが使用されているかどうかを判定します。CFR3V[3]=0 の場合、4KB セクタはデバイス アドレス空間の最上位または最下位アドレス (128KB または 64KB) の一部に重なます。4KB セクタによって重ねられた 256KB セクタにセクタ消去コマンドを適用すると、重ねられた 4KB セクタは消去動作に影響されません。消去されるのは、128KB または 192KB セクタの可視の (重ねられていない) 部分のみです。CFR3V[3]=1 の場合、デバイス アドレス空間には 4KB セクタがなく、セクタ消去コマンドは常に完全に可視の 256KB セクタで動作します。

BLKCHK が有効にされると、消去トランザクションは最初にセクタの消去状態を判断します。セクタが消去された場合、消去動作は中止されます。消去動作はセクタでプログラムされたビットが検出された場合にのみ実行されます。BLKCHK を無効にすると、消去動作が無条件に実行されます。

### 4.11.3 チップ消去トランザクション

チップ消去 (ERCHP\_0\_0) トランザクションは、フラッシュ メモリ アレイ 全体のすべてのビットを「1」にセットします (すべてのバイトは FFh) (109 ページの “[トランザクションテーブル](#)” を参照してください)。

チップ消去トランザクションは、ブロック保護 (BP2、BP1、BP0) ビットが「0」にセットされた場合にのみ実行できます。BP ビットが 0 でない場合、トランザクションは実行されず、ERSERR 失敗ステータスビットがセットされません。トランザクションは高度セクタ保護 DYB または PPB により保護されているすべてのセクタを飛ばし、ERSERR 失敗ステータスビットがセットされません。

#### 4.11.3.1 持続的保護ビット (PPB) 消去トランザクション

PPB 消去 (ERPPB\_0\_0) トランザクションはすべての PPB ビットを「1」にセットします (109 ページの “[トランザクションテーブル](#)” を参照してください)。PPB ビットが ASPPPB (ASPO[3])、ASPPRM (ASPO[0]) および PPBLCK (PPLV[0]) ビットにより保護されている場合、トランザクションは中止します。

### 4.11.4 ステータスおよびカウント消去

#### 4.11.4.1 消去ステータス判断トランザクション

消去ステータス判定 (EVERS\_4\_0) トランザクションは、アドレス指定されたセクタの直前の消去動作が正常に完了したかを確認します。選択されたセクタが正常に消去された場合、消去ステータスビット (STR2V[2]) は「1」にセットされます。完全に消去されていない場合、STR2V[2] は「0」です。このトランザクションの前に書き込み / プログラムイネーブルトランザクション (WRPGEN ビットをセットするため) を実行する必要がありません。ただし、RDYBSY ビットは、ステータス読み出し中に STR1V[0] に示されるように、デバイスによってセットされ動作終了時にクリアされます (109 ページの “[トランザクションテーブル](#)” を参照してください)。

消去ステータス判定トランザクションは、消去動作中の電力喪失、リセットや動作失敗による消去動作不良を検出するために使用されます。このトランザクションは、完了し STR2V での消去ステータスを更新するために  $t_{EES}$  を要します。RDYBSY ビット (STR1V[0]) を読み出して消去ステータス判定トランザクションがいつ完了したかを判定できます。STR2V[2]=0 でセクタが消去されなかったことを検出した場合、そのセクタ内のデータ格納を確保するために、そのセクタを再び消去しなければなりません。

#### 4.11.4.2 セクタ消去カウント トランザクション

セクタ消去カウント (SEERC\_4\_0) トランザクションは、アドレス指定されたセクタの消去サイクル数を出力します。消去サイクル数はセクタ消去カウント (SECV[22:0]) レジスタに格納され、任意レジスタ読み出しトランザクションで読み出せます。RDYBSY ビットは、ステータス読み出し中に STR1V[0] に示されるようにデバイスによってセットされ、動作終了時にクリアされます (109 ページの “[トランザクションテーブル](#)” を参照してください)。

トランザクションは、完了して SECV[22:0] レジスタを更新するために  $t_{SEC}$  を要します。RDYBSY ビット (STR1V[0]) を読み出してセクタ消去カウント トランザクションがいつ完了したかを判定できます。SECV[23] ビットは、報告されたセクタ消去カウントが破損しリセットされたかを判定するために使用されます。

#### 4.11.5 消去に関連するレジスタとトランザクション

Table 34 消去に関連するレジスタとトランザクション

関連するレジスタ	関連する SPI トランザクション (Table 75 を参照してください)	関連するオクタルトランザクション (Table 78 を参照してください)
ステータス レジスタ 1 (STR1N, STR1V) (Table 41 を参照)	書き込みイネーブル (WRENB_0_0)	書き込みイネーブル (WRENB_0_0)
ステータス レジスタ 2 (STR2V) (Table 44 を参照してください)	4KB セクタ消去 (ER004_4_0)	4KB セクタ消去 (ER004_4_0)
コンフィギュレーション レジスタ 5 (CFR5N, CFR5V) (Table 54 を参照)	256KB セクタ消去 (ER256_4_0)	256KB セクタ消去 (ER256_4_0)
ASP PPB ロック (PPLV) (Table 63 を参照 してください)	チップ消去 (ERCHP_0_0)	チップ消去 (ERCHP_0_0)
ECC ステータス レジスタ (ECSV) (Table 58 を参照してください)	消去ステータス判定 (EVERS_4_0)	消去ステータス判定 (EVERS_4_0)
セクタ消去カウント レジスタ (SECV) (Table 67 を参照)	セクタ消去カウント (SEERC_4_0)	セクタ消去カウント (SEERC_4_0)
	持続的保護ビット (PPB) 消去トランザク ション (ERPPB_0_0)	持続的保護ビット (PPB) 消去トランザク ション (ERPPB_0_0)

#### 4.12 組込み動作の一時停止と再開

HL-T/HS-T デバイスは、消去、プログラムまたはデータ整合性チェックなど実行中の組込み動作を中断し、一時停止させられます。ホストが中間動作を終了し、該当する再開トランザクションをデバイスに送信すると、一時停止された動作も再開できます。

##### 4.12.1 消去 / プログラム / データ整合性チェック一時停止

一時停止トランザクションにより、システムはプログラム / 消去 / データ整合性チェック動作を中断させ、次に他の消去一時停止ではないセクタ、プログラム一時停止ではないページ、またはアレイから読み出すことが可能になります。プログラム / 消去 / データ整合性チェック動作がいつ停止したかを確認するために、ステータス レジスタ 1 のデバイス レディ / ビジー ステータス フラグ (RDYBSY - STR1V[0]) をチェックする必要があります。

###### 4.12.1.1 プログラム一時停止

- プログラム一時停止はプログラム動作の間のみ有効です。
- ステータス レジスタ 2 のプログラム動作一時停止ステータス フラグ (PROGMS - STR2V[0]) は、RDYBSY が「0」になったときにプログラム動作が一時停止されたか、または完了したかを判定するために使用されます。
- 読み出し動作を可能にするためにプログラム動作を一時停止できます。
- プログラム一時停止されたページ内のいかなるアドレスを読み出しても、不確定なデータが返されません。

###### 4.12.1.2 消去一時停止

- 消去一時停止はセクタ消去動作の間のみ有効です。
- ステータス レジスタ 2 の消去動作一時停止ステータス フラグ (ERASES - STR2V[1]) は、RDYBSY が「0」になったときに消去動作が一時停止されたか、または完了したかを判定するために使用されます。
- チップ消去動作を一時停止できません。
- プログラム動作または読み出し動作を可能にするために消去動作を一時停止できます。
- 消去一時停止中に、DYB アレイを読み出してセクタ保護を確認できます。
- 既に一時停止された消去 / プログラム / データ整合性チェック動作では新しい消去動作を行えません。この場合、消去コマンドは無視されます。
- 消去一時停止されたセクタ内のいかなるアドレスから読み出しても、不確定なデータが返されます。

### 4.12.1.3 データ整合性チェック一時停止

- データ整合性チェック一時停止はデータ整合性チェック計算動作の間にのみ有効です。
- ステータスレジスタ 2 のメモリ アレイ データ整合性 CRC 一時停止ステータス フラグ (DICRCS - STR2V[4]) は、RDYBSY が「0」になったときにデータ整合性チェック動作が一時停止されたか、または完了したかを判定するために使用されます。
- 読み出し動作を可能にするためにデータ整合性チェック動作を一時停止できます。

任意レジスタ読み出しまたは持続的保護ビット消去トランザクションは、消去 / プログラム / データ整合性チェック一時停止の間には実行されません。したがって、消去一時停止中にブロック保護または PPB ビットを変更できません。消去一時停止中にプログラムを必要とするセクタがあれば、セクタは消去一時停止中にオフにできる DYB ビットでのみ保護する必要があります。

一時停止動作は完了するために  $t_{PEDS}$  を要します。

消去一時停止されたプログラム動作が完了すると、デバイスは消去一時停止モードに戻ります。通常のプログラム動作と同じように、システムはステータスレジスタ 1 の RDYBSY ビットを読み出すことでプログラム動作の状態を確認できます。Table 35 に、一時停止動作中に許可されるトランザクションの一覧を示します。

Table 35 一時停止中に許可されるトランザクション

トランザクション名	消去一時停止中に許可	プログラム一時停止中に許可	データ整合性チェック一時停止中に許可
書き込みディセーブル (WRDIS_0_0)	有	無	無
ステータスレジスタ 1 読み出し (RDSR1_0_0, RDSR1_4_0)		有	有
書き込みイネーブル (WRENB_0_0)		無	無
ステータスレジスタ 2 読み出し (RDSR2_0_0, RDSR2_4_0)		有	有
ページプログラム (PRPGE_4_1)		無	無
ECC ステータス読み出し (RDECC_4_0)		有	有
ECC ステータスレジスタクリア (CLECC_0_0)		有	
PPB ロックビット読み出し (RDPLB_0_0, RDPLB_4_0)			
プログラム / 消去 / データ整合性チェックの再開 (RSEPD_0_0)			
SSR プログラム (PRSSR_4_1)		無	無
SSR 読み出し (RDSSR_4_0)		有	有
固有 ID 読み出し (RDUID_0_0, RDUID_4_0)			
SFDP 読み出し (RSFDP_3_0, RSFDP_4_0)			
インターフェース CRC レジスタ読み出し (RDCRC_4_0)			
任意レジスタ読み出し (RDARG_C_0, RDARG_4_0)			
ソフトウェアリセットイネーブル (SRSTE_0_0)			
プログラムおよび消去失敗フラグクリア (CLPEF_0_0)			
ソフトウェアリセット (SFRST_0_0)			
ID レジスタ読み出し (RDIDIN_0_0, RDIDIN_4_0) (メーカーおよびデバイス ID)			
プログラム / 消去 / データ整合性チェックの一時停止 (SPEPD_0_0)		無	無
DYB 読み出し (RDDYB_4_0)		有	有
PPB 読み出し (RDPPB_4_0)			
オクタル SDR 読み出し (RDAY1_4_0)			
オクタル DDR 読み出し (RDAY2_4_0)			

### 4.12.2 消去 / プログラム / データ整合性チェック再開

一時停止した動作を再開するためには、消去 / プログラム / データ整合性チェックのトランザクションを書き込まなければなりません。プログラム、消去、またはデータ整合性チェック一時停止中にプログラムまたは読み出し動作が完了すると、一時停止中の動作を再開するために再開トランザクションが送信されます。

プログラム、消去、またはデータ整合性チェック再開トランザクションが発行された後、ステータスレジスタ 1 の RDYBSY ビットが「1」にセットされ、一時停止されたプログラム動作が再開されます。一時停止されたプログラム動作がない場合、一時停止された消去動作は再開されます。一時停止されたプログラム、消去、またはデータ整合性チェック動作がない場合、再開トランザクションは無視されます。

プログラム / 消去 / データ整合性チェック動作は、必要に応じて何度でも中断できます。例えば、プログラム一時停止トランザクションをプログラム再開トランザクションの直後にできます。ただし、プログラムまたは消去動作が完了するまで進行するためには、再開と次の一時停止トランザクションの間に  $t_{PEDRS}$  以上の時間が必要です。Figure 55 に、一時停止と再開の動作フローを示します。

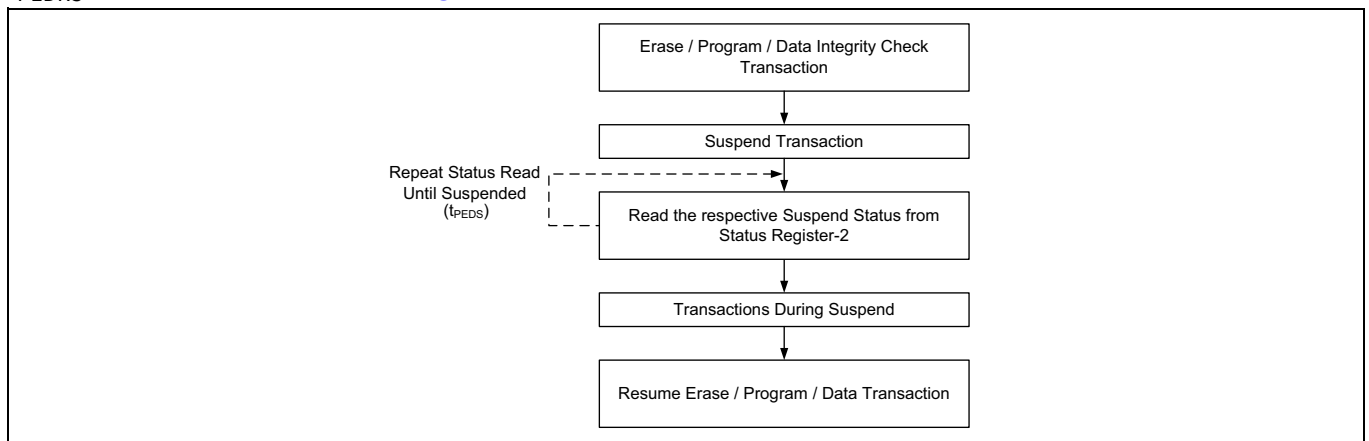


Figure 55 一時停止と再開シーケンス

### 4.12.3 一時停止と再開に関連するレジスタとトランザクション

Table 36 一時停止と再開に関連するレジスタとトランザクション

関連するレジスタ	関連する SPI トランザクション (Table 75 を参照してください)	関連するオクタルトランザクション (Table 78 を参照してください)
ステータス レジスタ 1 (STR1N, STR1V) (Table 41 を参照)	消去 / プログラム / データ整合性チェック一時停止 (SPEPD_0_0)	消去 / プログラム / データ整合性チェック一時停止 (SPEPD_0_0)
ステータス レジスタ 2 (STR2V) (Table 44 を参照してください)	消去 / プログラム / データ整合性チェック再開 (RSEPD_0_0)	消去 / プログラム / データ整合性チェック再開 (RSEPD_0_0)
	任意レジスタ読み出し (RDARG_C_0)	任意レジスタ読み出し (RDARG_4_0)
	ステータス レジスタ 1 読み出し (RDSR1_0_0)	ステータス レジスタ 1 読み出し (RDSR1_4_0)
	ステータス レジスタ 2 読み出し (RDSR2_0_0)	ステータス レジスタ 2 読み出し (RDSR2_4_0)



## 4.13 リセット

HL-T/HS-T デバイスは 4 種類のリセットメカニズムに対応しています。

- ハードウェアリセット (RESET# 入力ピンによる)
- POR
- CS# シグナリングリセット
- ソフトウェアリセット

### 4.13.1 ハードウェアリセット (RESET# 入力ピンによる)

RESET# 入力が  $t_{RP}$  より長い期間で論理 HIGH から論理 LOW に遷移するとリセット動作が始まり、デバイスは POR で実行する完全なリセットプロセスを実行します。ハードウェアリセットプロセスは完了するために  $t_{RH}$  を要します。タイミング仕様は [Table 85](#) を参照してください。

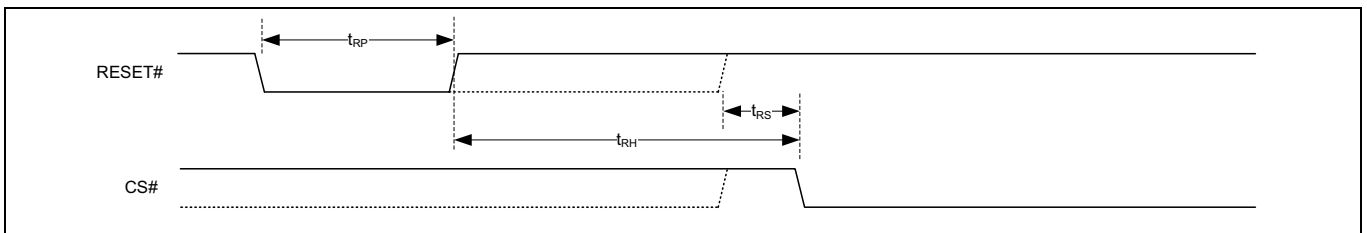


Figure 56 RESET# 入力によるハードウェアリセット (リセットパルス =  $t_{RP}(\text{Min})$ )

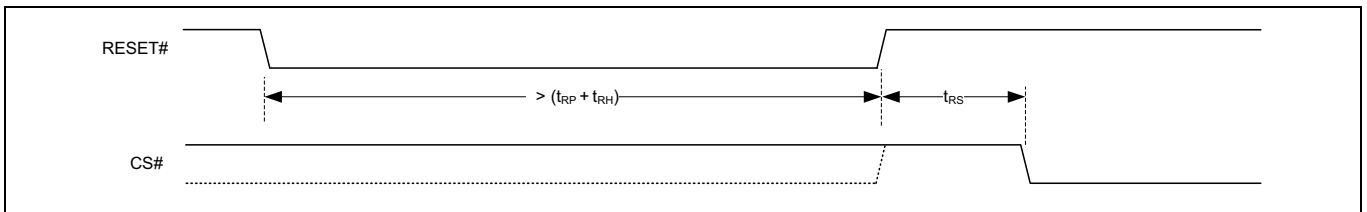


Figure 57 RESET# 入力によるハードウェアリセット (リセットパルス  $> [t_{RP} + t_{RH}]$ )

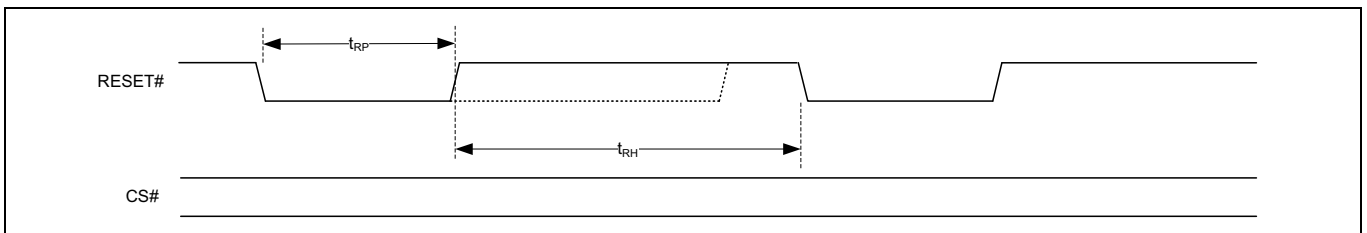


Figure 58 RESET# 入力によるハードウェアリセット (連続したハードウェアリセット)

### 4.13.2 パワーオンリセット (POR)

デバイスは、 $V_{CC}$  が最小  $V_{CC}$  閾値を超えてから  $t_{PU}$  の遅延時間が経過するまで、POR プロセスを実行します (Figure 59 と Figure 60 を参照してください)。電源投入 ( $t_{PU}$ ) 時にデバイスは選択できません。したがって、CS# は  $V_{CC}$  と共に立ち上がる必要があります。  $t_{PU}$  が経過するまで、デバイスにコマンドは送信できません。タイミング仕様は Table 85 を参照してください。

RESET# は POR 中は無視されます。RESET# が POR 中に LOW であり、 $t_{PU}$  期間中およびこの時間が経過した後も LOW のままであれば、RESET# が HIGH に戻ってから  $t_{RS}$  が経過するまで CS# は HIGH のままでなければなりません。

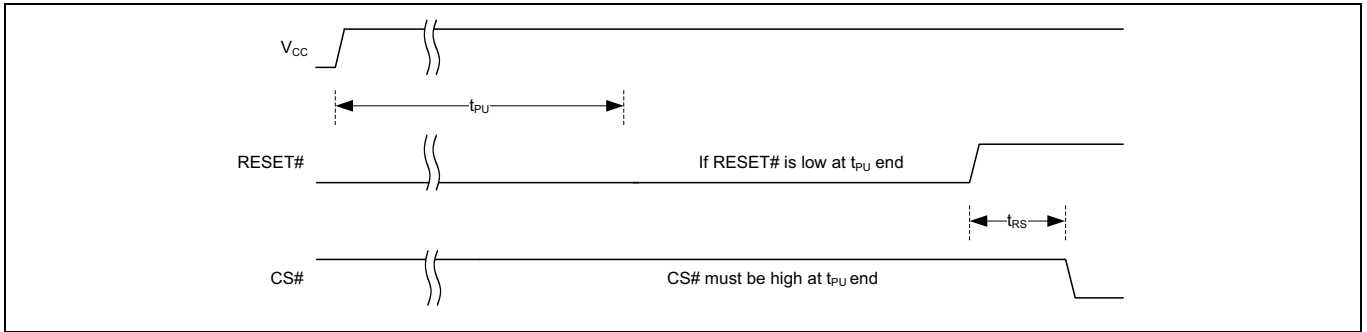


Figure 59 POR 終了時の RESET# LOW

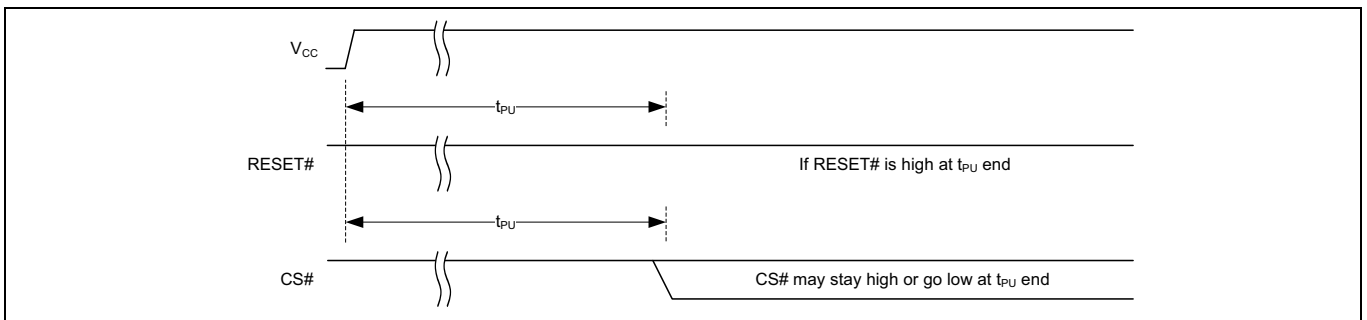


Figure 60 POR 終了時の RESET# HIGH

### 4.13.3 CS# シグナリング リセット

CS# シグナリング リセットには CS# と DQ0 信号が必要です。このリセット方式は、既存の信号を用いてシグナリング プロトコルを定義し、デバイスの動作モードやパッケージ ピン数に関係しない SPI フラッシュ ハードウェア リセットを実行します。

シグナリング プロトコルを **Figure 61** に示します。タイミング仕様は **Table 85** を参照してください。CS# シグナリング リセットの手順は以下のとおりです。

- CS# はアクティブ LOW に駆動されます。
- CK は HIGH 状態でも LOW 状態でも安定したままになります。
- CS# と DQ0 の両方は LOW に駆動されます。
- CS# は HIGH (非アクティブ) に駆動されます。
- DQ0 の状態を変更するたびに上記の 4 ステップを繰り返します (合計で 4 回)。
- 4 番目の CS# サイクルが完了し、CS# が HIGH (非アクティブ) になった後、リセットは行われます。

4 番目の CS# パルスの後、スレーブは内部リセットをトリガーし、デバイスは  $t_{\text{RESET}}$  の間に実行中の動作を終了させ、すべての出力を高インピーダンスにし、すべての読み書きトランザクションを無視します。その後、デバイスはスタンバイ状態になります。

このリセットシーケンスは通常の電源投入時に使用されず、デバイスがシステムに応答していないときにのみ使用されます。このリセットシーケンスはデバイスのいかなる状態でも実行可能です。したがって CS# シグナリング リセットは、RESET# ピンをサポートしないパッケージでは、ハードウェア リセットと同じ動作を提供するために役立ちます。

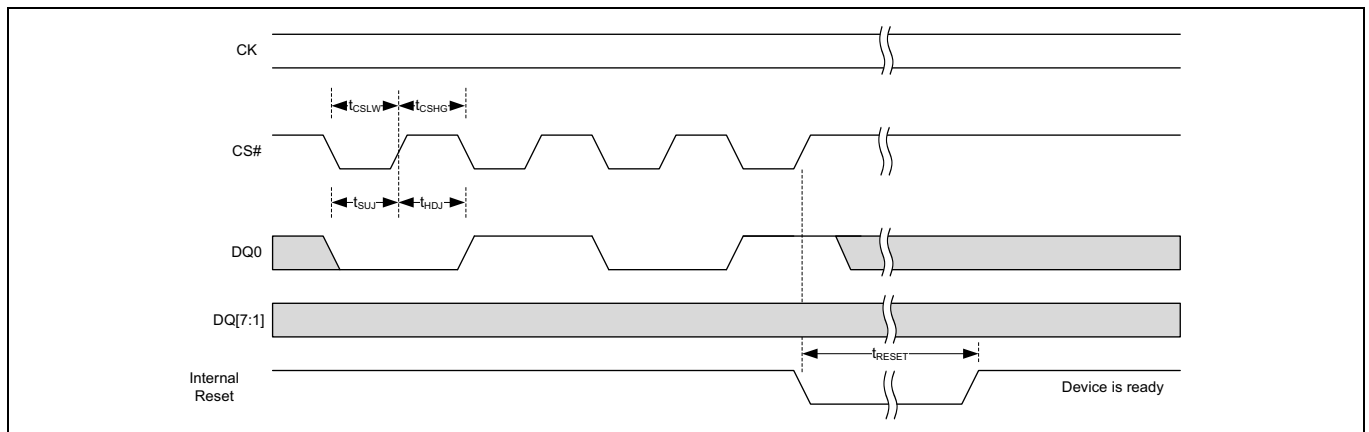


Figure 61 CS# シグナリング リセット プロトコル

#### 4.13.4 ソフトウェアリセット

ソフトウェアで制御されたリセット トランザクションは、保護レジスタを除き、揮発性レジスタを不揮発性デフォルト値からリロードすることで、デバイスを電源投入時の初期状態に復帰させます。また、組込み動作も終了させます。トランザクション終了時に CS# が HIGH になると、リセット (SFRST\_0\_0) トランザクションは実行され、完了するために  $t_{SR}$  を要します。タイミング仕様は [Table 85](#) を参照してください。

ソフトウェアリセットが2つのトランザクションから成るシーケンスとなるように、リセット イネーブル (SRSTE\_0\_0) トランザクションはリセット トランザクション (SFRST\_0\_0) の直前に必要とされます。SRSTE\_0\_0 トランザクションの後に続く SFRST\_0\_0 以外のいかなるトランザクションも、リセット イネーブル条件をクリアし、それ以降の SFRST\_0\_0 トランザクションが認識されないようにします。

SRSTE\_0\_0 トランザクションの直後にリセット (SFRST\_0\_0) トランザクションを実行することで、ソフトウェアリセット プロセスは開始します。ソフトウェアリセット中に、デバイスの揮発性と不揮発性のコンフィギュレーション状態が同じである限り、ステータスレジスタ 1 の RDSR1\_4\_0、RDARG\_C\_0 および RDARG\_4\_0 のみがサポートされます。ソフトウェアリセット中にコンフィギュレーション状態が変更された場合、ステータスレジスタ 1 の読み出しはソフトウェアリセット期間が経過した後にのみ行う必要があります。

ソフトウェアリセットは RESET# の状態に依存しません。RESET# が HIGH または未接続のときにソフトウェアリセット トランザクションが発行された場合、デバイスはソフトウェアリセットを実行します。

##### 4.13.4.1 ソフトウェアリセットに関連するレジスタとトランザクション

Table 37 ソフトウェアリセットに関連するレジスタとトランザクション

関連するレジスタ	関連する SPI トランザクション ( <a href="#">Table 75</a> を参照してください)	関連するオクタール トランザクション ( <a href="#">Table 78</a> を参照してください)
該当なし	ソフトウェアリセット イネーブル (SRSTE_0_0)	ソフトウェアリセット イネーブル (SRSTE_0_0)
	ソフトウェアリセット (SFRST_0_0)	ソフトウェアリセット (SFRST_0_0)

機能

### 4.13.5 リセット動作

Table 38 リセット動作

トランザクション/レジスタ名	POR	ハードウェアリセットとCS# シグナリングリセット	ソフトウェアリセット
まとめ	<ul style="list-style-type: none"> <li>• デバイスはリセットします。</li> <li>• ステータスビットはリセットします。</li> <li>• すべての揮発性レジスタはリセットします。</li> <li>• コンフィギュレーションはデフォルトに再ロードします。</li> <li>• 揮発性保護はデフォルトにリセットします。</li> <li>• 不揮発性保護は変化しません。</li> <li>• すべての組み込み動作はリセットします。</li> </ul>	<ul style="list-style-type: none"> <li>• デバイスはリセットします。</li> <li>• ステータスビットはリセットします。</li> <li>• すべての揮発性レジスタはリセットします。</li> <li>• コンフィギュレーションはデフォルトに再ロードします。</li> <li>• 揮発性保護はデフォルトにリセットします。</li> <li>• 不揮発性保護は変化しません。</li> <li>• すべての組み込み動作はリセットします。</li> </ul>	<ul style="list-style-type: none"> <li>• デバイスはリセットします。</li> <li>• ステータスビットはリセットします。</li> <li>• コンフィギュレーションはデフォルトに再ロードします。</li> <li>• 揮発性保護はデフォルトにリセットします。</li> <li>• 不揮発性保護は変化しません。</li> <li>• すべての組み込み動作はリセットします。</li> </ul>
インターフェース要件	<ul style="list-style-type: none"> <li>• すべての入力は無視されます。</li> <li>• すべての出力はトライステートになります。</li> </ul>	<ul style="list-style-type: none"> <li>• すべての入力は無視されます。</li> <li>• すべての出力はトライステートになります。</li> </ul>	トランザクション (SRSTE_0_0, SFRST_0_0)
ステータスレジスタ	不揮発性レジスタからロードします。	不揮発性レジスタからロードします。	不揮発性レジスタからロードします。
コンフィギュレーションレジスタ	不揮発性レジスタからロードします。	不揮発性レジスタからロードします。	不揮発性レジスタからロードします。
保護レジスタ	PPB ロックレジスタは ASPO[2:1] に基づいてロードします。	PPB ロックレジスタは ASPO[2:1] に基づいてロードします。	PPB ロックレジスタは変化しません。
	DYB アクセスレジスタは ASPO[4] に基づいてロードします。	DYB アクセスレジスタは ASPO[4] に基づいてロードします。	DYB アクセスレジスタは変化しません。
	パスワードレジスタは ASPO[2] および ASPO[0] に基づいてロードします。	パスワードレジスタは ASPO[2] および ASPO[0] に基づいてロードします。	パスワードレジスタは変化しません。
ECC ステータスレジスタ	0x00 をロードします。	0x00 をロードします。	0x00 をロードします。
オートブートレジスタ	不揮発性レジスタからロードします。	不揮発性レジスタからロードします。	変化しません。
データ整合性チェックレジスタ	0x00 をロードします。	0x00 をロードします。	0x00 をロードします。
インターフェース CRC レジスタ	0x00 をロードします。	0x00 をロードします。	0x00 をロードします。
ECC エラー カウント レジスタ	0x00 をロードします。	0x00 をロードします。	0x00 をロードします。
アドレストラップレジスタ	0x00 をロードします。	0x00 をロードします。	0x00 をロードします。
Endurance Flex レジスタ	不揮発性レジスタからロードします。	不揮発性レジスタからロードします。	変化しません。
I/O モード	不揮発性レジスタからロードします。	不揮発性レジスタからロードします。	変化しません。
進行中のメモリ / レジスタ消去	該当なし	消去を中止します。	消去を中止します。
進行中のメモリ / レジスタプログラム	該当なし	プログラムを中止します。	プログラムを中止します。
進行中のメモリ / レジスタ読み出し	該当なし	読み出しを中止します。	該当なし
INT# ピン コンフィギュレーションレジスタ	0xFF をロードします。	0xFF をロードします。	0xFF をロードします。
INT# ピン ステータスレジスタ	0xFF をロードします。	0xFF をロードします。	0xFF をロードします。

## 4.14 電力モード

### 4.14.1 アクティブ電力モードとスタンバイ電力モード

チップセレクト (CS#) が LOW のとき、デバイスは有効になり、アクティブ電力モードに入ります。CS# が HIGH になると、デバイスは無効になりますが、プログラム / 消去 / 書き込み動作が完了するまではアクティブ電力モードのままです。その後、デバイスはスタンバイ電力モードに移行し、消費電力は  $I_{SB}$  に低下します。パラメーター仕様は [Table 83](#) を参照してください。

### 4.14.2 ディープパワーダウン (DPD) モード

通常動作時のスタンバイ電流は比較的低いですが、DPD モードを使うとさらにスタンバイ電流を減らせます。低い消費電力により、DPD モードは特にバッテリー駆動アプリケーションに役立ちます。

#### 4.14.2.1 DPD 開始

デバイスは DPD モードを開始するためには 2 つの方法があります。

1. トランザクションによる DPD モード開始
2. 電源投入またはリセットによる DPD モード開始

ディープパワーダウンモード開始トランザクションによる **DPD** モード開始

DPD モードは、ディープパワーダウンモード開始トランザクション (ENDDPD\_0\_0) を送信して  $t_{ENTDPD}$  の遅延時間待機することで有効にされます。コマンドバイトがラッチされた後に、CS# ピンを HIGH に駆動する必要があります。そうしないと、DPD トランザクションは実行されません。CS# が HIGH に駆動された後、 $t_{ENTDPD}$  の期間内にパワーダウン状態に入り (タイミング仕様は、[Table 85](#) を参照してください)、消費電力が  $I_{DPD}$  に低下します。パラメーター仕様は [Table 83](#) を参照してください。

デバイスは、アイドル状態からのみ DPD に移行します。DPD トランザクションは、デバイスが組み込みアルゴリズムを実行していないときにのみ受け入れられます。揮発性ステータスレジスタ 1 によって示されるように、デバイスレディ/ビジーステータスフラグ (RDYBSY) ビットは「0」にクリアされます ( $STR1V[0]=0$ )。  $t_{ENTDPD}$  時間中にデバイスにトランザクションは送信できません。

電源投入またはリセットによる **DPD** モード開始

DPDPOR コンフィギュレーションビットが有効 ( $CFR4NV[2]=1$ ) になった場合、デバイスは、電源投入、ハードウェアリセットまたは CS# シグナリングリセットの完了後に、DPD モードに入ります。POR またはリセット中、[Figure 62](#) に示すように DPD モードに入るために CS# は VCC に印加された電圧に従う必要があります。  $t_{ENTDPD}$  時間中にデバイスにトランザクションは送信できません。

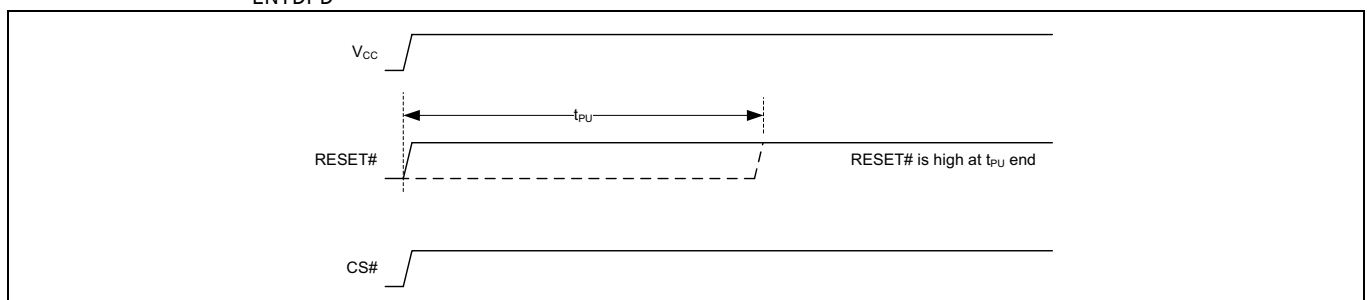


Figure 62 電源投入またはリセットによる DPD モード開始

#### 4.14.2.2 DPD 終了

デバイスは DPD モードを終了するために以下の方法があります。

ハードウェアリセットによる DPD モード終了

デバイスが DPD モードおよび CFR4NV[2] が「0」のとき、ハードウェアリセットはデバイスをスタンバイモードに復帰させます。

CS# パルスによる DPD モード終了

デバイスは、パルス幅が  $t_{CSDDP}$  の CS# パルスを受信すると DPD モードを終了します。パルスの後に CS# を HIGH に駆動する必要があります。DPD 終了後にトランザクションサイクルを開始するために CS# の HIGH から LOW への遷移が必要です。DPD モードを終了するために  $t_{EXTDPD}$  を要します。デバイスは  $t_{EXTDPD}$  が経過するまで応答しません。

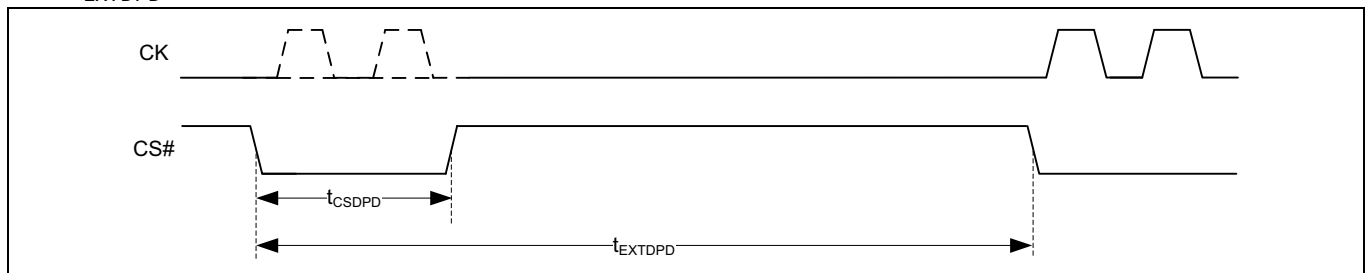


Figure 63 DPD モード終了

DPD 中にデバイスはコンフィギュレーションを維持する、すなわち、デバイスは DPD の開始時と同じ状態で DPD を終了します。ECC ステータス、ECC エラー検出カウンター、アドレストラップ、および割り込みステータスレジスタなどのレジスタはクリアされます。

#### 4.14.2.3 DPD に関連するレジスタとトランザクション

Table 39 DPD に関連するレジスタとトランザクション

関連するレジスタ	関連する SPI トランザクション (Table 75 を参照してください)	関連するオクタルトランザクション (Table 78 を参照してください)
コンフィギュレーションレジスタ 4 (CFR4N, CFR4V) (Table 52 を参照)	ディープパワーダウンモード開始 (ENDPD_0_0)	ディープパワーダウンモード開始 (ENDPD_0_0)

## 4.15 電源投入と電源切断

電源投入と電源切断時に、以下のように  $V_{CC}$  が正しい値に達するまでデバイスを選択してはいけません。

- 電源投入時、そして、 $t_{PU}$  の遅延時間の間  $V_{CC}(\text{min})$
- 電源切断時には  $V_{SS}$

### 4.15.1 電源投入

デバイスは、 $V_{CC}$  が最小  $V_{CC}$  閾値を超えてから  $t_{PU}$  の遅延時間が経過するまですべてのトランザクションを無視します (Figure 64 を参照してください)。ただし、 $t_{PU}$  中に  $V_{CC}$  が  $V_{CC}(\text{Min})$  以下になった場合、デバイスの正常な動作は保証されません。 $t_{PU}$  の終了まで、コマンドをデバイスに送信しないようにしてください。

デバイスは  $t_{PU}$  中に  $I_{POR}$  電流を消費します。電源投入 ( $t_{PU}$ ) 後、WRPGEN ビットがリセットされ、デバイスは DPD モードまたはスタンバイ モードに入るオプションがあります。コンフィギュレーションレジスタ 4 の DPDPOR ビット (CFR4N[2]) は、POR 完了後にデバイスが DPD モードまたはスタンバイ モードのどちらになるかを制御します (Table 52 を参照してください)。DPDPOR ビットが有効 (CFR4N[2]=1) の場合、デバイスは電源投入後に DPD モードに入ります。POR 後にデバイスがスタンバイ モードに戻るためには、ハードウェアリセット (RESET#) が必要です。

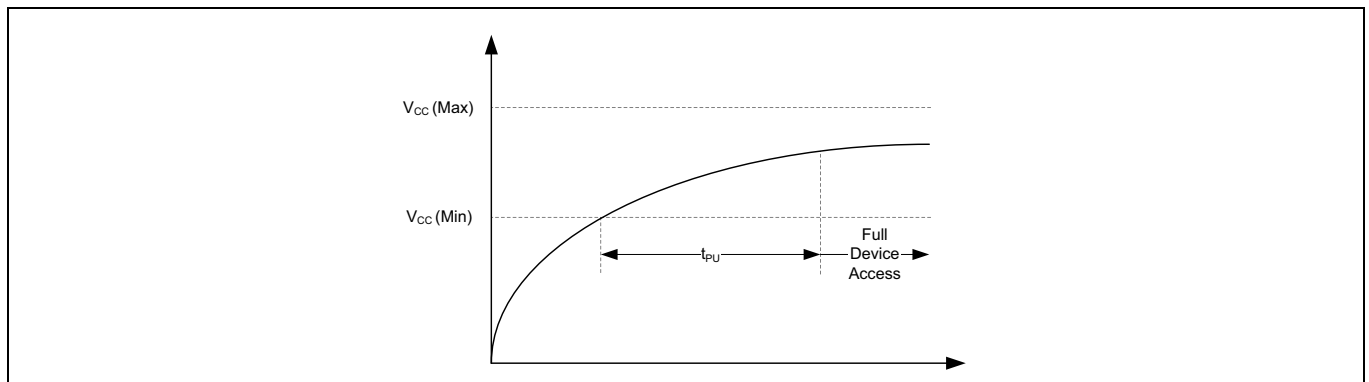


Figure 64 電源投入

### 4.15.2 電源切断

電源切断中または電圧が  $V_{CC}(\text{cut-off})$  を下回っている間、電圧は  $t_{PD}$  時間の間  $V_{CC}(\text{Low})$  を下回る必要があります。これにより、デバイスは電源投入時に正常に初期化できます (Figure 65 を参照してください)。電圧低下中に、 $V_{CC}$  が  $V_{CC}(\text{cut-off})$  を上回ったままの場合は、デバイスは初期化状態のままとなり、 $V_{CC}$  が再度  $V_{CC}(\text{min})$  を上回ったとき、正常に動作します。電源投入後に POR が正常に完了しない場合、RESET# のアサート時に POR プロセスが再起動されます。

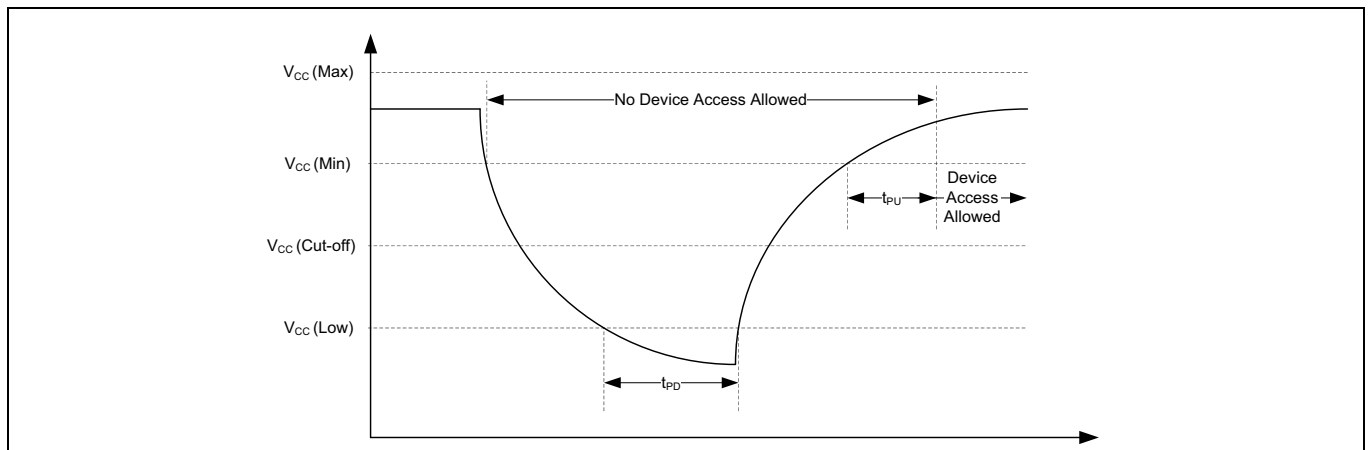


Figure 65 電源切断と電圧低下



### 4.15.3 電源投入と電源切断シーケンス

HL-T/HS-T デバイスの保証される信頼できる動作のためには、以下の電源シーケンスに従ってください。

- 電源投入シーケンス中、 $V_{CCQ}$  の前に  $V_{CC}$  を印加します。電源投入時  $V_{CCQ}$  が  $V_{CC}$  を超えない限り、 $V_{CC}$  と  $V_{CCQ}$  を同時に印加できます。
- 電源切断モード時、 $V_{CC}$  の前に  $V_{CCQ}$  を下げます。電源投切断時  $V_{CCQ}$  が  $V_{CC}$  を超えない限り、 $V_{CC}$  と  $V_{CCQ}$  を同時に下げられます。
- $V_{CCQ}$  を  $V_{CC}$  以下にすることを推奨します。

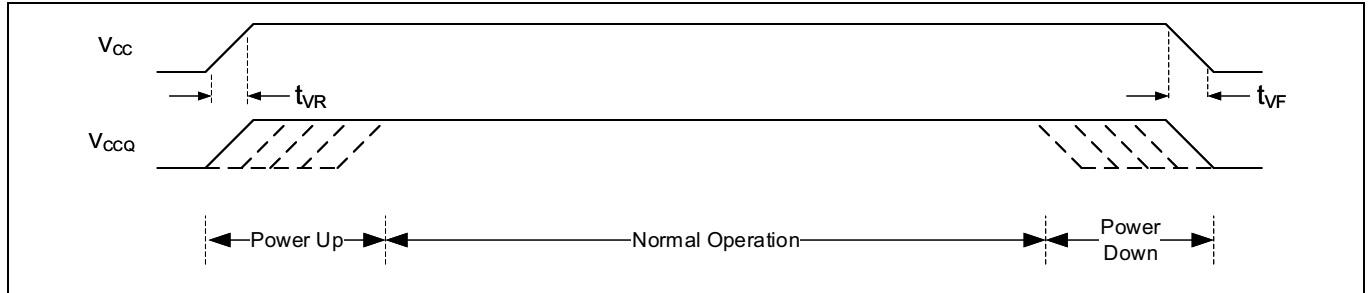
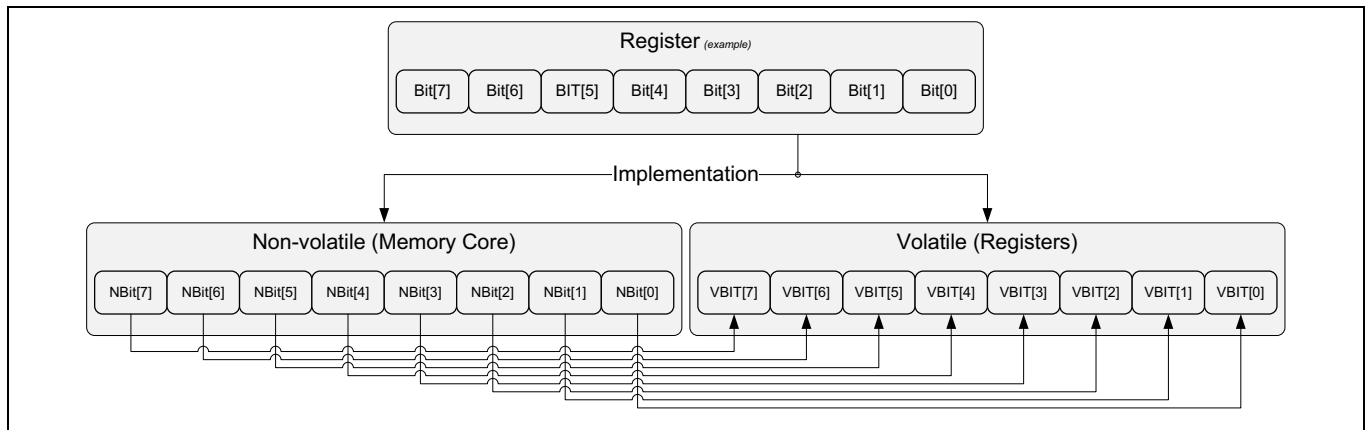


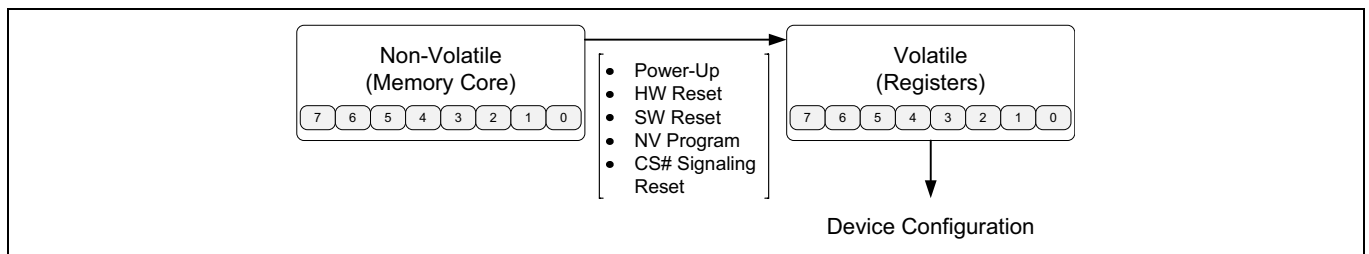
Figure 66 電源投入と電源切断シーケンス

## 5 レジスタ

レジスタは、デバイス動作の設定およびステータス報告のために使用される小さなストレージセルグループです。HL-T/HS-T デバイスファミリは、レガシー互換性および新機能のために、個別の不揮発性と揮発性ストレージグループを使用して異なるレジスタビットタイプを実装します。各レジスタは、揮発性ビットと対応する不揮発性ビット (恒久的な保存が必要な場合) のグループとして構成されます。電源投入、ハードウェアリセットまたはソフトウェアリセットのとき、レジスタの不揮発性ビットのデータは揮発性ビットに転送され、揮発性ビットのデフォルト状態を提供します。レジスタの不揮発性ビットに新しいデータを書き込むと、揮発性ビットも新しいデータで更新されます。しかし、揮発性レジスタビットに新しいデータを書く込むと、不揮発性ビットは古いデータを保持します。レジスタ構造を **Figure 67** に示します。



**Figure 67** レジスタ構造



**Figure 68** レジスタ要素内のデータ移動

レジスタ

## 5.1 レジスタ命名規則

Table 40 レジスタ ビットの表記法

ビット番号	名称	機能	読み出し / 書き込み	工場出荷時設定 (2進)	説明
REGNAME#T[x] T=N, V, O  降順	-	-	オプション: N/A - 適用不可 R - 読み出し専用 R/W - 読み出し / 書き込み R/1 - 読み出し / OTP	オプション: 0 1	フォーマット: コンフィギュレーションビット の説明  オプション 0=ビットを「0」に選択するオ プション 1=ビットを「1」に選択するオ プション  依存性: このビットは実装に複 数のビットを必要とする機能の 一部ですか?

## 5.2 ステータス レジスタ 1 (STR1x)

ステータスレジスタ 1 はステータスビットおよび制御ビットを含みます。Table 41 で、サポートされたステータスレジスタ 1 の機能を説明します。

Table 41 ステータスレジスタ 1<sup>[22]</sup>

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2進)	説明
STR1N[7] STR1V[7]	RESRVD	将来使用するために予約済み	N->R V->R	0	このビットは将来使用するために予約されています。このビットは常にデフォルトの状態に書き込まれるかロードされる必要があります。
STR1V[6]	PRGERR	プログラムエラーステータスフラグ	V->R	0	説明: PRGERR ビットはプログラム動作の成功または失敗を示します。PRGERR ビットが「1」の場合、最後のプログラム動作にエラーがあったことを示します。PRGERR ビットは保護されたメモリ領域でプログラム動作が行われたときにもセットされます。PRGERR がセットされている場合、クリアプログラムおよび消去失敗フラグクリア (CLPEF_0_0) トランザクションまたはハードウェア / ソフトウェアのリセットでのみクリアできます。 注: デバイスは、PRGERR フラグがクリアされた場合にのみスタンバイモードに入ります。  選択オプション: 0= 前回のプログラム動作は成功しました。 1= 前回のプログラム動作は成功しませんでした。  依存性: 該当なし

注  
 22.POR/ ハードウェアリセット / ソフトウェアリセット / DPD 終了 / CS# シグナリングリセット中の STR1x の値は無効です。

レジスタ

Table 41 ステータスレジスタ 1<sup>[22]</sup> (続き)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2進)	説明
STR1V[5]	ERSERR	消去エラー ステータス フラグ	V->R	0	<p>説明: ERSERR ビットは消去動作の成功または失敗を示します。ERSERR ビットが「1」にセットされたとき、最終の消去動作にエラーがあったことを示します。ERSERR ビットは保護されたメモリ セクタで消去動作が行われたときにもセットされます。ERSERR がセットされている場合、クリアプログラムおよび消去失敗フラグクリア (CLPEF_0_0) トランザクションまたはハードウェア / ソフトウェアのリセットでのみクリアできます。</p> <p>注: デバイスは、ERSERR フラグがクリアされた場合にのみスタンバイ モードに入ります。</p> <p>選択オプション:                      0= 前回の消去動作は成功しました。                      1= 前回の消去動作は成功しませんでした。                      依存性: 該当なし</p>
STR1N[4:2] STR1V[4:2]	LBPROT[2:0]	メモリ アレイ サイズ 選択に基づくレガシー ブロック保護	PLPROT=0 の場合 N->R/W V->R/W  PLPROT=1 の場合 N->R V->R	000	<p>説明: LBPROT[2:0] ビットはプログラムおよび消去トランザクションから保護されるメモリ アレイ サイズを定義します。LBPROT[2:0] コンフィギュレーションに基づき、上位 1/64, 1/4, 1/2 など、または下位 1/64, 1/4, 1/2 など、またはアレイ全体が保護されます。</p> <p>注: レガシー ブロック保護および 4KB セクタ アーキテクチャの恒久的ロック選択である PLPROT ビットが「1」の場合、LBPROT[2:0] ビットは消去またはプログラムされません。</p> <p>選択オプション:                      000= 保護は無効です。                      001= 上位 / 下位 1/64 のアレイ保護は有効です。                      010= 上位 / 下位 1/32 のアレイ保護は有効です。                      .....                      111= すべてのセクタは保護されます。                      依存性: TBPROT (CFR1x[5])</p>

注  
 22.POR/ ハードウェアリセット / ソフトウェアリセット / DPD 終了 / CS# シグナリングリセット中の STR1x の値は無効です。

レジスタ

Table 41 ステータスレジスタ 1<sup>[22]</sup> (続き)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2進)	説明
STR1V[1]	WRPGEN	書き込み / プログラム イネーブル ステータ スフラグ	V->R	0	<p>説明: WRPGEN ビットに「1」をセットし、すべてのプログラム、消去またはレジスタ書き込み動作を有効にします。これにより、メモリやレジスタ値を誤って変更することを防ぎます。書き込みイネーブル (WRENB_0_0) トランザクションは WRPGEN ビットを「1」にセットし、プログラム、消去または書き込みトランザクションの実行を許可します。書き込みディセーブル (WRDIS_0_0) トランザクションは WRPGEN を「0」にリセットし、プログラム、消去および書き込みトランザクションの実行をすべて防止します。WRPGEN ビットは、プログラム、消去またはレジスタ書き込み動作が正常に終了すると、「0」にクリアされます。電源切断 / 電源投入シーケンスまたはハードウェア / ソフトウェアリセットの後、ディープパワーダウン WRPGEN ビットは「0」にクリアされます。</p> <p>選択オプション: 0= プログラム / 消去 / レジスタ書き込みは無効です。 1= プログラム / 消去 / レジスタ書き込みは有効です。</p> <p>依存性: 該当なし</p>
STR1V[0]	RDYBSY	デバイスレディ / ビジーステータス フラグ	V->R	0	<p>説明: RDYBSY ビットは、デバイスが組み込み動作を実行しているか、またはスタンバイモードで新しいトランザクションの受け入れができる状態であることを示します。 注: RDYBSY がセットされた間、PRGERR および ERSERR ステータスビットは更新されません。PRGERR または ERSERR がセットされた場合、RDYBSY ビットはセットされたままで、デバイスがビジーであり、新しいトランザクションを受け入れられないことを示します。プログラムおよび消去失敗フラグクリア (CLPEF_0_0) トランザクションはデバイスをスタンバイモードに戻すために実行する必要があります。</p> <p>選択オプション: 0= デバイスはスタンバイモードにあり、新しい動作トランザクションを受け入れられます。 1= デバイスはビジーであり、新しい動作トランザクションを受け入れられません。</p> <p>依存性: 該当なし</p>

注  
 22.POR/ ハードウェアリセット / ソフトウェアリセット / DPD 終了 / CS# シグナリングリセット中の STR1x の値は無効です。

レジスタ

Table 42 PRGERR のまとめ

エラーフラグ	記号	条件
プログラムエラー	PRGERR	ビットを「1」から「0」にプログラムできない
		保護領域をプログラムしようとする試み
		ASP0[2] または ASP0[1] が 0 の場合、CFR1N[6:2]/CFR1V[6:2] の値を変更しようとする不揮発性レジスタの書き込み
		パスワード保護モードが選択され、ASP パスワード レジスタ更新トランザクションが実行された後
		セーフブート失敗
		コンフィギュレーション失敗

Table 43 ERSERR のまとめ

エラーフラグ	記号	条件
消去エラー	ERSERR	セクタデバイス消去 - すべてのビットを「1」に消去できない
		保護領域を消去しようとする試み
		レジスタ消去 - レジスタ書き込みの消去部分中にすべてのビットを「1」に消去できない
		セーフブート失敗

### 5.3 ステータスレジスタ 2 (STR2x)

ステータスレジスタ 2 はデバイスの動作時のステータスを提供します。Table 44 で、サポートされたステータスレジスタ 2 の機能を説明します。

Table 44 ステータスレジスタ 2<sup>[23]</sup>

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
STR2V[7:5]	RESRVD	将来使用するために予約済み	V->R	0	このビットは将来使用するために予約されています。このビットは常にデフォルトの状態に書き込まれるかロードされる必要があります。
STR2V[4]	DICRCS	メモリ アレイ データ整合性巡回冗長検査一時停止ステータスフラグ	V->R	0	説明: DICRCS ビットは、デバイスがメモリ アレイ データ整合性巡回冗長検査一時停止モードに入っているかどうかを判断するために使用されます。  選択オプション: 0= メモリ アレイ データ整合性巡回冗長検査が一時停止モードではありません。 1= メモリ アレイ データ整合性巡回冗長検査が一時停止モードです。  依存性: 該当なし
STR2V[3]	DICRCA	メモリ アレイ データ整合性巡回冗長検査中止ステータスフラグ	V->R	0	説明: DICRCA ビットはメモリ アレイ データ整合性 CRC 計算動作が中止されたかどうかを示します。中止条件は終了アドレス (ENDADD) と開始アドレス (STRADD) の関係に基づきます。(ENDADD<STRADD+3) の場合、DICRCA はセットされ、デバイスはスタンバイ状態に戻ります。 [ENDADD≥STRADD+3] の場合、DICRCA フラグは次のデータ整合性 CRC 計算動作でクリアされます。  選択オプション: 0= メモリ アレイ データ整合性 CRC 計算は中止されていません。 1= メモリ アレイ データ整合性 CRC 計算は中止されています。  依存性: 該当なし

レジスタ

Table 44 ステータスレジスタ 2<sup>[23]</sup> ( 続き )

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
STR2V[2]	SESTAT	セクタ消去成功 / 失敗 ステータス フラグ	V->R	0	<p>説明: SESTAT ビットはセクタでの消去動作が正常に完了したかどうかを示します。消去ステータス判断トランザクション (EVERS_4_0) はセクタ アドレスを指定する SESTAT ビットを読み出す前に実行される必要がある</p> <p>選択オプション:                      1= アドレス指定されたセクタ (EVERS_4_0) は正常に消去されました。                      0= アドレス指定されたセクタ (EVERS_4_0) は正常に消去されていません。</p> <p>依存性: 該当なし</p>
STR2V[1]	ERASES	消去動作一時停止 ステータス フラグ	V->R	0	<p>説明: ERASES ビットは消去動作が一時停止されているかどうかを示すために使用されます。</p> <p>選択オプション:                      0= 消去動作は一時停止モードではありません。                      1= 消去動作は一時停止モードです。</p> <p>依存性: 該当なし</p>
STR2V[0]	PROGMS	プログラム動作一時 停止ステータス フラグ	V->R	0	<p>説明: PROGMS ビットはプログラム動作が一時停止されているかどうかを示すために使用されます。</p> <p>選択オプション:                      0= プログラム動作は一時停止モードではありません。                      1= プログラム動作は一時停止モードです。</p> <p>依存性: 該当なし</p>

注  
 23.POR/ ハードウェアリセット / ソフトウェアリセット / DPD 終了 / CS# シグナリングリセット中の STR2x の値は無効です。  
 STR2x ビットは STR1V[0]/RDYBSY が 0 のときにのみ有効です。

レジスタ

## 5.4 コンフィギュレーションレジスタ 1 (CFR1x)

コンフィギュレーションレジスタ 1 はインターフェースとデータ保護機能を制御します。

Table 45 コンフィギュレーションレジスタ 1

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2 進)	説明
CFR1N[7] CFR1V[7]	RESRVD	将来使用するために予約済み	N->R/W V->R/W	0	このビットは将来使用するために予約されています。このビットは常にデフォルトの状態に書き込まれるかロードされる必要があります。
CFR1N[6] CFR1V[6]	SP4KBS	最上位と最下位のアドレス空間の間での 4KB セクタの分割	PLPROT=0 の場合 N->R/W V->R  PLPROT=1 の場合 N->R V->R	0	説明: SP4KBS ビットは 4KB セクタがグループ化されるか、または上位と下位のアドレス範囲で均等に分割されるかを選択します。  選択オプション: 0=4KB セクタは一緒にグループ化されません。 1=4KB セクタは上位アドレスと下位アドレスの間で分割されます。  依存性: TB4KBS (CFR1N[2])
CFR1N[5] CFR1V[5]	TBPROT	レガシー保護モードにおける最上部 / 最下部の保護の選択	PLPROT=0 の場合 N->R/W V->R  PLPROT=1 の場合 N->R V->R	0	説明: TBPROT ビットはステータスレジスタのレガシーブロック保護ビット (LBPROT[2:0]) の参照ポイントを選択し、保護がアドレス範囲の最上部から開始するか、または最下部から開始するかを決定します。 また、このビットはそれ自身を読み出し可能にするメモリアドレス範囲 (最下位または最上位) も選択し、パスワード入力成功する前でもパスワード読み出し保護モード中に読み出せます。  選択オプション: 0=レガシー保護はアドレス範囲の上位半分に適用されます。 1=レガシー保護はアドレス範囲の下位半分に適用されます。  依存性: LBPROT[2:0] (STR1x[3:1])
CFR1N[4] CFR1V[4]	PLPROT	レガシーブロック保護および 4KB セクタアーキテクチャの恒久的ロック選択	N->R/1 V->R	0	説明: PLPROT ビットは恒久的にレガシーブロック保護と 4KB セクタ位置を保護します。これによって、メモリアレイ保護スキームおよびセクタアーキテクチャを恒久的に保護します。 注: PLPROT は LBPROT[2:0], SP4KBS, TBPROT および TB4KBS ビットをプログラムと消去から保護し、PLPROT ビットを設定する前にこれらのビットを設定することを推奨します。  選択オプション: 0=レガシーブロック保護および 4KB セクタは保護されません。 1=レガシーブロック保護および 4KB セクタは保護されます。  依存性: 該当なし
CFR1N[3] CFR1V[3]	RESRVD	将来使用するために予約済み	N->R/W V->R/W	0	このビットは将来使用するために予約されています。このビットは常にデフォルトの状態に書き込まれるかロードされる必要があります。



レジスタ

Table 45 コンフィギュレーションレジスタ 1 ( 続き )

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2 進)	説明
CFR1N[2] CFR1V[2]	TB4KBS	4KB セクタブロック用の最上位 / 最下位アドレス範囲の選択	PLPROT=0 の場合 N->R/W V->R  PLPROT=1 の場合 N->R V->R	0	説明: TB4KBS ビットは 4KB セクタブロックの論理アドレス位置を定義します。4KB セクタブロックは最上位または最下位アドレスセクタの該当部分を置き換えます。  選択オプション: 0=4KB セクタブロックはメモリアドレス空間の最下部にあります。 1=4KB セクタブロックはメモリアドレス空間の最上部にあります。  依存性: SP4KBS (CFR1x[6])
CFR1N[1] CFR1V[1]	RESRVD	将来使用するために予約済み	N->R/W V->R/W	0	このビットは将来使用するために予約されています。このビットは常にデフォルトの状態に書き込まれるかロードされる必要があります。
CFR1N[0] CFR1V[0]	TLPROT	レガシーブロック保護とセクタアーキテクチャの一時的ロック選択	N->R V->R/W	0	説明: TLPROT ビットは一時的にレガシーブロック保護と 4KB セクタを保護します。電源投入時またはハードウェアリセットで、TLPROT はデフォルト状態に設定されます。選択されると、メモリアレイ保護方式とセクタアーキテクチャを変更されないよう保護します。 注: TLPROT は LBPROT[2:0], SP4KBS, TBPROT および TB4KBS ビットをプログラムと消去から保護します。  選択オプション: 0=レガシーブロック保護および 4KB セクタは保護されません。 1=レガシーブロック保護および 4KB セクタは一時的に保護されます。  依存性: 該当なし

Table 46 4KB パラメーター セクタ位置選択

SP4KBS	TB4KBS	4KB 位置
0	0	4KB 物理セクタは最下部 ( 下位アドレス ) にあります。
0	1	4KB 物理セクタは最上部 ( 上位アドレス ) にあります。
1	X	4KB パラメーターセクタは最上部 ( 上位アドレス ) と最下部 ( 下位アドレス ) の間で分割されます。

Table 47 PLPROT と TLPROT 保護

PLPROT	TLPROT	アレイ保護と 4K セクタ
0	0	非保護 ( ロック解除 )
1	X	TBPROT, LBPROTx, SP4KBS, TB4KBS - 恒久的に保護 ( ロック ) されます。
0	1	TBPROT, LBPROTx, SP4KBS, TB4KBS - 次の電源切断まで保護 ( ロック ) されます。

レジスタ

## 5.5 コンフィギュレーションレジスタ 2 (CFR2x)

コンフィギュレーションレジスタ 2 は、メモリ読み出しレイテンシおよびアドレスバイト長の選択を制御します。

Table 48 コンフィギュレーションレジスタ 2

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
CFR2N[7] CFR2V[7]	ADRBYT	命令用の 3/4 バイトの アドレスバイト長選 択	N->R/W V->R/W	0	説明: ADRBYT ビットはアドレスを必要とす るすべての命令のアドレス長を制御 し、3 または 4 バイトのどちらかを選 択できます。  選択オプション: 0= 命令は 3 バイト アドレスを使用し ます。 1= 命令は 4 バイト アドレスを使用し ます。  依存性: 該当なし
CFR2N[6:4] CFR2V[6:4]	RESRVD	将来使用するために予 約済み	N->R/W V->R/W	000	これらのビットは将来使用するため に予約されています。このビットは 常にデフォルトの状態に書き込まれ るかロードされる必要があります。
CFR2N[3:0] CFR2V[3:0]	MEMLAT[3:0]	メモリ アレイ読み出 しレイテンシの選択 - 初期データアクセスで 必要なダミーサイクル	N->R/W V->R/W	1000	説明: MEMLAT[3:0] ビットはすべての 可変レイテンシメモリ アレイおよび 不揮発性レジスタ読み出しトランザ クションにおける読み出しレイテン シ(ダミーサイクル)遅延を制御しま す。MEMLAT により、異なる動作周波 数に応じて通常動作での読み出しレ イテンシを調整できます。  選択オプション: 0000= トランザクションオペコードに 基づいて 0/5 レイテンシ サイクルを 選択します。 ..... 1111= トランザクションオペコードに 基づいて 15/28 レイテンシ サイクル を選択します。  依存性: 該当なし

Table 49 レイテンシコード ( サイクル ) と周波数 [24, 25, 27]

レイテンシ コード	サイクル数 (1-1-1, 1-1-8/8-8-8)	SDR SPI 読み出し トランザクション (MHz) (1S-1S-1S, 1S-1S-8S)	SDR オクタル読み出し トランザクション (MHz) (8S-8S-8S)	DDR オクタル読み出し トランザクション (MHz) (8D-8D-8D)
		RDAY2_C_0 RDSSR_4_0 RDARG_C_0 <sup>[26]</sup> RDECC_4_0 RDPPB_4_0 RDAY3_4_0	RDAY1_4_0 RDSSR_4_0 RDARG_4_0 <sup>[26]</sup> RDECC_4_0 RDPPB_4_0	RDAY2_4_0 RDSSR_4_0 RDARG_4_0 <sup>[26]</sup> RDECC_4_0 RDPPB_4_0
0000	0/5	50	50	42
0001	1/6	68	64	57
0010	2/8	81	92	85
0011	3/10	93	121	107
0100	4/12	106	150	121
0101	5/14	118	166 (HL-T) / 178 (HS-T)	135
0110	6/16	131	200	150
0111	7/18	143	200	164
1000	8/20	156	200	166 (HL-T) / 178 (HS-T)
1001	9/22	166	200	192
1010	10/23	166	200	200
1011	11/24	166	200	200
1100	12/25	166	200	200
1101	13/26	166	200	200
1110	14/27	166	200	200
1111	15/28	166	200	200

注:

- 24. ECC エラー レポート メカニズムを使用する場合、正しい ECC レポートのために出力読み出しデータは少なくとも 2 バイトである必要があります。
- 25. CK 周波数が 200MHz より大きい SDR または 200MHz より大きい DDR は HS-T ファイミリ デバイスでサポートされません。CK 周波数が 166MHz より大きい SDR または 166MHz より大きい DDR は HL-T ファイミリ デバイスでサポートされません。
- 26. RDARG\_C\_0 と RDARG\_4\_0 は不揮発性レジスタ読み出しのためにこれらのレイテンシ サイクルを使用します。
- 27. RSFDP\_3\_0 は常に 8 タミー サイクルおよび 8 タミー サイクルに応じる異なるインターフェースの最大周波数があります。

レジスタ

## 5.6 コンフィギュレーションレジスタ 3 (CFR3x)

コンフィギュレーションレジスタ 3 はトランザクション動作を制御します。

Table 50 コンフィギュレーションレジスタ 3

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2 進)	説明
CFR3N[7:6] CFR3V[7:6]	VRGLAT[1:0]	揮発性レジスタ読み出しレイテンシ選択 - 初期データ アクセスに必要なタミーサイクル	N->R/W V->R/W	00	<p>説明: VRGLAT[1:0] ビットはすべての可変レイテンシのレジスタ読み出しトランザクションでの読み出しレイテンシ (タミーサイクル) を制御します。VRGLAT[1:0] の選択により、異なる動作周波数に応じて通常動作での読み出しレイテンシを調整できます。</p> <p>選択オプション: トランザクション オペコードに基づいて 00/01/10/11 レイテンシサイクルを選択します。</p> <p>依存性: 該当なし</p>
CFR3N[5] CFR3V[5]	BLKCHK	耐久性を向上させるための消去動作中のブランクチェック選択	N->R/W V->R/W	0	<p>説明: この機能を有効にすると、消去トランザクションは最初にセクタの消去状態を判断します。セクタが消去された場合、消去動作は中止されます。言い換えると、消去動作は、プログラムされたビットがセクタで検出された場合にのみ実行されます。BLKCHK を無効にすると、消去動作が無条件に実行されます。</p> <p>選択オプション: 0= ブランクチェックは消去動作前に無効にされます。 1= ブランクチェックの判定は消去動作実行前に有効にされます。</p> <p>依存性: 該当なし</p>
CFR3N[4] CFR3V[4]	PGMBUF	プログラムバッファサイズ選択	N->R/W V->R/W	0	<p>説明: PGMBUF ビットはページプログラムに使用されるプログラムバッファサイズを選択します。プログラムバッファサイズはデバイスプログラム時間に影響します。</p> <p>注: プログラムデータがプログラムバッファサイズを越えると、データはラップされます。</p> <p>選択オプション: 0=256 バイト書き込みバッファサイズ 1=512 バイト書き込みバッファサイズ</p> <p>依存性: 該当なし</p>

レジスタ

Table 50 コンフィギュレーションレジスタ 3 ( 続き )

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2 進)	説明
CFR3N[3] CFR3V[3]	UNHYSA	ユニフォーム / ハイブリッドセクタのアーキテクチャ選択	N->R/W V->R	0	<p>説明: UNHYSA ビットはユニフォーム (全セクタが 256KB) またはハイブリッド (4KB セクタと 256KB セクタの組合せ) セクタアーキテクチャのどちらかを選択します。ハイブリッドセクタアーキテクチャを選択した場合、4KB セクタブロックはメインフラッシュアレイアドレスマップの一部になります。4KB セクタブロックはデバイスの最上位または最下位のアドレス範囲のいずれかを重ねられます。ユニフォームセクタアーキテクチャを選択した場合、4KB セクタブロックはアドレスマップから削除され、すべてのセクタはユニフォームサイズになります。</p> <p>注: ハイブリッドセクタアーキテクチャは 4KB セクタ消去トランザクション (20h) も有効にします。そうでない場合、4KB セクタ消去トランザクションが発行された場合、デバイスによって無視されます。</p> <p>選択オプション:                      0= ハイブリッドセクタアーキテクチャ (4K セクタと 256KB セクタの組合せ)                      1= ユニフォームセクタアーキテクチャ (すべては 256KB セクタ)</p> <p>依存性: SP4KBS (CFR1N[6]), TB4KBS (CFR1N[2])</p>
CFR3N[2] CFR3V[2]	RESRVD	将来使用するために予約済み	N->R/W V->R/W	0	このビットは将来使用するために予約されています。このビットは常にデフォルトの状態に書き込まれるかロードされる必要があります。
CFR3N[1] CFR3V[1]	RESRVD	将来使用するために予約済み	N->R/W V->R/W	0	
CFR3N[0] CFR3V[0]	RESRVD	将来使用するために予約済み	N->R/W V->R/W	0	

Table 51 レジスタレイテンシコード ( サイクル ) と周波数 [28, 29]

レイテンシ コード	SDR SPI レジスタトランザクションレイテンシ ダミーサイクル (1S-1S-1S) <sup>[30]</sup>			SDR オクタールレジスタトラン ザクションレイテンシダミー サイクル (8S-8S-8S)		DDR オクタールレジスタトラン ザクションレイテンシダミー サイクル (8D-8D-D8)	
	周波数	RDARG_C_0 <sup>[31]</sup> RDDYB_4_0	RDPLB_0_0 RDIDN_0_0 RDSR1_0_0 RDSR2_0_0	周波数	RDARG_4_0 <sup>[31]</sup> RDPLB_4_0 RDDYB_4_0 RDIDN_4_0 RDSR1_4_0 RDSR2_4_0	周波数	RDARG_4_0 <sup>[31]</sup> RDPLB_4_0 RDDYB_4_0 RDIDN_4_0 RDSR1_4_0 RDSR2_4_0
00	50MHz	0	0	50MHz	3	25MHz	3
01	133MHz	1	0	133MHz	4	66MHz	4
10	133MHz	1	1	166MHz	5	166 MHz (HL-T) / 200 MHz (HS-T)	5
11	166MHz	2	2	200MHz	6	200MHz	6

注

28. RDUID\_4\_0 および RDUID\_0\_0 は常に 32 レイテンシ サイクルを持ちます。最大周波数は、SDR SPI では 166 MHz, HS-T SDR/DDR オクタールでは 200 MHz, HL-T SDR/DDR オクタールでは 166 MHz です。
29. RDCRC\_4\_0 は常に 8 レイテンシ サイクルを持ちます。最大周波数は、SDR SPI では 166 MHz, HS-T SDR/DDR オクタールでは 200 MHz, HL-T SDR/DDR オクタールでは 166 MHz です。
30. CK 周波数が 166 MHz より大きい SDR はサポートされません。
31. RDARG\_C\_0 と RDARG\_4\_0 は揮発性レジスタ読み出しのためにダミー サイクルを使用します。

レジスタ

## 5.7 コンフィギュレーションレジスタ 4 (CFR4x)

コンフィギュレーションレジスタ 4 はメインフラッシュアレイの読み出しトランザクションのバーストラップトランザクションおよび出力ドライバインピーダンスを制御します。

Table 52 コンフィギュレーションレジスタ 4

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
CFR4N[7:5] CFR4V[7:5]	IOIMPD[2:0]	I/O ドライバ出力インピーダンス選択	N->R/W V->R/W	101	<p>説明: IOIMPD[2:0] ビットは I/O ドライバ出力インピーダンス (駆動強度) を選択します。出力インピーダンスコンフィギュレーションビットは、システム信号の整合性要件を満たすために、通常のデバイス動作中の駆動強度を調整します。</p> <p>選択オプション:                      000 = 45 Ω                      001 = 120 Ω                      010 = 90 Ω                      011 = 60 Ω                      100 = 45 Ω                      101 = 30 Ω (工場出荷時設定)                      110 = 20 Ω                      111 = 15 Ω</p> <p>依存性: 該当なし</p>
CFR4N[4] CFR4V[4]	RBSTWP	バーストラップ読み出しイネーブル選択	N->R/W V->R/W	0	<p>説明: RBSTWP ビットはバーストラップ読み出し機能を選択します。これにより、デバイスは通常動作中にバーストラップ読み出しモードになるかまたは終了できます。ラップ長は RBSTWL[1:0] ビットにより選択されます。</p> <p>選択オプション:                      0 = バーストラップ読み出しは無効です。                      1 = バーストラップ読み出しは有効です。</p> <p>依存性: RBSTWL[1:0] (CFR4x[1:0])</p>
CFR4N[3] CFR4V[3]	ECC12S	エラー訂正コード (ECC) の 1 ビットまたは 1 ビット / 2 ビットエラー訂正の選択	N->R/W V->R/W	1	<p>説明: ECC12S ビットは 1 ビット ECC エラー検出 / 訂正、または 1 ビット ECC エラー検出 / 訂正と 2 ビット ECC エラー検出の両方を選択します。このコンフィギュレーションオプションは、アドレストラップレジスタと ECC カウントレジスタの機能に影響します。ホストは、ECC コンフィギュレーションの変更により (1 ビット訂正から 1 ビット訂正および 2 ビット検出、またはその逆)、SEMPER™ フラッシュメモリのデータを消去および再プログラムする必要があります。</p> <p>選択オプション:                      0 = 1 ビット ECC エラー検出 / 訂正                      1 = 1 ビット ECC エラー検出 / 訂正と 2 ビット ECC エラー検出</p> <p>依存性: 該当なし</p>

レジスタ

Table 52 コンフィギュレーションレジスタ 4 ( 続き )

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
CFR4N[2] CFR4V[2]	DPDPOR	POR 時のディープパ ワーダウン電力節約 モード開始選択	N->R/W V->R	0	説明: DPDPOR ビットは、デバイス が POR 完了後にディープパワ ーダウン (DPD) モードまたはスタンバ イモードになるかどうかを選択しま す。有効の場合、DPDPOR はデバ イスが DPD モードで開始するよ うに設定し、デバイス動作が必要と なるまで消費電流を減らします。 デバイスが DPD モードにある場 合、CS# パルスまたはハードウェ アリセットはデバイスをスタンバ イモードに戻します。  選択オプション: 0=POR 完了時にスタンバイ モ ードになります。 1=POR 完了時にディープパワ ーダウン電力モードに入ります。  依存性: 該当なし
CFR4N[1:0] CFR4V[1:0]	RBSTWL[1:0]	バースト ラップ読み 出し長選択	N->R/W V->R/W	00	説明: RBSTWL[1:0] ビットは、通常 動作中のバースト ラップ読み出 しの長さのアライメントを選択しま す。これは 8、16、32 または 64 バ イトの固定された長さ / 境界され たグループを選択します。  選択オプション: 00=8 バイト ラップ長 01=16 バイト ラップ長 10=32 バイト ラップ長 11=64 バイト ラップ長  依存性: RBSTWP (CFR4x[4])

Table 53 出力データ ラップシーケンス

ラップ境界 (バイト)	開始アドレス (16 進数)	アドレスシーケンス (16 進数)
シーケンシャル	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18
8	XXXXXX00	00, 01, 02, 03, 04, 05, 06, 07, 00, 01, 02
8	XXXXXX07	07, 00, 01, 02, 03, 04, 05, 06, 07, 00, 01
16	XXXXXX02	02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 00, 01, 02, 03
16	XXXXXX0C	0C, 0D, 0E, 0F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E
32	XXXXXX0A	0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F
32	XXXXXX1E	1E, 1F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 00
64	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D, 2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F, 00, 01, 02
64	XXXXXX2E	2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D

レジスタ

## 5.8 コンフィギュレーションレジスタ 5 (CFR5x)

コンフィギュレーションレジスタ 5 はオクタル インターフェース デバイスの動作を制御します。

Table 54 コンフィギュレーションレジスタ 5

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2 進)	説明
CFR5N[7] CFR5V[7]	RESRVD	将来使用するために 予約済み	N->R/W V->R/W	0	これらのビットは将来使用するために 予約されています。このビットは常に デフォルトの状態に書き込まれるか ロードされる必要があります。
CFR5N[6] CFR5V[6]	RESRVD	将来使用するために 予約済み	N->R/W V->R/W	1	
CFR5N[5:2] CFR5V[5:2]	RESRVD	将来使用するために 予約済み	N->R/W V->R/W	0000	
CFR5N[1] CFR5V[1]	SDRDDR	オクタル SPI SDR また は DDR の選択	N->R/W V->R/W	0	説明: SDRDDR ビットは、デバイスへの すべてのデータ転送に SDR または DDR を選択します。SDRDDR 選択に基づき、 すべてのトランザクションは SDR また は DDR のどちらかになります。 注: SDRDDR ビットはオクタルモード (8-8-8) のインターフェースのみを制御 します。  選択オプション: 0=SDR は有効です。 1=DDR は有効です。  依存性: 該当なし
CFR5N[0] CFR5V[0]	OPI-IT	オクタル インター フェースとプロトコ ル選択 - I/O 幅を 8 ビットに設定 (8-8-8)	N->R/W V->R/W	0	説明: OPI-IT ビットはデバイスの I/O 幅 を 8 ビット幅に選択します。8 ビット (OPI-IT) に設定された場合、すべてのト ランザクションはオペコード、アドレ スおよびデータを常に全 8 本の I/O で 送信することを必要とします。  選択オプション: 0= データ幅を 1 ビット幅 (1S-1S-1S) (256T のみ 1S-1S-8S, 1S-8S-8S) に設定し ます - レガシーシングル SPI プロトコル 1= データ幅は 8 ビット幅 (8S-8S-8S, 8D-8D-8D) に設定します - オクタルプロ トコル  依存性: 該当なし

## 5.9 インターフェース CRC イネーブルレジスタ (ICEV)

インターフェース CRC イネーブルレジスタはインターフェース CRC 機能の有効化 / 無効化を制御しま  
す。

Table 55 インターフェース CRC イネーブルレジスタ

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2 進)	説明
ICEV[7:1]	RESVRD	将来使用するために 予約済み	V->R	0000000	このビットは将来使用するために予約 されています。このビットは常にデ フォルトの状態に書き込まれるかロ ードされる必要があります。
ICEV[0]	ITCRCE	インターフェース CRC 選択	V->R/W	0	説明: ITCRCE ビットはインターフェ ース CRC 機能の有効化 / 無効化を制御し ます。  選択オプション: 0= インターフェース CRC は有効です。 1= インターフェース CRC は無効です。  依存性: 該当なし



レジスタ

### 5.10 インターフェース CRC チェック値レジスタ (ICRV)

インターフェース CRC チェック値レジスタ (ICRV) は、保護のためにインターフェース経由のコマンドとデータ内容に対する CRC 計算の結果を格納します。

Table 56 インターフェース CRC チェック値レジスタ

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
ICRV[31:0]	ITCRCV[31:0]	インターフェース CRC チェックサム 値	V->R	0xFFFFFFFF	説明: ITCRCV[31:0] ビットは、開始 アドレスと終了アドレスの間に格納 されたメモリ アレイ データに対す る CRC プロセスのチェック値を格納 します。 選択オプション: チェックサム値 依存性: 該当なし

### 5.11 メモリ アレイ データ整合性チェック CRC レジスタ (DCRV)

メモリ アレイ データ整合性チェック CRC レジスタ (DCRV) は、指定された開始アドレスと終了アドレスの間に格納されたデータに対する CRC 計算の結果を格納します。

Table 57 メモリ アレイ データ整合性チェック CRC レジスタ

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
DCRV[31:0]	DTCRCV[31:0]	メモリ アレイ データ CRC チェックサム値	V->R	0x00000000	説明: DTCRCV[31:0] ビットは、開始 アドレスと終了アドレスの間に格納 されたメモリ アレイ データに対す る CRC プロセスのチェックサム値を 格納します。 選択オプション: チェックサム値 依存性: 該当なし

レジスタ

## 5.12 ECC ステータス レジスタ (ESCV)

ECC ステータス レジスタ (ESCV) は、バイトが最後の読み出し中にアドレス指定されたユニット データ に対するエラー訂正の状態を格納します。

注: ユニット データは ECC が計算されるバイト数として定義されます。HL-T/HS-T ファミリは、16 バイト (128 ビット) のユニット データを持っています。

**Table 58** ECC ステータス レジスタ

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2 進)	説明
ECSV[7:5]	RESRVD	将来使用するために予約済み	V->R	000	このビットは将来使用するために予約されています。このビットは常にデフォルトの状態に書き込まれるかロードされる必要があります。
ECSV[4]	ECC2BT	2 ビット ECC エラー検出フラグ	V->R	0	<p>説明: ECC2BT ビットは 2 ビット ECC エラーがデータ ユニット (16 バイト) で検出されたかどうかを示します。ECC ステータス レジスタ クリア トランザクション (CLECC_0_0) は ECC2BT をリセットします。</p> <p>注: 任意のメモリ アドレスが読み出されるたびに ECC2BT は更新され、保持されます。すなわち、セットされると、セットされたままになります。ECC2BT ステータスは ECC ステータス レジスタ クリア トランザクション (CLECC_0_0) が実行されるまで維持されます。</p> <p>注: ECC2BT ステータス フラグがセットされている場合、ECC1BT は無効です。</p> <p>選択オプション:                      0=2 ビット ECC エラーがデータ ユニット (16 バイト) で検出されていません。                      1=2 ビット ECC エラーがデータ ユニット (16 バイト) で検出されました。</p> <p>依存性: CFR4x[3]</p>
ECSV[3]	ECC1BT	1 ビット ECC エラー検出と訂正フラグ	V->R	0	<p>説明: ECC1BT ビットは 1 ビット ECC エラーがデータ ユニット (16 バイト) で検出され、訂正されたことを示します。ECC ステータス レジスタ クリア トランザクション (CLECC_0_0) は ECC1BT をリセットします。</p> <p>注: 任意のメモリ アドレスが読み出されるたびに ECC1BT は更新され、保持されます。すなわち、セットされると、セットされたままになります。ECC1BT ステータスは ECC ステータス レジスタ クリア トランザクション (CLECC_0_0) が実行されるまで維持されます。</p> <p>選択オプション:                      0=1 ビット ECC エラーがデータ ユニット (16 バイト) でされていません。                      1=1 ビット ECC エラーがデータ ユニット (16 バイト) で検出されました。</p> <p>依存性: 該当なし</p>
ECSV[2:0]	RESRVD	将来使用するために予約済み	V->R	000	このビットは将来使用するために予約されています。このビットは常にデフォルトの状態に書き込まれるかロードされる必要があります。

レジスタ

### 5.13 ECC アドレストラップレジスタ (EATV)

ECC アドレストラップレジスタ (EATV) は、読み出し動作中に 1 ビット /2 ビット エラーまたは 1 ビット エラーのみが発生した ECC ユニット データのアドレスを格納します。前回の ECC クリアトランザクション (CLECC\_0\_0) 以降のメモリ読み出し動作中にキャプチャされた最初の ECC エラーの ECC ユニット アドレスを格納します。

Table 59 ECC アドレストラップレジスタ

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
EATV[31:0]	ECCATP[31:0]	ECC 1 ビットと 2 ビットエラー アドレストラップレジスタ	V->R	0x00000000	説明: アドレストラップレジスタ (ECCATP[31:0]) は読み出し動作中に 1 ビット /2 ビットエラーが発生した ECC ユニット データアドレスを格納します。ECCATP[31:0] は、前回の ECC ステータスレジスタクリアトランザクション (CLECC_0_0) 以降にメモリ読み出し動作中にキャプチャされた最初の ECC エラーの ECC ユニット アドレスを格納します。 注: ECCATP[31:0] は読み出し命令中のみ更新されます。 注: ECC ユニットアドレスから、有効ではない上位 ECCATP アドレスビットをマスクします。 注: ECC ステータスレジスタクリアトランザクション (CLECC_0_0)、POR またはハードウェア / ソフトウェアリセットは EATV[31:0] を 0x00000000 にクリアします。 選択オプション: ECC エラー データ ユニット アドレス 依存性: 該当なし

### 5.14 ECC エラー検出カウントレジスタ (ECTV)

ECC エラー検出カウントレジスタ (ECTV) は、最後の POR またはハードウェア / ソフトウェアリセット後に読み出し動作中に発生した 1 ビット /2 ビットまたは 1 ビットのみ ECC エラーの数を格納します。

Table 60 ECC カウントレジスタ

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
ECTV[15:0]	ECCCNT[15:0]	ECC 1 ビットと 2 ビットエラー カウントレジスタ	V->R	0x0000	説明: ECCCNT[15:0] は、前回の POR またはハードウェア / ソフトウェアリセット以降の読み出し動作中に発生した 1 ビット /2 ビット ECC エラーの数を格納します。 注: ECCCNT[15:0] は読み出し命令中のみ更新されます。 注: データユニットごとに 1 つの ECC エラーのみがカウントされます。もし複数の読み出しトランザクションが ECC エラーのある同じデータユニットにアクセスした場合は、ECCCNT[15:0] はデータユニットが読み出されるたびにインクリメントします。 注: カウントが 0xFFFF に達すると、ECCCNT[15:0] はインクリメントを停止します。 注: POR またはハードウェア / ソフトウェアリセットは、ECCCNT[15:0] を 0x0000 にクリアします。 選択オプション: ECC エラー カウント 依存性: 該当なし

レジスタ

## 5.15 高度セクタ保護レジスタ (ASPO)

ASP レジスタ (ASPO) は高度セクタ保護スキームの動作を設定します。

Table 61 高度セクタ保護レジスタ

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
ASPO[15:6]	RESRVD	将来使用するために予約済み	N->R/1	111111111	このビットは将来使用するために予約されています。このビットは常にデフォルトの状態に書き込まれるかロードされる必要があります。
ASPO[5]	ASPRDP	パスワード読み出しベース保護の選択	N->R/1	1	<p>説明: ASPRDP ビットはパスワード読み出し保護モードを選択します。パスワード読み出し保護モードは、すべてのセクタを読み出し / 消去 / プログラムから保護するために、パスワード保護モードと連携して動作します。TBPROT コンフィギュレーションビット (CFR1x[5]) に基づき、最上位または最下位のどちらかのセクタが読み出せません。</p> <p>選択オプション:                      0= パスワード読み出し保護モードは有効です。                      1= パスワード読み出し保護モードは無効です。</p> <p>依存性: TBPROT (CFR1x[5])</p>
ASPO[4]	ASPDYB	電源投入時の全セクタに対するダイナミック保護 (DYB) の選択	N->R/1	1	<p>説明: ASPDYB ビットは、電源投入時またはハードウェアリセット後、すべての DYB ビット (セクタ) が保護状態にあるかどうかを選択します。DYB ビットはセクタ保護を変更するために、個別にリセットされる必要があります。</p> <p>選択オプション:                      0= 電源投入またはハードウェアリセットで、DYB ベースのセクタ保護が有効になります。                      1= 電源投入またはハードウェアリセットで、DYB ベースのセクタ保護が無効になります。</p> <p>依存性: 該当なし</p>
ASPO[3]	ASPPPB	全セクタプログラマビリティに対する恒久的保護 (PPB) の選択	N->R/1	1	<p>説明: ASPPPB ビットは、すべての PPB ビットがワンタイム プログラマブルである (PPB セクタ保護を恒久的にする) かどうかを選択します。                      注: ASPPPB は PPB 消去トランザクション (ERPPB_0_0) を無効にします。</p> <p>選択オプション:                      0= PPB ビットはワンタイム プログラマブルです。                      1= PPB ビットは必要に応じて消去およびプログラムできます。</p> <p>依存性: 該当なし</p>
ASPO[2]	ASPPWD	パスワードベース保護の選択	N->R/1	1	<p>説明: ASPPWD ビットはパスワード保護モードを選択します。パスワード保護モードは、正しいパスワードが入力されるまで、すべての PPB ビットを保護します。ASPPWD は正しいパスワードが提供されるまで、すべてのレジスタおよびメモリ全体を消去 / プログラムから保護するため、およびセクタを読み出しから保護するために ASPRDP と組み合わせて使用できます。ただし、TBPROT コンフィギュレーションビット (CFR1x[5]) に基づき、最上位または最下位のどちらかのセクタは読み出せません。                      注: ASPPWD が選択されている場合、ASPO[15:0]、CFR1N[7:2] および PWDO[63:0] はプログラム動作から保護されます。</p> <p>選択オプション:                      0= パスワード保護モードは有効です。                      1= パスワード保護モードは無効です。</p> <p>依存性: 該当なし</p>

レジスタ

Table 61 高度セクタ保護レジスタ ( 続き )

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
ASPO[1]	ASPPER	持続的保護の選択 (レジスタ保護の選択)	N->R/1	1	説明: ASPPER ビットは持続的保護モードを選択します。持続的保護モード (ASPPER) は、ASPO[15:0]、CFR1x[6, 5, 4, 2] および CFR3x[3] レジスタを消去またはプログラムから保護します。  選択オプション: 0= 持続的保護モードは有効です。 1= 持続的保護モードは無効です。  依存性: 該当なし
ASPO[0]	ASPPRM	恒久的保護の選択	N->R/1	1	説明: ASPPRM ビットは恒久的保護モードを選択します。恒久的保護モード (ASPPRM) は、恒久的に PPB ビットを消去またはプログラムから保護します。ASPPRM ビットは、すべての PPB ベースのセクタ保護が確定した後にプログラムする必要があります。 注: 恒久的保護は PPBLOCK ビットとは独立しています。  選択オプション: 0= 恒久的保護モードは有効です。 1= 恒久的保護モードは無効です。  依存性: 該当なし

## 5.16 ASP パスワード レジスタ (PWDO)

ASP パスワード レジスタ (PWDO) はパスワードを恒久的に定義するために使用されます。

Table 62 パスワードレジスタ

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
PWDO[63:0]	PASWRD[63:0]	パスワードレジスタ	N->R/1	0xFFFFFFFFFFFFFFFF	説明: PASWRD[63:0] は、パスワード保護動作モードで使用されるパスワードを恒久的に保持します。パスワード保護モードが有効の場合、このレジスタはパスワード読み出し要求のときに未定義のデータを出力します。  選択オプション: パスワード  依存性: 該当なし

### 5.17 ASP PPB ロック レジスタ (PPLV)

ASP PPB ロック レジスタ (PPLV) の PPBLCK ビットは PPB ビットを保護するために使用されます。

Table 63 ASP PPB ロック レジスタ

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
PPLV[7:1]	RESVRD	将来使用するために予約済み	V->R	0000000	このビットは将来使用するために予約されています。このビットは常にデフォルトの状態に書き込まれるかロードされる必要があります。
PPLV[0]	PPBLCK	PPB 一時的保護の選択	V->R/W	1, ASPO[2:1]	説明: PPBLCK ビットは、すべての PPB ビットを一時的保護するために使用されます。 選択オプション: 1=PPB ビットは消去またはプログラムできます。 0=PPB ビットは、次の POR またはハードウェアリセットまで消去またはプログラムから保護されます。 依存性: 該当なし

### 5.18 ASP PPB アクセス レジスタ (PPAV)

ASP PPB アクセス レジスタ (PPAV) は各セクタの PPB 保護ビットの状態を提供するために使用されます。

Table 64 ASP PPB アクセス レジスタ

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
PPAV[7:0]	PPBACS[7:0]	セクタベース PPB 保護ステータス	N->R/W	11111111	説明: PPBACS[7:0] ビットは、個別セクタの PPB ビットの状態を提供するために使用されます。 選択オプション: FF=PPB 読み出しトランザクション (RDPPB_4_0) によってアドレス指定されたセクタの PPB は「1」であり、セクタをプログラムまたは消去動作から保護しません。 00=PPB 読み出しトランザクション (RDPPB_4_0) によってアドレス指定されたセクタの PPB は「0」であり、セクタをプログラムまたは消去動作から保護します。 依存性: 該当なし

### 5.19 ASP ダイナミックブロックアクセス レジスタ (DYAV)

ASP DYB アクセス レジスタ (DYAV) は各セクタの DYB 保護ビットの状態を提供するために使用されます。

Table 65 ASP DYB アクセス レジスタ

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
DYAV[7:0]	DYBACS[7:0]	セクタベース DYB 保護ステータス	V->R/W	11111111	説明: DYBACS[7:0] ビットは、個別セクタの DYB ビットの状態を提供するために使用されます。 選択オプション: FF=DYB 読み出しトランザクション (RDDYB_4_0) によってアドレス指定されたセクタの DYB は「1」であり、セクタをプログラムまたは消去動作から保護しません。 00=DYB 読み出しトランザクション (RDDYB_4_0) によってアドレス指定されたセクタの DYB は「0」であり、セクタをプログラムまたは消去動作から保護します。 依存性: 該当なし

レジスタ

## 5.20 オートブートレジスタ (ATBN)

オートブートレジスタ (ATBN) は、パワーオンリセットまたはハードウェアリセットプロセスの一部として、ブートコードを自動的に読み出す方法を提供します。

Table 66 オートブートレジスタ

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
ATBN[31:9]	STADR[22:0]	オートブートがデータ読み出しを始める開始アドレスの選択	N->R/W	000000000000000000000000	説明: STADR[22:0] ビットは、デバイスが読み出しデータを出力する開始アドレスを設定します。 選択オプション: アドレスビット 依存性: 該当なし
ATBN[8:1]	STDLY[7:0]	オートブート読み出し初期遅延の選択	N->R/W	00000000	説明: STDLY[7:0] ビットは、ホストがデータを受け入れる前に必要な初期遅延 (クロック サイクル) を指定します。 注: STDLY[7:0]=0x00 は最大 50MHz の SPI に対応します。STDLY[7:0]=0x01 以上は最大 166MHz の SPI に対応します。STDLY[7:0]=0x05 以上は最大 166MHz の HL-T オクタルに、最大 200MHz の HS-T オクタルに対応します。 選択オプション: アドレスビット 依存性: 該当なし
ATBN[0]	ATBTEN	オートブート機能の選択	N->R/W	0	説明: ATBTEN ビットはオートブート機能を有効または無効にします。 選択オプション: 0= オートブート機能は無効です。 1= オートブート機能は有効です。 依存性: 該当なし

## 5.21 セクタ消去カウントレジスタ (SECV)

セクタ消去カウントレジスタ (SECV) はアドレスセクタが消去された回数を格納します。

Table 67 セクタ消去カウントレジスタ

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
SECV[23]	SECCPT	セクタ消去カウント破損ステータスフラグ	V->R	0x0	説明: SECCPT ビットは、報告されたセクタ消去カウントが破損してリセットされたかを判定するために使用されます。 注: SECCPT がカウント破損でセットされた場合、選択されたセクタに対する次の消去動作が正常に終了すると「0」にリセットされます。 選択オプション: 0= セクタ消去カウントは破損せず、有効です。 1= セクタ消去カウントは破損し、無効です。 依存性: 該当なし
SECV[22:0]	SECV[22:0]	セクタ消去カウント値	V->R	0x000000	説明: SECV[22:0] ビットはセクタが消去された回数を格納します。 選択オプション: 値 依存性: 該当なし

レジスタ

## 5.22 INT# ピン コンフィギュレーション レジスタ (INCV) - オクタルのみ

INT# ピン コンフィギュレーション レジスタ (INCV) は、どの内部イベントが INT# 出力ピンの HIGH から LOW への遷移をトリガーするかを設定します。

注:

- INCV が特定の機能による INT# ピンの駆動を無効にすると、対応する INSV ビットが更新されなくなります。
- INCV 内のビットをクリアしても INSV は影響されず、必要に応じてシステムは INSV を個別にします。

Table 68 割込みコンフィギュレーションレジスタ

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
INCV[7]	INTBEN	INT# ピン イネーブル選択	V->R/W	1	説明: INT# ピンは、メモリ デバイスでイベントが発生したことをホストシステムに示すために使用される、オープンドレイン出力です。INTBEN ビットは INT# ピンを制御する機能を有効または無効にします。  選択オプション: 0=INT# ピン機能は有効です。 1=INT# ピン機能は無効です。  依存性: 該当なし
INCV[6:5]	RESRVD	将来使用するために予約済み	V->R/W	11	これらのビットは将来使用するために予約されています。このビットは常にデフォルトの状態に書き込まれるかロードされる必要があります。
INCV[4]	REYBSY	レディ / ビジー トランザクション 選択	V->R/W	1	説明: REYBSY ビットはデバイスのレディ / ビジー状態が INT# を遷移させることを有効または無効にします。  選択オプション: 0= ビジーからレディへの遷移は INT# 出力の HIGH から LOW への遷移を発生させます。 1= レディ / ビジー遷移は INT# 出力の遷移を発生させません。  依存性: 該当なし
INCV[3:2]	RESRVD	将来使用するために予約済み	V->R/W	11	これらのビットは将来使用するために予約されています。このビットは常にデフォルトの状態に書き込まれるかロードされる必要があります。
INCV[1]	ECC2BT	ECC 2 ビット エラー検出選択	V->R/W	1	説明: ECC2BT ビットは 2 ビット ECC 検出エラーが INT# を遷移させることを有効または無効にします。  選択オプション: 0=2 ビット ECC 検出は INT# 出力の HIGH から LOW への遷移を発生させます。 1=2 ビット ECC 検出は INT# 出力の遷移を発生させません。  依存性: 該当なし
INCV[0]	ECC1BT	ECC 1 ビット エラー検出と訂正の選択	V->R/W	1	説明: ECC1BT ビットは 1 ビット ECC 検出と訂正エラーが INT# を遷移させることを有効または無効にします。  選択オプション: 0=1 ビット ECC 検出と訂正は INT# 出力の HIGH から LOW への遷移を発生させます。 1=1 ビット ECC 検出と訂正は INT# 出力の遷移を発生させません。  依存性: 該当なし



レジスタ

### 5.23 INT# ピンステータス レジスタ (INSV) - オクタルのみ

INT# ピンステータス レジスタ (INSV) は、最後に ISR がクリアされてからどの内部イベントが発生したかを示します。

Table 69 割込みステータス レジスタ

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
INSV[7:5]	RESRVD	将来使用するために予約済み	V->R/W	111	これらのビットは将来使用するために予約されています。このビットは常にデフォルトの状態に書き込まれるかロードされる必要があります。
INSV[4]	REYBSY	レディ / ビジー遷移	V->R/W	1	説明: REYBSY ビットは、デバイスのレディ / ビジーステータスが INT# の遷移を発生させたかを示します。 選択オプション: 0= ビジーからレディへの遷移が発生しました。 1= ビジーからレディへの遷移が発生しませんでした。 依存性: 該当なし
INSV[3:2]	RESRVD	将来使用するために予約済み	V->R/W	11	これらのビットは将来使用するために予約されています。このビットは常にデフォルトの状態に書き込まれるかロードされる必要があります。
INSV[1]	ECC2BT	ECC 2 ビット エラー検出	V->R/W	1	説明: ECC2BT ビットは、2 ビット ECC 検出エラーが INT# の遷移を発生させたかを示します。 選択オプション: 0=2 ビット エラー検出が発生しました。 1=2 ビット エラー検出が発生しませんでした。 依存性: 該当なし
INSV[0]	ECC1BT	ECC 1 ビット エラー検出と訂正	V->R/W	1	説明: ECC1BT ビットは、1 ビット ECC 訂正エラーが INT# の遷移を発生させたかを示します。 選択オプション: 0=1 ビット エラー訂正が発生しました。 1=1 ビット エラー訂正が発生しませんでした。 依存性: 該当なし

レジスタ

## 5.24 Endurance Flex アーキテクチャ選択レジスタ (EFXx)

Endurance Flex アーキテクチャ選択レジスタ (EFXx) は、4 ポインタ アーキテクチャに基づいて長期データ保持または高耐久性領域を定義します。

**Table 70 Endurance Flex アーキテクチャ選択レジスタ (ポインタ 4)**

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
EFX40[10:2]	EPTAD4[8:0]	Endurance Flex ポインタ 4 アドレス選択	N->R/1	11111111	説明: EPTAD4[8:0] ビットは、長期データ保持 / 高耐久性領域が定義される開始セクタの 9 ビットアドレスを定義します。 選択オプション: ポインタ アドレス 依存性: 該当なし
EFX40[1]	ERGNT4	Endurance Flex ポインタ 4 ベースの領域タイプ選択	N->R/1	1	説明: ERGNT4 ビットは、領域が長期データ保持であるか高耐久性であるかを定義します。 選択オプション: 0= 長期データ保持セクタ 1= 高耐久性セクタ 依存性: 該当なし
EFX40[0]	EPTEB4	Endurance Flex ポインタ 4 イネーブル選択	N->R/1	1	説明: EPTEN4 ビットは、ウェアレベリング ポインタが有効 / 無効を定義します。 選択オプション: 0= ポインタ アドレスは有効です。 1= ポインタ アドレスは無効です。 依存性: 該当なし

**Table 71 Endurance Flex アーキテクチャ選択レジスタ (ポインタ 3)**

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
EFX30[10:2]	EPTAD3[8:0]	Endurance Flex ポインタ 3 アドレス選択	N->R/1	11111111	説明: EPTAD3[8:0] ビットは、長期データ保持 / 高耐久性領域が定義される開始セクタの 9 ビットアドレスを定義します。 選択オプション: ポインタ アドレス 依存性: 該当なし
EFX30[1]	ERGNT3	Endurance Flex ポインタ 3 ベースの領域タイプ選択	N->R/1	1	説明: ERGNT3 ビットは、領域が長期データ保持であるか高耐久性であるかを定義します。 選択オプション: 0= 長期データ保持セクタ 1= 高耐久性セクタ 依存性: 該当なし
EFX30[0]	EPTEB3	Endurance Flex ポインタ 3 イネーブル選択	N->R/1	1	説明: EPTEN3 ビットはウェアレベリング ポインタが有効 / 無効を定義します。 選択オプション: 0= ポインタ アドレスは有効です。 1= ポインタ アドレスは無効です。 依存性: 該当なし

レジスタ

Table 72 Endurance Flex アーキテクチャ選択レジスタ (ポインタ 2)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
EFX20[10:2]	EPTAD2[8:0]	Endurance Flex ポインタ 2 アドレス選択	N->R/1	11111111	説明: EPTAD2[8:0] ビットは、長期データ保持 / 高耐久性領域が定義される開始セクタの 9 ビットアドレスを定義します。 選択オプション: ポインタ アドレス 依存性: 該当なし
EFX20[1]	ERGNT2	Endurance Flex ポインタ 2 ベースの領域タイプ選択	N->R/1	1	説明: ERGNT2 ビットは、領域が長期データ保持であるか高耐久性であるかを定義します。 選択オプション: 0= 長期データ保持セクタ 1= 高耐久性セクタ 依存性: 該当なし
EFX20[0]	EPTEB2	Endurance Flex ポインタ 2 イネーブル選択	N->R/1	1	説明: EPTEN2 ビットは、ウェアレベリングポイントが有効 / 無効を定義します。 選択オプション: 0= ポインタ アドレスは有効です。 1= ポインタ アドレスは無効です。 依存性: 該当なし

Table 73 Endurance Flex アーキテクチャ選択レジスタ (ポインタ 1)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
EFX10[10:2]	EPTAD1[8:0]	Endurance Flex ポインタ 1 アドレス選択	N->R/1	11111111	説明: EPTAD1[8:0] ビットは、長期データ保持 / 高耐久性領域が定義される開始セクタの 9 ビットアドレスを定義します。 選択オプション: ポインタ アドレス 依存性: 該当なし
EFX10[1]	ERGNT1	Endurance Flex ポインタ 1 ベースの領域タイプ選択	N->R/1	1	説明: ERGNT1 ビットは、領域が長期データ保持であるか高耐久性であるかを定義します。 選択オプション: 0= 長期データ保持セクタ 1= 高耐久性セクタ 依存性: 該当なし
EFX10[0]	EPTEB1	Endurance Flex ポインタ 1 イネーブル選択	N->R/1	1	説明: EPTEN1 ビットは、ウェアレベリングポイントが有効 / 無効を定義します。 選択オプション: 0= ポインタ アドレスは有効です。 1= ポインタ アドレスは無効です。 依存性: 該当なし

256Mb/512Mb/1Gb SEMPER™ フラッシュ  
 オクタル インターフェース, 1.8V/3.0V



レジスタ

Table 74 Endurance Flex アーキテクチャ選択レジスタ (ポインタ 0)

ビット 番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2 進)	説明
EFX00[1]	GBLSEL	全セクタ ベースの 領域タイプ選択	N->R/1	1	説明: MBLSEL ビットは、すべてのセクタが長期 データ保持領域であるか高耐久性領域であるかを 定義します。 注: 他のすべてのポインタレジスタが無効の場 合、このビットはメモリ空間全体の動作を定義 し、セクタ 0 から始まるように固定されます。  選択オプション: 0= 長期データ保持セクタ 1= 高耐久性セクタ  依存性: 該当なし
EFX00[0]	WRLVEN	ウェア レベリング イネーブル選択	N->R/1	1	説明: WRLVEN ビットはウェア レベリング機能を 有効 / 無効にします。  選択オプション: 0= ウェア レベリングは無効です。 1= ウェア レベリングは有効です。  依存性: 該当なし

# 6 トランザクションテーブル

## 6.1 SPI (1S-1S-1S) トランザクションテーブル

Table 75 SPI (1S-1S-1S) トランザクションテーブル

機能	トランザクション名	説明	前提条件トランザクション	バイト1 (16進数)	バイト2 (16進数)	バイト3 (16進数)	バイト4 (16進数)	バイト5 (16進数)	バイト6 (16進数)	バイト7 (16進数)	バイト8 (16進数)	バイト9 (16進数)	トランザクションフォーマット	最大周波数 (MHz)	アドレス長
デバイス ID 読み出し	RDIDN_0_0	メーカーとデバイス ID 読み出しトランザクションは、メーカーとデバイス ID への読み出しアクセスを提供します。	-	9F (CMD)	-	-	-	-	-	-	-	-	Figure 11	166	該当なし
	RSFDP_3_0	JEDEC シリアルフラッシュ検出可能パラメータ読み出しトランザクションは、シリアルフラッシュ検出パラメータ (SFDP) に順次アクセスします。	-	5A (CMD)	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	-	Figure 12		3
	RUID_0_0	固有 ID 読み出しは、デバイスごとに固有である工場プログラムした 64 ビット番号にアクセスします。	-	4C (CMD)	-	-	-	-	-	-	-	-	Figure 11		該当なし
レジスタ アクセス	RDSR1_0_0	ステータスレジスタ 1 読み出しトランザクションはステータスレジスタ 1 の内容を DQ1/SO から読み出します。	-	05 (CMD)	-	-	-	-	-	-	-	-			
	RDSR2_0_0	ステータスレジスタ 2 読み出しトランザクションはステータスレジスタ 2 の内容を DQ1/SO から読み出します。	-	07 (CMD)	-	-	-	-	-	-	-	-			
	RDARG_C_0	任意レジスタ読み出しトランザクションは、すべてのアドレス指定された不揮発性と揮発性のデバイスレジスタを読み出す方法を提供します。	-	65 (CMD)	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	-	Figure 12		3
			-		ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-		4	
	WRENB_0_0	書き込みイネーブルは、ステータスレジスタ 1 の書き込みイネーブルラッチビットを「1」にセットし、書き込み、プログラムおよび消去のトランザクションを有効にします。	-	06 (CMD)	-	-	-	-	-	-	-	-	Figure 6		該当なし
	WRDIS_0_0	書き込みディセーブルは、ステータスレジスタ 1 の書き込みイネーブルラッチビットを「0」にセットし、書き込み、プログラムおよび消去のトランザクションを無効にします。	-	04 (CMD)	-	-	-	-	-	-	-	-			
	WRARG_C_1	任意レジスタ書き込みトランザクションは、すべてのアドレス指定された不揮発性と揮発性のデバイスレジスタに書き込む方法を提供します。	WRENB_0_0	71 (CMD)	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	入力データ [7:0]	-	-	-	-	Figure 9		3
ADDR [31:24]					ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	入力データ [7:0]	-	-	-		4		

Table 75 SPI (1S-1S-1S) トランザクションテーブル (続き)

機能	トランザクション名	説明	前提条件トランザクション	バイト 1 (16 進数)	バイト 2 (16 進数)	バイト 3 (16 進数)	バイト 4 (16 進数)	バイト 5 (16 進数)	バイト 6 (16 進数)	バイト 7 (16 進数)	バイト 8 (16 進数)	バイト 9 (16 進数)	トランザクション フォーマット	最大周波数 (MHz)	アドレス 長
レジスタ アクセス	CLPEF_0_0	プログラムおよび消去失敗フラグクリアトランザクションは STR1V[5] (消去失敗フラグ) および STR1V[6] (プログラム失敗フラグ) をリセットします。	-	82 (CMD)	-	-	-	-	-	-	-	-	Figure 6	166	該当なし
	EN4BA_0	4 バイトアドレスモード開始トランザクションはアドレス長ビット CFR2V[7] を「1」にセットします。	-	B7 (CMD)	-	-	-	-	-	-	-	-	Figure 6		
	EX4BA_0_0	4 バイトアドレスモード終了トランザクションはアドレス長ビット CFR2V[7] を「0」にセットします。	-	B8 (CMD)	-	-	-	-	-	-	-	-			
ECC	RDECC_4_0	ECC ステータス読み出しはアドレス指定されたデータユニットの ECC ステータスを判断するために使用されます。	-	19 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	Figure 12	166	4
	CLECC_0_0	ECC ステータスレジスタクリアトランザクションは ECC ステータスレジスタビット [4] (2 ビット ECC 検出)、ECC ステータスレジスタビット [3] (1 ビット ECC 訂正)、アドレストラップレジスタおよび ECC 検出カウンターをリセットします。	-	1B (CMD)	-	-	-	-	-	-	-	-	Figure 6		該当なし
CRC	DICLK_4_1	データ整合性チェックトランザクションは、デバイスがユーザー定義アドレス範囲でデータ整合性チェックを実行します。	-	5B (CMD)	開始 ADDR [31:24]	開始 ADDR [23:16]	開始 ADDR [15:8]	開始 ADDR [7:0]	終了 ADDR [31:24]	終了 ADDR [23:16]	終了 ADDR [15:8]	終了 ADDR [7:0]	Figure 8	50	4
フラッシュ アレイ読み 出し	RDAY1_C_0	読み出しトランザクションは指定されたアドレスからメモリ内容を読み出します。トランザクションの最大 CK 周波数は 50MHz です。	-	03 (CMD)	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	-	Figure 13		50
			-		ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-		4	
	RDAY1_4_0	高速読み出しトランザクションは指定されたアドレスからメモリ内容を読み出します。トランザクションの最大 CK 周波数は 166MHz です。	-	13 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	Figure 12	166	3
	-		0B (CMD)	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	4				
フラッシュ アレイプロ グラム	PRPGE_4_1	ページプログラムは 1 つのトランザクションで 256B または 512B のデータをメモリアレイにプログラムします。	WRENB_0_0	12 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	入力 データ 1 [7:0]	入力 データ 2 [7:0]	(続く)	-	Figure 9		

Table 75 SPI (1S-1S-1S) トランザクションテーブル (続き)

機能	トランザクション名	説明	前提条件トランザクション	バイト 1 (16 進数)	バイト 2 (16 進数)	バイト 3 (16 進数)	バイト 4 (16 進数)	バイト 5 (16 進数)	バイト 6 (16 進数)	バイト 7 (16 進数)	バイト 8 (16 進数)	バイト 9 (16 進数)	トランザクション フォーマット	最大周波数 (MHz)	アドレス 長		
フラッシュ アレイ消去	ER004_4_0	4KB セクタ消去トランザクションは 4KB セクタのすべてのビットを「1」にセットします (すべてのバイトは FFh)。	WRENB_0_0	21 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	Figure 7	166	4		
	ER256_4_0	256KB セクタ消去トランザクションは 256KB セクタのすべてのビットを「1」にセットします (すべてのバイトは FFh)。	WRENB_0_0	DC (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-					
	ERCHP_0_0	チップ消去トランザクションは、フラッシュメモリ アレイ全体のすべてのビットを「1」にセットします (すべてのバイトは FFh)。	WRENB_0_0	60 または C7 (CMD)	-	-	-	-	-	-	-	-	-		Figure 6		該当なし
	EVERS_4_0	消去ステータス判断トランザクションはアドレス指定されたセクタの前の消去動作が正常に完了したかを確認します。	-	D0 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	-		Figure 7		4
	SEERC_4_0	セクタ消去カウント トランザクションはセクタ消去カウント レジスタから入力されたアドレスのセクタに対する消去回数を出力します。	-	5D (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	-		Figure 12		
一時停止 / 再開	SPEPD_0_0	消去 / プログラム / データ整合性チェックの一時停止トランザクションは、システムがプログラム、消去またはデータ整合性チェック動作を中断させます。	-	B0 (CMD)	-	-	-	-	-	-	-	-	Figure 6		該当なし		
	RSEPD_0_0	消去 / プログラム / データ整合性チェック再開トランザクションはシステムにプログラム、消去またはデータ整合性チェックの動作を再開させます。	-	7A (CMD)	-	-	-	-	-	-	-	-					
セキュアシリコン領域	PRSSR_4_1	セキュアシリコン領域プログラム トランザクションはデータをセキュアシリコン領域の 1024 バイトにプログラムします。	WRENB_0_0	42 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	入力 データ 1 [7:0]	入力 データ 2 [7:0]	(続く)	-	Figure 9		4		
	RDSSR_4_0	セキュアシリコン領域読み出しトランザクションは SSR からデータを読み出します。	-	4B (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	Figure 12				

Table 75 SPI (1S-1S-1S) トランザクションテーブル (続き)

機能	トランザクション名	説明	前提条件トランザクション	バイト 1 (16 進数)	バイト 2 (16 進数)	バイト 3 (16 進数)	バイト 4 (16 進数)	バイト 5 (16 進数)	バイト 6 (16 進数)	バイト 7 (16 進数)	バイト 8 (16 進数)	バイト 9 (16 進数)	トランザクション フォーマット	最大周波数 (MHz)	アドレス 長
高度セクタ 保護	RDDYB_4_0	ダイナミック保護ビット読み出しトランザクションは DYB アクセスレジスタの内容を読み出します。	-	E0 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	Figure 12	166	4
	WRDYB_4_1	ダイナミック保護ビット書き込みトランザクションは DYB アクセスレジスタに書き込みます。	WRENB_0_0	E1 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	入力 データ [7:0]	-	-	-	Figure 9		
	RDPPB_4_0	持続的保護ビット読み出しトランザクションは PPB アクセスレジスタの内容を読み出します。	-	E2 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	Figure 12		
	PRPPB_4_0	持続的保護ビットプログラムトランザクションはセクタ保護を有効にするために PPB レジスタにプログラムします / 書き込みます。	WRENB_0_0	E3 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	Figure 7		
	ERPPB_0_0	持続的保護ビット消去トランザクションは、すべての持続的保護ビットを「1」にセットします。	WRENB_0_0	E4 (CMD)	-	-	-	-	-	-	-	-	Figure 6		
	WRPLB_0_0	PPB 保護ロックビット書き込みトランザクションは PPB ロックを「0」にクリアします。	WRENB_0_0	A6 (CMD)	-	-	-	-	-	-	-	-			
	RDPLB_0_0	パスワード保護ロックビット読み出しトランザクションは 8 ビット PPB ロックレジスタの内容を MSb からシフトアウトします。	-	A7 (CMD)	-	-	-	-	-	-	-	-	Figure 11		
	PWDUL_0_1	パスワードロック解除トランザクションはフラッシュデバイスに 64 ビットパスワードを送ります。与えられたパスワードがパスワードレジスタでの隠しパスワードと一致しない場合、デバイスはロックされ、ハードウェアリセットまたは POR でのみデバイスはスタンバイ状態に戻り、PWDUL_0_1 の再実行などの新しいトランザクションのために準備します。パスワードが一致の場合、PPB ロックビットは「1」にセットされます。	-	E9 (CMD)	パス ワード [7:0]	パス ワード [15:8]	パス ワード [23:16]	パス ワード [31:24]	パス ワード [39:32]	パス ワード [47:40]	パス ワード [55:48]	パス ワード [63:56]	Figure 10		
リセット	SRSTE_0_0	ソフトウェアリセットイネーブルコマンドは SFRST_0_0 トランザクションの直前に必要となります。	-	66 (CMD)	-	-	-	-	-	-	-	-	Figure 6	該当なし	
	SFRST_0_0	ソフトウェアリセットトランザクションは不揮発性デフォルト値から揮発性レジスタの再ロードにより、デバイスを初期電源投入状態に戻させます。	SRSTE_0_0	99 (CMD)	-	-	-	-	-	-	-	-			
ディープ パワー ダウン	ENDPD_0_0	ディープパワーダウンモード開始トランザクションはデバイスに最低消費電力モードに移行させます。	-	B9 (CMD)	-	-	-	-	-	-	-	-			



## 6.2 SPI (1S-1S-8S) トランザクション テーブル (HL256T および HS256T のみ)

Table 76 SPI (1S-1S-8S) トランザクション テーブル

機能	トランザクション名	説明	前提条件トランザクション	バイト 1 (16 進数)	バイト 2 (16 進数)	バイト 3 (16 進数)	バイト 4 (16 進数)	バイト 5 (16 進数)	バイト 6 (16 進数)	バイト 7 (16 進数)	バイト 8 (16 進数)	バイト 9 (16 進数)	トランザクションフォーマット	最大周波数 (MHz)	アドレス長
フラッシュアレイ読み出し	RDAY3_4_0	読み出しトランザクションは指定されたアドレスからメモリ内容をオクタルデータ出力で読み出します。トランザクションの最大 CK 周波数は 166MHz です。	-	7C (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	Figure 15	166	4
フラッシュアレイプログラム	PRPG1_C_1	ページプログラムは 1 つのトランザクションで 256B または 512B のデータをメモリアレイにオクタルデータ入力でプログラムします。	WRENB_0_0	82 (CMD)	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	入力データ 1 [7:0]	入力データ 2 [7:0]	入力データ 3 [7:0]	(続く)	-	Figure 16	166	4
				ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	入力データ 1 [7:0]	入力データ 2 [7:0]	(続く)	-				
	PRPG1_4_1	ページプログラムは 1 つのトランザクションで 256B または 512B のデータをメモリアレイにオクタルデータ入力でプログラムします。		84 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	入力データ 1 [7:0]	入力データ 2 [7:0]	(続く)	-			

## 6.3 SPI (1S-8S-8S) トランザクション テーブル (HL256T および HS256T のみ)

Table 77 SPI (1S-8S-8S) トランザクション テーブル

機能	トランザクション名	説明	前提条件トランザクション	バイト 1 (16 進数)	バイト 2 (16 進数)	バイト 3 (16 進数)	バイト 4 (16 進数)	バイト 5 (16 進数)	バイト 6 (16 進数)	バイト 7 (16 進数)	バイト 8 (16 進数)	バイト 9 (16 進数)	トランザクションフォーマット	最大周波数 (MHz)	アドレス長
フラッシュアレイプログラム	PRPG2_4_1	ページプログラムは 1 つのトランザクションで 256B または 512B のデータをメモリアレイにオクタルアドレスおよびデータ入力でプログラムします。	WRENB_0_0	8E (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	入力データ 1 [7:0]	入力データ 2 [7:0]	(続く)	-	Figure 17	166	4
	PRPG3_C_1			C2 (CMD)	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	入力データ 1 [7:0]	入力データ 2 [7:0]	入力データ 3 [7:0]	(続く)	-			3
					ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	入力データ 1 [7:0]	入力データ 2 [7:0]	(続く)	-			4



## 6.4 オクタル (8S-8S-8S, 8D-8D-8D) トランザクションテーブル

Table 78 オクタル (8S-8S-8S, 8D-8D-8D) トランザクションテーブル

機能	トランザクション名	説明	前提条件 トランザクション	バイト1	バイト2	バイト3	バイト4	バイト5	バイト6	バイト7	バイト8	バイト9	バイト10	バイト11	バイト12	バイト13	バイト14	トランザクション フォーマット (SDR/DDR)	HL-T/HS-T 最大周波数 (MHz)	アドレス長	
				CK ↑ エッジ [32]	CK ↓ エッジ [32]	CK ↑ エッジ [32]	CK ↓ エッジ [32]	CK ↑ エッジ [32]	CK ↓ エッジ [32]	CK ↑ エッジ [32]	CK ↓ エッジ [32]	CK ↑ エッジ [32]	CK ↓ エッジ [32]	CK ↑ エッジ [32]	CK ↓ エッジ [32]	CK ↑ エッジ [32]	CK ↓ エッジ [32]				
デバイス ID 読み出 し	RDIDN_4_0	メーカーとデバイス ID 読み出しトランザクションは、メーカーとデバイス ID への読み出しアクセスを提供します。	-	9F (CMD)	9F (CMD)	00 (ADDR)	00 (ADDR)	00 (ADDR)	00 (ADDR)	-	-	-	-	-	-	-	-	Figure 27/ Figure 28	166/200	4	
	RSFDP_4_0	JEDEC シリアルフラッシュ検出可能パラメータ読み出しトランザクションは、シリアルフラッシュ検出パラメータ (SFDP) に順次アクセスします。	-	5A (CMD)	5A (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	-	-	-	-	Figure 27/ Figure 29	92 (SDR) /85 (DDR)		166/200
	RDUID_4_0	固有 ID 読み出しはデバイスごとに固有である工場出荷時の 64 ビット番号にアクセスします。	-	4C (CMD)	4C (CMD)	00 (ADDR)	00 (ADDR)	00 (ADDR)	00 (ADDR)	-	-	-	-	-	-	-	-	Figure 27/ Figure 28			
レジスタ アクセス	RDSR1_4_0	ステータスレジスタ 1 読み出しトランザクションはステータスレジスタ 1 の内容を DQ[7:0] から読み出します。	-	05 (CMD)	05 (CMD)	00 (ADDR)	00 (ADDR)	00 (ADDR)	00 (ADDR)	-	-	-	-	-	-	-	-	Figure 27/ Figure 29			
	RDSR2_4_0	ステータスレジスタ 2 読み出しトランザクションはステータスレジスタ 2 の内容を DQ[7:0] から読み出します。	-	07 (CMD)	07 (CMD)	00 (ADDR)	00 (ADDR)	00 (ADDR)	00 (ADDR)	-	-	-	-	-	-	-	-	Figure 27/ Figure 28			
	RDARG_4_0	任意レジスタ読み出しトランザクションは、すべてのアドレス指定された不揮発性と揮発性のデバイスレジスタを読み出す方法を提供します。	-	65 (CMD)	65 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	-	-	-	-	Figure 27/ Figure 28			
	WRENB_0_0	書き込みイネーブルは、ステータスレジスタ 1 の書き込みイネーブルラッチビットを「1」にセットし、書き込み、プログラムおよび消去のトランザクションを有効にします。	-	06 (CMD)	06 (CMD)	-	-	-	-	-	-	-	-	-	-	-	-	Figure 18/ Figure 19		該当なし	

注  
 32. オクタル DDR プロトコルの場合。



Table 78 オクタル (8S-8S-8S, 8D-8D-8D) トランザクションテーブル (続き)

機能	トランザクション名	説明	前提条件 トランザクション	バイト (16進数)														トランザクション フォーマット (SDR/DDR)	HL-T/HS-T 最大周波数 (MHz)	アドレス長
				バイト1 CK↑ [32] エッジ	バイト2 CK↓ [32] エッジ	バイト3 CK↑ [32] エッジ	バイト4 CK↓ [32] エッジ	バイト5 CK↑ [32] エッジ	バイト6 CK↓ [32] エッジ	バイト7 CK↑ [32] エッジ	バイト8 CK↓ [32] エッジ	バイト9 CK↑ [32] エッジ	バイト10 CK↓ [32] エッジ	バイト11 CK↑ [32] エッジ	バイト12 CK↓ [32] エッジ	バイト13 CK↑ [32] エッジ	バイト14 CK↓ [32] エッジ			
レジスタ アクセス	WRDIS_0_0	書き込みディセーブルは、ステータスレジスタ1の書き込みイネーブルラッチビットを「0」にセットし、書き込み、プログラムおよび消去のトランザクションを無効にします。	-	04 (CMD)	04 (CMD)	-	-	-	-	-	-	-	-	-	-	-	-	Figure 18/ Figure 19	166/200	該当なし
	WRARG_4_1	任意レジスタ書き込みトランザクションは、すべてのアドレス指定された不揮発性と揮発性のデバイスレジスタに書き込む方法を提供します。	WRENB_0_0	71 (CMD)	71 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	入力 データ [7:0]	-	-	-	-	-	-	-	Figure 24/ Figure 25		4
	CLPEF_0_0	プログラムおよび消去失敗フラグクリアトランザクションは STR1V[5] (消去失敗フラグ) および STR1V[6] (プログラム失敗フラグ) をリセットします。	-	82 (CMD)	82 (CMD)	-	-	-	-	-	-	-	-	-	-	-	-	-	Figure 18/ Figure 19	
ECC	RDECC_4_0	ECC ステータス読み出しはアドレス指定されたデータユニットの ECC ステータスを判断するために使用されます。	-	19 (CMD)	19 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	-	-	-	-	Figure 27/ Figure 29		4
	CLECC_0_0	ECC ステータスレジスタクリアトランザクションは ECC ステータスレジスタビット [4] (2ビット ECC 検出)、ECC ステータスレジスタビット [3] (1ビット ECC 訂正)、アドレスラップレジスタおよび ECC 検出カウンターをリセットします。	-	1B (CMD)	1B (CMD)	-	-	-	-	-	-	-	-	-	-	-	-	Figure 18/ Figure 19		該当なし
CRC	RDCRC_4_0	インターフェース CRC レジスタ読み出しトランザクションは揮発性インターフェース CRC レジスタの内容を読み出します。	-	64 (CMD)	64 (CMD)	00 (ADDR)	00 (ADDR)	00 (ADDR)	00 (ADDR)	-	-	-	-	-	-	-	-	Figure 27/ Figure 28		4
	DICHK_4_1	データ整合性チェックトランザクションは、デバイスがユーザー定義アドレス範囲でデータ整合性チェックを実行します。	-	5B (CMD)	5B (CMD)	00 (ADDR)	00 (ADDR)	00 (ADDR)	00 (ADDR)	開始 ADDR [31:24 ]	開始 ADDR [23:16 ]	開始 ADDR [15:8]	開始 ADDR [7:0]	終了 ADDR [31:24]	終了 ADDR [23:16]	終了 ADDR [15:8]	終了 ADDR [7:0]	Figure 22/ Figure 23		

注  
 32. オクタル DDR プロトコルの場合。

Table 78 オクタル (8S-8S-8S, 8D-8D-8D) トランザクションテーブル (続き)

機能	トランザクション名	説明	前提条件 トランザクション	トランザクションパラメータ														トランザクション フォーマット (SDR/DDR)	HL-T/HS-T 最大周波数 (MHz)	アドレス長
				バイト1 (16進数) CK↑ [32] エッジ	バイト2 (16進数) CK↓ [32] エッジ	バイト3 (16進数) CK↑ [32] エッジ	バイト4 (16進数) CK↓ [32] エッジ	バイト5 (16進数) CK↑ [32] エッジ	バイト6 (16進数) CK↓ [32] エッジ	バイト7 (16進数) CK↑ [32] エッジ	バイト8 (16進数) CK↓ [32] エッジ	バイト9 (16進数) CK↑ [32] エッジ	バイト10 (16進数) CK↓ [32] エッジ	バイト11 (16進数) CK↑ [32] エッジ	バイト12 (16進数) CK↓ [32] エッジ	バイト13 (16進数) CK↑ [32] エッジ	バイト14 (16進数) CK↓ [32] エッジ			
フラッシュ レイ読み出し	RDAY1_4_0	オクタル SDR 読み出しトランザクションは DQ[7:0] で指定されたアドレスからメモリ内容を読み出します。SDR トランザクションの最大 CK 周波数は 200MHz です。	-	EC (CMD)	EC (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	-	-	-	Figure 27	166/200	4	
	RDAY2_4_0	オクタル DDR 読み出しトランザクションは DQ[7:0] で指定されたアドレスからメモリ内容を読み出します。DDR トランザクションの最大 CK 周波数は 200MHz です。	-	EE (CMD)	EE (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	-	-	-	Figure 28			
フラッシュ レイプログラム	PRPGE_4_1	ページプログラムは 1 つのトランザクションで 256B または 512B のデータをメモリアレイにプログラムします。	WRENB_0_0	12 (CMD)	12 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	入力データ 1 [7:0]	入力データ 2 [7:0]	(続く)	-	-	-	-	Figure 24/ Figure 25	該当なし	4	
フラッシュ レイ消去	ER004_4_0	4KB セクタ消去トランザクションは 4KB セクタのすべてのビットを「1」にセットします (すべてのバイトは FFh)。	WRENB_0_0	21 (CMD)	21 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	-	-	-	Figure 20/ Figure 21			
	ER256_4_0	256KB セクタ消去トランザクションは 256KB セクタのすべてのビットを「1」にセットします (すべてのバイトは FFh)。	WRENB_0_0	DC (CMD)	DC (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	-	-	-	Figure 18/ Figure 19			
	ERCHP_0_0	チップ消去トランザクションは、フラッシュメモリアレイ全体のすべてのビットを「1」にセットします (すべてのバイトは FFh)。	WRENB_0_0	60 または C7 (CMD)	60 または C7 (CMD)	-	-	-	-	-	-	-	-	-	-	-	-			
EVERS_4_0	消去ステータス判断トランザクションはアドレス指定されたセクタの前の消去動作が正常に完了したかを確認します。	-	-	D0 (CMD)	D0 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	-	-	-	Figure 20/ Figure 21			
SEERC_4_0	セクタ消去カウントトランザクションはセクタ消去カウントレジスタから入力されたアドレスのセクタに対する消去回数を出力します。	-	-	5D (CMD)	5D (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	-	-	-	Figure 20/ Figure 21			

注  
 32. オクタル DDR プロトコルの場合。

Table 78 オクタル (8S-8S-8S, 8D-8D-8D) トランザクションテーブル (続き)

機能	トランザクション名	説明	前提条件 トランザクション	バイト1	バイト2	バイト3	バイト4	バイト5	バイト6	バイト7	バイト8	バイト9	バイト10	バイト11	バイト12	バイト13	バイト14	トランザクション フォーマット (SDR/DDR)	HL-T/HS-T 最大周波数 (MHz)	アドレス長	
				CK↑ <sup>[32]</sup> エッジ (16進数)	CK↓ <sup>[32]</sup> エッジ (16進数)	CK↑ <sup>[32]</sup> エッジ (16進数)	CK↓ <sup>[32]</sup> エッジ (16進数)	CK↑ <sup>[32]</sup> エッジ (16進数)	CK↓ <sup>[32]</sup> エッジ (16進数)	CK↑ <sup>[32]</sup> エッジ (16進数)	CK↓ <sup>[32]</sup> エッジ (16進数)	CK↑ <sup>[32]</sup> エッジ (16進数)	CK↓ <sup>[32]</sup> エッジ (16進数)	CK↑ <sup>[32]</sup> エッジ (16進数)	CK↓ <sup>[32]</sup> エッジ (16進数)	CK↑ <sup>[32]</sup> エッジ (16進数)	CK↓ <sup>[32]</sup> エッジ (16進数)				
一時停止 / 再開	SPEPD_0_0	消去 / プログラム / データ整合性チェック一時停止トランザクションは、システムにプログラム、消去、またはデータ整合性チェックの動作を中断させます。	-	B0 (CMD)	B0 (CMD)	-	-	-	-	-	-	-	-	-	-	-	-	-	Figure 18/ Figure 19	166/200	該当なし
	RSEPD_0_0	消去 / プログラム / データ整合性チェック再開トランザクションは、システムにプログラム、消去、またはデータ整合性チェックの動作を再開させます。	-	30 (CMD)	30 (CMD)	-	-	-	-	-	-	-	-	-	-	-	-	-			
セキュアシリコン領域	PRSSR_4_1	セキュアシリコン領域プログラムトランザクションはデータをセキュアシリコン領域の 1024 バイトにプログラムします。	WRENB_0_0	42 (CMD)	42 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	入力データ 1 [7:0]	入力データ 2 [7:0]	(続く)	-	-	-	-	-	Figure 24/ Figure 25	4	4	
	RDSSR_4_0	セキュアシリコン領域読み出しトランザクションは SSR からデータを読み出します。	-	4B (CMD)	4B (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	-	-	-	-	Figure 27/ Figure 28			
高度セクタ保護	RDDYB_4_0	ダイナミック保護ビット読み出しトランザクションは DYB アクセス レジスタの内容を読み出します。	-	E0 (CMD)	E0 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	-	-	-	-	Figure 27/ Figure 29	4	4	
	WRDYB_4_1	ダイナミック保護ビット書き込みトランザクションは DYB アクセス レジスタに書き込みます。	WRENB_0_0	E1 (CMD)	E1 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	入力データ [7:0]	-	-	-	-	-	-	-	Figure 24/ Figure 26			
	RDPPB_4_0	持続的保護ビット読み出しトランザクションは PPB アクセス レジスタの内容を読み出します。	-	E2 (CMD)	E2 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	-	-	-	-	Figure 27/ Figure 29			
	PRPPB_4_0	持続的保護ビットプログラムトランザクションはセクタ保護を有効にするために PPB レジスタにプログラムします / 書き込みます。	WRENB_0_0	E3 (CMD)	E3 (CMD)	ADDR [31:24]	ADDR [23:16]	ADDR [15:8]	ADDR [7:0]	-	-	-	-	-	-	-	-	Figure 20/ Figure 21			

注  
 32. オクタル DDR プロトコルの場合。



Table 78 オクタル (8S-8S-8S, 8D-8D-8D) トランザクションテーブル (続き)

機能	トランザクション名	説明	前提条件 トランザクション	バイト (16進数)														トランザクション フォーマット (SDR/DDR)	HL-T/HS-T 最大周波数 (MHz)	アドレス長
				バイト1 CK↑ [32] エッジ	バイト2 CK↓ [32] エッジ	バイト3 CK↑ [32] エッジ	バイト4 CK↓ [32] エッジ	バイト5 CK↑ [32] エッジ	バイト6 CK↓ [32] エッジ	バイト7 CK↑ [32] エッジ	バイト8 CK↓ [32] エッジ	バイト9 CK↑ [32] エッジ	バイト10 CK↓ [32] エッジ	バイト11 CK↑ [32] エッジ	バイト12 CK↓ [32] エッジ	バイト13 CK↑ [32] エッジ	バイト14 CK↓ [32] エッジ			
高度セクタ保護	ERPPB_0_0	持続的保護ビット消去トランザクションは、すべての持続的保護ビットを「1」にセットします。	WRENB_0_0	E4 (CMD)	E4 (CMD)	-	-	-	-	-	-	-	-	-	-	-	-	Figure 18/ Figure 19	166/200	該当なし
	WRPLB_0_0	PPB 保護ロックビット書き込みトランザクションは PPB ロックを「0」にクリアします。	WRENB_0_0	2C (CMD)	2C (CMD)	-	-	-	-	-	-	-	-	-	-	-	-			
	RDPLB_4_0	パスワード保護ロックビット読み出しトランザクションは 8 ビット PPB ロックレジスタの内容を MSb からシフトアウトします。	-	2D (CMD)	2D (CMD)	00 (ADDR)	00 (ADDR)	00 (ADDR)	00 (ADDR)	-	-	-	-	-	-	-	-	Figure 27/ Figure 29	4	該当なし
	PWDUL_4_1	パスワードロック解除トランザクションはフラッシュデバイスに 64 ビットパスワードを送ります。与えられたパスワードがパスワードレジスタでの隠しパスワードと一致しない場合、デバイスはロックされ、ハードウェアリセットまたは POR でのみデバイスはスタンバイ状態に戻り、PWDUL_0_1 の再実行などの新しいトランザクションのために準備します。パスワードが一致の場合、PPB ロックビットは「1」にセットされます。	-	E9 (CMD)	E9 (CMD)	00 (ADDR)	00 (ADDR)	00 (ADDR)	00 (ADDR)	パスワード [7:0]	パスワード [15:8]	パスワード [23:16]	パスワード [31:24]	パスワード [39:32]	パスワード [47:40]	パスワード [55:48]	パスワード [63:56]	Figure 24/ Figure 25		
リセット	SRSTE_0_0	ソフトウェアリセットイネーブルコマンドは SFRST_0_0 トランザクションの直前に必要です。	-	66 (CMD)	66 (CMD)	-	-	-	-	-	-	-	-	-	-	-	-	Figure 18/ Figure 19	該当なし	
	SFRST_0_0	ソフトウェアリセットトランザクションは不揮発性デフォルト値から揮発性レジスタの再ロードにより、デバイスを初期電源投入状態に戻させます。	SFRSE_0_0	99 (CMD)	99 (CMD)	-	-	-	-	-	-	-	-	-	-	-	-			
ディープパワーダウン	ENDPD_0_0	ディープパワーダウンモード開始トランザクションはデバイスに最低消費電力モードに移行させます。	-	B9 (CMD)	B9 (CMD)	-	-	-	-	-	-	-	-	-	-	-	-			

注  
 32. オクタル DDR プロトコルの場合。

電气的特性

## 7 電气的特性

### 7.1 絶対最大定格<sup>[35]</sup>

プラスチックパッケージの保管温度	-65°C ~ +150°C
通電時の周囲温度	-65°C ~ +125°C
V <sub>CC</sub> (HS-T)	-0.5V ~ +4.0V
V <sub>CC</sub> (HS-T)	-0.5V ~ +2.5V
グラウンドを基準にした入力電圧 (V <sub>SS</sub> ) <sup>[33]</sup>	-0.5V ~ V <sub>CC</sub> +0.5V
出力短絡電流 <sup>[34]</sup>	100mA

注  
 33.信号遷移時に許可された最大値は 120 ページの“**入力信号オーバーシュート**”を参照してください。  
 34.複数の出力を同時にグラウンドに短絡できません。短絡時間は 1 秒を超えてはいけません。  
 35.119 ページの“**絶対最大定格 [35]**”に記載されたものを超えるストレスの印加は、デバイスを完全に破壊する可能性があります。ただし、これはストレスのみに対する定格です。上記の条件あるいは本データシートの動作説明の各節に記載されている条件を超える条件におけるデバイスの機能動作は保証されません。長時間にわたってデバイスを絶対最大定格条件に放置すると、デバイスの信頼性に影響を与えます。

### 7.2 動作範囲

動作範囲は、デバイスの正常な機能が保証される範囲を定めたものです。

#### 7.2.1 電源電圧

V <sub>CC</sub> /V <sub>CCQ</sub> (HL-T デバイス)	2.7V ~ 3.6V
V <sub>CC</sub> /V <sub>CCQ</sub> (HS-T デバイス)	1.7V ~ 2.0V

#### 7.2.2 温度範囲

Table 79 温度範囲

パラメーター	記号	デバイス	仕様		単位
			Min	Max	
周囲温度	T <sub>A</sub>	産業用 / 車載向け AEC-Q100 グレード 3	-40	+85	°C
		産業用プラス / 車載向け AEC-Q100 グレード 2 <sup>[36]</sup>		+105	
		車載向け AEC-Q100 グレード 1 <sup>[36]</sup>		+125	

注  
 36.産業用プラス、車載向けグレード 2 および車載向けグレード 1 デバイスの動作および性能パラメーターはデバイス特性評価で決まり、本仕様を示す標準産業用または車載向けグレード 3 温度範囲のデバイスとは異なることがあります。

### 7.3 熱抵抗

Table 80 熱抵抗

パラメーター	説明	テスト条件	デバイス	24 ボール BGA	単位
Theta JA	熱抵抗 (接合部から周囲)	テスト条件は EIA/JESD51 による熱インピーダンスを測定するための標準的なテスト方法と手順に従います。無風時 (0m/s) の場合	256T	35.3	°C/W
			512T	40.4	
			01GT	37	
Theta JB	熱抵抗 (接合部からボード)		256T	19	
			512T	14.5	
			01GT	9.7	
Theta JC	熱抵抗 (接合部からケース)	256T	11		
		512T	8		
		01GT	7.5		

電気的特性

## 7.4 静電容量特性

Table 81 静電容量

記号	パラメーター	テスト条件	Typ	Max	単位
$C_{IN}$	入力静電容量 (CK, CS#, RESET# に適用)	1MHz	3.0	7.50	pF
$C_{OUT}$	出力静電容量 (全 I/O に適用)		6.50		

## 7.5 ラッチアップ仕様

Table 82 ラッチアップ仕様<sup>[37]</sup>

説明	Min	Max	単位
すべての入力専用接続での、 $V_{SSQ}$ を基準とした入力電圧	-1.0	$V_{CCQ}+1.0$	V
すべての I/O 接続での、 $V_{SSQ}$ を基準とした入力電圧			
$V_{CCQ}$ 電流	-100	+100	mA

注  
 37.電源電圧  $V_{CC}$  を除外します。テスト条件:  $V_{CC}=1.8V/3.0V$ 、一度に1つの接続をテストし、テストされていないピンは  $V_{SS}$  に接続します。

## 7.6 DC 特性

### 7.6.1 入力信号オーバーシュート

DC 条件において、入力または I/O 信号は  $V_{SSQ}$  と  $V_{CCQ}$  の電圧範囲内にあることが必要です。電圧変動の間、入力または I/O は最大 20ns の期間で、 $V_{SSQ}$  が -1.0V にオーバーシュートするか、または  $V_{CCQ}+1.0V$  にオーバーシュートする可能性があります。

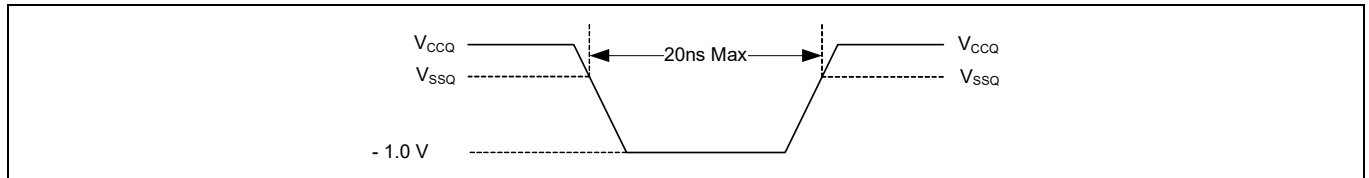


Figure 69 最大負オーバーシュート波形

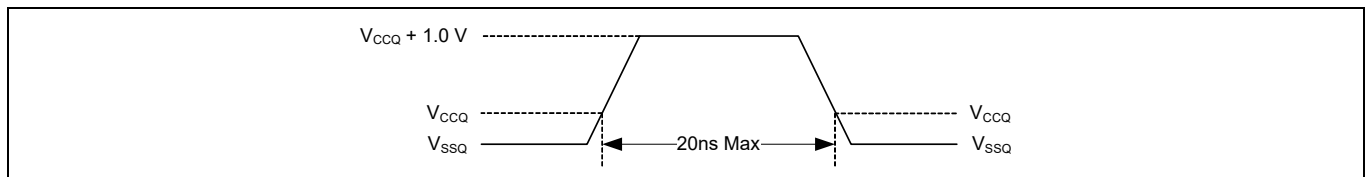


Figure 70 最大正オーバーシュート波形



電氣的特性

## 7.6.2 DC 特性 ( 全温度範囲 )

Table 83 DC 特性 [38, 40]

記号	パラメーター	テスト条件	最小値	標準値	最大値	単位	参照図
$V_{IL}$	入力 LOW 電圧 (すべての $V_{CC}$ )	-	$V_{CCQ} \times -0.15$	-	$V_{CCQ} \times 0.35$	V	-
$V_{IH}$	入力 HIGH 電圧 (すべての $V_{CC}$ )		$V_{CCQ} \times 0.65$		$V_{CCQ} \times 1.15$		
$V_{OL}$	出力 LOW 電圧 (すべての $V_{CC}$ )	0.1mA 時	-		0.2		
$V_{OH}$	出力 HIGH 電圧 (すべての $V_{CC}$ )	-0.1mA 時	$V_{CCQ} - 0.20$				
$I_{LI}$	入力リーク電流	$V_{CC} = V_{CC} \text{ Max,}$ $V_{IN} = V_{IH}$ または $V_{SS},$ $CS\# = V_{IH}, 85^\circ\text{C}$	-		$\pm 2$	$\mu\text{A}$	
		$V_{CC} = V_{CC} \text{ Max,}$ $V_{IN} = V_{IH}$ または $V_{SS},$ $CS\# = V_{IH}, 105^\circ\text{C}$		$\pm 3$			
		$V_{CC} = V_{CC} \text{ Max,}$ $V_{IN} = V_{IH}$ または $V_{SS},$ $CS\# = V_{IH}, 125^\circ\text{C}$		$\pm 4$			
$I_{LO}$	出力リーク電流	$V_{CC} = V_{CC} \text{ Max,}$ $V_{IN} = V_{IH}$ または $V_{SS},$ $CS\# = V_{IH}, 85^\circ\text{C}$			$\pm 2$		
		$V_{CC} = V_{CC} \text{ Max,}$ $V_{IN} = V_{IH}$ または $V_{SS},$ $CS\# = V_{IH}, 105^\circ\text{C}$		$\pm 3$			
		$V_{CC} = V_{CC} \text{ Max,}$ $V_{IN} = V_{IH}$ または $V_{SS},$ $CS\# = V_{IH}, 125^\circ\text{C}$		$\pm 4$			
$I_{CC1}$	アクティブ供給電流 ( 読み出し ) <sup>[39]</sup>	SDR@50MHz (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)		14/18 10/10 18/14	25/25 21/18 25/25	mA	
		SDR@166MHz (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)		53/53 75/75 75/80	69/72 100/100 100/100		
		DDR@200MHz (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)		156/156 156/156 156/156	173/173 173/173 173/173		
$I_{CC2}$	アクティブ供給電流 ( ページプログラム ) (256T/512T/01GT)	$V_{CC} = V_{CC} \text{ Max, CS}\# = V_{IH}$		50	58/58/66		
$I_{CC3}$	アクティブ供給電流 ( 任意レジスタ書き込み ) (256T/512T/01GT)	$V_{CC} = V_{CC} \text{ Max, CS}\# = V_{IH}$		50	55/55/66		
$I_{CC4}$	アクティブ供給電流 ( セクタ消去 ) (256T/512T/01GT)	$V_{CC} = V_{CC} \text{ Max, CS}\# = V_{IH}$		50	55/55/66		
$I_{CC5}$	アクティブ供給電流 ( チップ消去 ) (256T/512T/01GT)	$V_{CC} = V_{CC} \text{ Max, CS}\# = V_{IH}$		50	55/55/66		

注

38. Typ 値は  $T_{AI} = 25^\circ\text{C}$  と  $V_{CC} = 1.8\text{V}/3.0\text{V}$  のときです。

39. 読み出しデータが返るとき、出力は未接続です。出力スイッチング電流は含まれていません。

40. INT# 出力の推奨プルアップ抵抗は  $5\text{k}\Omega \sim 10\text{k}\Omega$  です。

電気的特性

Table 83 DC 特性 [38, 40] ( 続き )

記号	パラメーター	テスト条件	最小値	標準値	最大値	単位	参照図	
I <sub>SB</sub>	スタンバイ電流 (HS256T/HS512T/HS01G Txx/HS01GTGZ)	RESET#, CS#=V <sub>CCQ</sub> ° すべての I/O=V <sub>CCQ</sub> または V <sub>SSQ</sub> , 85°C	-	11	180/113/160/ 180	μA	-	
		RESET#, CS#=V <sub>CCQ</sub> ° すべての I/O=V <sub>CCQ</sub> または V <sub>SSQ</sub> , 105°C			350/188/320/ 350			
		RESET#, CS#=V <sub>CCQ</sub> ° すべての I/O=V <sub>CCQ</sub> または V <sub>SSQ</sub> , 125°C			650/340/490/ 650			
	スタンバイ電流 (HL256T/HL512T/HL01GT )	RESET#, CS#=V <sub>CCQ</sub> ° すべての I/O=V <sub>CCQ</sub> または V <sub>SSQ</sub> , 85°C			14			160/126/160
		RESET#, CS#=V <sub>CCQ</sub> ° すべての I/O=V <sub>CCQ</sub> または V <sub>SSQ</sub> , 105°C						320/188/320
		RESET#, CS#=V <sub>CCQ</sub> ° すべての I/O=V <sub>CCQ</sub> または V <sub>SSQ</sub> , 125°C						490/340/490
I <sub>DPD</sub>	DPD 電流 (HS256T/HS512T/HS01G Txx/HS01GTGZ)	RESET#, CS#=V <sub>CCQ</sub> ° すべての I/O=V <sub>CCQ</sub> または V <sub>SSQ</sub> , 85°C	1.3	2.2		24/18/24/24	mA	
		RESET#, CS#=V <sub>CCQ</sub> ° すべての I/O=V <sub>CCQ</sub> または V <sub>SSQ</sub> , 105°C				46/18/26/46		
		RESET#, CS#=V <sub>CCQ</sub> ° すべての I/O=V <sub>CCQ</sub> または V <sub>SSQ</sub> , 125°C				80/31/52/80		
	DPD 電流 (HL256T/HL512T/HL01GT )	RESET#, CS#=V <sub>CCQ</sub> ° すべての I/O=V <sub>CCQ</sub> または V <sub>SSQ</sub> , 85°C			26/18/26			
		RESET#, CS#=V <sub>CCQ</sub> ° すべての I/O=V <sub>CCQ</sub> または V <sub>SSQ</sub> , 105°C			26/18/26			
		RESET#, CS#=V <sub>CCQ</sub> ° すべての I/O=V <sub>CCQ</sub> または V <sub>SSQ</sub> , 125°C			52/31/52			
I <sub>POR</sub>	POR 電流	RESET#, CS#=V <sub>CCQ</sub> ° すべ ての I/O=V <sub>CCQ</sub> または V <sub>SSQ</sub>	-	-	80			

電源投入 / 電源切断時の電圧

V <sub>CC</sub> (min)	V <sub>CC</sub> (最小動作電圧, HL-T)	-	2.7	-	-	V	Figure 64/ Figure 66
	V <sub>CC</sub> (最小動作電圧, HS-T)	-	1.7	-	-		
V <sub>CC</sub> (cut-off)	V <sub>CC</sub> (再初期化が必要と なるカットオフ電圧, HL-T)	-	2.4	-	-	V	Figure 65
	V <sub>CC</sub> (再初期化が必要と なるカットオフ電圧, HS-T)	-	1.55	-	-		
V <sub>CC</sub> (LOW)	V <sub>CC</sub> (初期化が起こる低 電圧, HL-T)	-	0.7	-	-		
	V <sub>CC</sub> (初期化が起こる低 電圧, HS-T)	-	0.7	-	-		

注

38. Typ 値は T<sub>A</sub>=25°C と V<sub>CC</sub>=1.8V/3.0V のときです。  
 39. 読み出しデータが返るとき、出力は未接続です。出力スイッチング電流は含まれていません。  
 40. INT# 出力の推奨プルアップ抵抗は 5 kΩ ~ 10 kΩ です。

電気的特性

7.7 AC テスト条件

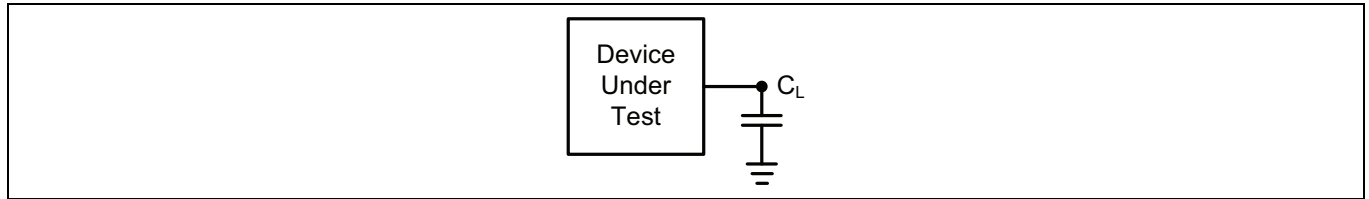


Figure 71 テスト セットアップ

Table 84 AC 測定条件<sup>[42]</sup>

パラメーター	Min	Max	単位	参照図
負荷静電容量 (C <sub>L</sub> )	-	15	pF	Figure 71
入力パルス電圧	0	V <sub>CCQ</sub>	V	Figure 73
200MHz (HS-T) での CK 立ち上り (t <sub>CRT1</sub> ) および立ち下り (t <sub>CFT1</sub> ) スループレート <sup>[41]</sup>	1.13	-	V/ns	Figure 76
166MHz (HL-T) での CK 立ち上り (t <sub>CRT2</sub> ) および立ち下り (t <sub>CFT2</sub> ) スループレート <sup>[41]</sup>	1.72			
200MHz (HS-T) でのデータ立ち上り (t <sub>DRT1</sub> ) および立ち下り (t <sub>DFT1</sub> ) スループレート <sup>[41]</sup>	1.13			
166MHz (HL-T) でのデータ立ち上り (t <sub>DRT2</sub> ) および立ち下り (t <sub>DFT2</sub> ) スループレート <sup>[41]</sup>	1.72			
V <sub>IL(ac)</sub>	-0.30×V <sub>CCQ</sub>	0.30×V <sub>CCQ</sub>	V	Figure 74/ Figure 75
V <sub>IH(ac)</sub>	0.7×V <sub>CCQ</sub>	1.30×V <sub>CCQ</sub>		
V <sub>OH(ac)</sub>	0.75×V <sub>CCQ</sub>	-		
V <sub>OL(ac)</sub>	-	0.25×V <sub>CCQ</sub>		
入力タイミング参照電圧	0.5×V <sub>CC</sub>			
出力タイミング参照電圧	0.5×V <sub>CC</sub>		-	

注

41. V<sub>CC max</sub> での入力パルスの最小値～最大値で測定した入力スループレートです。  
 42. AC 特性表ではクロックとデータ信号が同じスループレート (スロップ) を持っていることを想定しています。

タイミング特性

## 8 タイミング特性

Table 85 タイミング特性<sup>[45]</sup>

記号	パラメーター	Min	標準値	最大値	単位	参照図
<b>オクタル SDR/DDR</b>						
f <sub>CK</sub>	DS を使用するオクタル モード トランザクション用の CK クロック周波数 (HS-T)	0	-	200	MHz	-
	DS を使用するオクタル モード トランザクション用の CK クロック周波数 (HL-T)			166		
p <sub>CK</sub>	CK クロック周期	1/f <sub>CK</sub>		∞	ns	Figure 73
t <sub>CH</sub>	クロック HIGH 時間	p <sub>CK</sub> の 45%		p <sub>CK</sub> の 55%		Figure 76
t <sub>CL</sub>	クロック LOW 時間					
t <sub>CS</sub>	CS# HIGH 時間 (読み出しトランザクション)	10		-		Figure 79/Figure 80
	トランザクション間の CS# HIGH 時間 (インターフェース CRC レジスタ読み出しと中止されたトランザクション)	50				
	CS# HIGH 時間 (プログラム / 消去トランザクション)	50				
t <sub>css</sub>	CS# アクティブ セットアップ時間 (CK を基準とする)	4				
t <sub>CSH0</sub>	CS# アクティブ ホールド時間 (モード 0 で CK を基準とする)	4				
t <sub>CSH3</sub>	CS# アクティブ ホールド時間 (モード 3 で CK を基準とする)	6.5				
t <sub>SU</sub>	HS-T データ セットアップ時間 (すべての V <sub>CC</sub> )	0.5				
	HL-T データ セットアップ時間 (すべての V <sub>CC</sub> )	0.6				
t <sub>HD</sub>	HL-T データ ホールド時間 (すべての V <sub>CC</sub> )	0.6				
	HS-T データ ホールド時間 (すべての V <sub>CC</sub> )	0.5				
t <sub>V</sub> <sup>[43]</sup>	クロック LOW から出力有効までの時間 (15pF 負荷) (HS-T)	2		5.45		Figure 79/Figure 81
	クロック LOW から出力有効までの時間 (15pF 負荷) (HL-T)		7.25			
t <sub>CKDS</sub>	DS 有効時間 (HS-T)	-		5.45		
	DS 有効時間 (HL-T)		7.25			
t <sub>DSS</sub> <sup>[51]</sup>	DS 遷移からデータ有効までの時間	-0.4		0.4		
t <sub>DSH</sub> <sup>[51]</sup>	DS 遷移からデータ無効までの時間	-0.4		0.4		
t <sub>HO</sub>	出力ホールド時間	0.4		-		Figure 79

- 注**
43. V<sub>CC</sub> 範囲全体, CL=15 pF。
  44. 出力 HI-Z はデータがもはや駆動されなくなる点として定義されます。
  45. すべての動作温度オプションに適用可能です。
  46. t<sub>PLU</sub> の終わりに RESET# がアサートされた場合、デバイスはリセット状態のままとなり、t<sub>RH</sub> が CS# が LOW になる時点を決めます。
  47. t<sub>RP</sub> と t<sub>RH</sub> の和は t<sub>RPH</sub> 以上でなければなりません。
  48. プログラムと消去時間の T<sub>yp</sub> 値は次の条件を想定したものです: 25°C、V<sub>CC</sub>=1.8V と 3.0V、およびチェッカーボードデータパターン。
  49. 任意の OTP プログラム トランザクションのプログラム時間は t<sub>pp</sub> と同じです。これは PRSSR\_4\_1 を含みます。
  50. PRPPB\_4\_0 トランザクションのプログラム時間は t<sub>pp</sub> と同じです。ERPPB\_0\_0 トランザクションの消去時間は t<sub>SE</sub> と同じです。
  51. 値は特性評価によって保証され、生産時に 100% テストされていません。
  52. 設計で保証されています。
  53. JEDEC (半導体技術協会) の JESD22-A117 規格は、認定仕様に基づいた有効な耐久性およびデータ保持テストの実行の手続きの要件を定義します。この手法は、フラッシュ デバイスの、故障なしに繰り返しデータ変更を持続させる能力 (すなわち、プログラム / 消去可能回数) および期待される寿命の間データを保持する能力 (すなわち、データ保持期間) を判定するために使用されます。耐久性およびデータ保持の認定仕様は JESD47 に指定されているか、または JESD94 に記載の知識ベース手法を使用して開発することもできます。

タイミング特性

Table 85 タイミング特性<sup>[45]</sup> (続き)

記号	パラメーター	Min	標準値	最大値	単位	参照図
$t_{DIS}^{[44]}$	CS# 非アクティブから出力ディセーブルまでの時間 (SDR) (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	–	–	6.5/6.5 6.5/7.5 6.5/7.5	ns	Figure 79/ Figure 81
	CS# 非アクティブから出力ディセーブルまでの時間 (DDR) (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)			6.5/6.5 6.0/7.5 6.0/7.5		
$t_{DSZ}$	CS# 非アクティブから DS ディセーブルまでの時間 (HS-T) (SDR/DDR)			6.50/6.0		
	CS# 非アクティブから DS ディセーブルまでの時間 (HL-T)			7.50		
$t_{IO\_SKEW}^{[51]}$	データ スキュー時間 (最初のデータ ビットから最後のデータ ビットまでの時間)			0.5		–
$t_{PS}$	プログラム / 消去トランザクションの CS# 無効からプログラム一時停止 / 消去一時停止トランザクションの CS# 無効までの時間 (インターフェース CRC)			15	μs	Figure 42
$t_{CSDS}$	CS# LOW から DS LOW までの時間			10	ns	Figure 30/ Figure 31
<b>SPI SDR</b>						
$f_{CK}$	CK クロック周波数	0	–	166	MHz	–
$P_{CK}$	CK クロック周期	$1/f_{CK}$		∞	ns	Figure 73
$t_{CH}$	クロック HIGH 時間	$P_{CK}$ の 45%		$P_{CK}$ の 55%		Figure 76
$t_{CL}$	クロック LOW 時間					
$t_{CS}$	CS# HIGH 時間 (読み出しトランザクション)	10		–		Figure 77/ Figure 78
	トランザクション間の CS# HIGH 時間 (中止されたコマンド)	20				
	CS# HIGH 時間 (プログラム / 消去トランザクション)	50				

- 注
43.  $V_{CC}$  範囲全体,  $CL=15$  pF.
  44. 出力 HI-Z はデータがもはや駆動されなくなる点として定義されます。
  45. すべての動作温度オプションに適用可能です。
  46.  $t_{PJ}$  の終わりに RESET# がアサートされた場合、デバイスはリセット状態のままとなり、 $t_{RH}$  が CS# が LOW になる時点を決めます。
  47.  $t_{RP}$  と  $t_{RH}$  の和は  $t_{DPH}$  以上でなければなりません。
  48. プログラムと消去時間の  $T_{yp}$  値は次の条件を想定したものです: 25°C、 $V_{CC}=1.8$  V と 3.0 V、およびチェッカーボードデータパターン。
  49. 任意の OTP プログラム トランザクションのプログラム時間は  $t_{pp}$  と同じです。これは PRSSR\_4\_1 を含みます。
  50. PRPPB\_4\_0 トランザクションのプログラム時間は  $t_{pp}$  と同じです。ERPPB\_0\_0 トランザクションの消去時間は  $t_{SE}$  と同じです。
  51. 値は特性評価によって保証され、生産時に 100% テストされていません。
  52. 設計で保証されています。
  53. JEDEC (半導体技術協会) の JESD22-A117 規格は、認定仕様に基ついた有効な耐久性およびデータ保持テストの実行の手続きの要件を定義します。この手法は、フラッシュ デバイスの、故障なしに繰り返しデータ変更を持続させる能力 (すなわち、プログラム / 消去可能回数) および期待される寿命の間データを保持する能力 (すなわち、データ保持期間) を判定するために使用されます。耐久性およびデータ保持の認定仕様は JESD47 に指定されているか、または JESD94 に記載の知識ベース手法を使用して開発することもできます。

タイミング特性

Table 85 タイミング特性<sup>[45]</sup> (続き)

記号	パラメーター	Min	標準値	最大値	単位	参照図
t <sub>CSS</sub>	CS# アクティブセットアップ時間 (CK を基準とする) (f <sub>CK</sub> ≤ 50 MHz / f <sub>CK</sub> > 50 MHz)	5/4	–	–	ns	Figure 77
t <sub>CSH0</sub>	CS# アクティブ ホールド時間 (モード 0 で CK を基準とする)	4				
t <sub>CSH3</sub>	CS# アクティブ ホールド時間 (モード 3 で CK を基準とする)	6				
t <sub>SU</sub>	データセットアップ時間 (すべての V <sub>CC</sub> ) (f <sub>CK</sub> ≤ 50 MHz / f <sub>CK</sub> > 50 MHz)	5/2				
t <sub>HD</sub>	データ ホールド時間 (すべての V <sub>CC</sub> ) (f <sub>CK</sub> ≤ 50 MHz / f <sub>CK</sub> > 50 MHz)	5/2				
t <sub>V</sub>	クロック LOW から出力有効までの時間 (15pF 負荷, 3.0V–3.6V, 30Ω 出力インピーダンス) (HL-T)	2		6.5		Figure 78
	クロック LOW から出力有効までの時間 (30pF 負荷) (HS-T)	2		8		
	クロック LOW から出力有効までの時間 (30pF 負荷) (HL-T)	2		9		
	クロック LOW から出力有効までの時間 (15pF 負荷) (HS-T)	2		6		
	クロック LOW から出力有効までの時間 (15pF 負荷) (HL-T)	2		8		
t <sub>HO</sub>	出力ホールド時間	1.5		–		
t <sub>DIS</sub>	出力ディセーブル時間 (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	–		6.5/6.5 7.5/6 7.4/6		
<b>電源投入 / 電源遮断タイミング</b>						
t <sub>PU</sub>	V <sub>CC</sub> (min) から読み出し動作までの時間 (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	–	–	550/600 450/500 500/500	μs	Figure 64
t <sub>PD</sub>	V <sub>CC</sub> (LOW) 時間	25		–		Figure 65
t <sub>VR</sub> <sup>[52]</sup>	V <sub>CC</sub> /V <sub>CCQ</sub> 電源投入時ランプレート	1			μs/V	Figure 66
t <sub>VF</sub>	V <sub>CC</sub> /V <sub>CCQ</sub> 電源切断時ランプレート	30.0				
<b>ディープパワーダウンモードタイミング</b>						
t <sub>ENTDPD</sub> <sup>[52]</sup>	DPD モード開始までの時間	–	–	3	μs	–
t <sub>EXTDPD</sub>	DPD モード終了までの時間 (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	–	–	520/570 380/430 430/430		Figure 63
t <sub>CSDPD</sub>	DPD を終了するチップセレクトパルス幅	0.02	–	3		

- 注**
43. V<sub>CC</sub> 範囲全体, CL=15 pF.
  44. 出力 HI-Z はデータがもはや駆動されなくなる点として定義されます。
  45. すべての動作温度オプションに適用可能です。
  46. t<sub>PU</sub> の終わりに RESET# がアサートされた場合、デバイスはリセット状態のままとなり、t<sub>RH</sub> が CS# が LOW になる時点を決めます。
  47. t<sub>RP</sub> と t<sub>RH</sub> の和は t<sub>DPH</sub> 以上でなければなりません。
  48. プログラムと消去時間の Typ 値は次の条件を想定したものです: 25°C、V<sub>CC</sub>=1.8V と 3.0V、およびチェッカーボードデータパターン。
  49. 任意の OTP プログラムトランザクションのプログラム時間は t<sub>pp</sub> と同じです。これは PRSSR\_4\_1 を含みます。
  50. PRPPB\_4\_0 トランザクションのプログラム時間は t<sub>pp</sub> と同じです。ERPPB\_0\_0 トランザクションの消去時間は t<sub>SE</sub> と同じです。
  51. 値は特性評価によって保証され、生産時に 100% テストされていません。
  52. 設計で保証されています。
  53. JEDEC (半導体技術協会) の JESD22-A117 規格は、認定仕様に基づいた有効な耐久性およびデータ保持テストの実行の手続きの要件を定義します。この手法は、フラッシュデバイスの、故障なしに繰り返しデータ変更を継続させる能力 (すなわち、プログラム / 消去可能回数) および期待される寿命の間データを保持する能力 (すなわち、データ保持期間) を判定するために使用されます。耐久性およびデータ保持の認定仕様は JESD47 に指定されているか、または JESD94 に記載の知識ベース手法を使用して開発することもできます。

# 256Mb/512Mb/1Gb SEMPER™ フラッシュ オクタルインターフェース, 1.8V/3.0V



## タイミング特性

**Table 85** タイミング特性<sup>[45]</sup> ( 続き )

記号	パラメーター	Min	標準値	最大値	単位	参照図
<b>リセットタイミング<sup>[46,47]</sup></b>						
$t_{RS}$	リセットセットアップ時間 - CS# LOW 前の RESET# HIGH 時間	50	-	-	ns	Figure 56
$t_{RH}$	リセットパルスホールド時間 - RESET# LOW から CS# LOW までの時間 (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	550/600 450/500 500/500	-	-	$\mu$ s	
$t_{RP}$	RESET# パルス幅	200	-	-	ns	
$t_{SR}$	ソフトウェアリセットトランザクションから内部デバイスリセットまでの時間 (256T/512T/01GT)	-	-	90/83/83	$\mu$ s	-
<b>CS# シグナリングリセットタイミング</b>						
$t_{CSLW}$	チップセレクト LOW 時間	500	-	-	ns	Figure 61
$t_{CSHG}$	チップセレクト HIGH 時間	500	-	-		
$t_{RESET}$	デバイス内部リセット時間 (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	-	-	550/600 450/500 500/500	$\mu$ s	
$t_{SUJ}$	データ入力セットアップ時間 (CS# に対する)	50	-	-	ns	
$t_{HDJ}$	データ入力ホールド時間 (CS# に対する)	50	-	-		

組込みアルゴリズム ( 消去, プログラム, データ整合性チェック ) 性能<sup>[48, 49, 50, 53]</sup>

- 注**
43.  $V_{CC}$  範囲全体,  $CL=15$  pF。
  44. 出力 HI-Z はデータがもはや駆動されなくなる点として定義されます。
  45. すべての動作温度オプションに適用可能です。
  46.  $t_{PU}$  の終わりに RESET# がアサートされた場合、デバイスはリセット状態のままとなり、 $t_{RH}$  が CS# が LOW になる時点を決めます。
  47.  $t_{RP}$  と  $t_{RH}$  の和は  $t_{RPH}$  以上でなければなりません。
  48. プログラムと消去時間の Typ 値は次の条件を想定したものです: 25°C、 $V_{CC}=1.8$  V と 3.0 V、およびチェッカーボードデータパターン。
  49. 任意の OTP プログラムトランザクションのプログラム時間は  $t_{pp}$  と同じです。これは PRSSR\_4\_1 を含みます。
  50. PRPPB\_4\_0 トランザクションのプログラム時間は  $t_{pp}$  と同じです。ERPPB\_0\_0 トランザクションの消去時間は  $t_{SE}$  と同じです。
  51. 値は特性評価によって保証され、生産時に 100% テストされていません。
  52. 設計で保証されています。
  53. JEDEC (半導体技術協会) の JESD22-A117 規格は、認定仕様に基づいた有効な耐久性およびデータ保持テストの実行の手続きの要件を定義します。この手法は、フラッシュデバイスの、故障なしに繰り返しデータ変更を持続させる能力 (すなわち、プログラム / 消去可能回数) および期待される寿命の間データを保持する能力 (すなわち、データ保持期間) を判定するために使用されます。耐久性およびデータ保持の認定仕様は JESD47 に指定されているか、または JESD94 に記載の知識ベース手法を使用して開発することもできます。

# 256Mb/512Mb/1Gb SEMPER™ フラッシュ オクタルインターフェース, 1.8V/3.0V



## タイミング特性

Table 85 タイミング特性<sup>[45]</sup> ( 続き )

記号	パラメーター	Min	標準値	最大値	単位	参照図
t <sub>W</sub>	不揮発性レジスタ書き込み時間	-	44	357.5	ms	-
t <sub>PP</sub>	256B ページ プログラム (4KB セクタ /256KB セクタ)		430/480	2175/1700	μs	
	512B ページ プログラム (4KB セクタ /256KB セクタ)		680/570	2175/1700		
t <sub>SE</sub>	セクタ消去時間 (4KB 物理セクタ)		42	335	ms	
	セクタ消去時間 (256KB インフィニオン Endurance Flex アーキテクチャは無効)		773	2677		
	セクタ消去時間 (256KB インフィニオン Endurance Flex アーキテクチャは有効)		773	5869		
t <sub>BE</sub>	チップ消去時間 (256Mb)		101	348	s	
	チップ消去時間 (512Mb)		201	696		
	チップ消去時間 (1Gb)		398	1381		
t <sub>EES</sub>	4KB 物理セクタの消去ステータス判定時間 (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)		45	76/76 51/51 53/56	μs	
	256KB 物理セクタの消去ステータス判定時間 (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)					
t <sub>DIC_SETUP</sub>	データ整合性チェック計算セットアップ時間 (256T/512T/01GT)		50/50/17	-		
t <sub>DIC_RATES</sub>	データ整合性チェック計算レート (大きいデータブロック (>1024 バイト) に対する計算レート)	53/55/56	56/65/65	-	MBps	-
t <sub>SEC</sub>	セクタ消去カウント時間 (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	-	55	87/87 63/63 70/70	μs	
			13	17	ms	
			1	2		
t <sub>BEC1</sub>	ブランクチェック (単一 256KB セクタ)					
t <sub>BEC2</sub>	ブランクチェック (単一 4KB セクタ)					
t <sub>PASSWORD</sub>	パスワード比較時間	80	100	120	μs	
<b>プログラム、消去またはデータ整合性チェックの一時停止 / 再開のタイミング</b>						
t <sub>PEDS</sub>	プログラム / 消去 / データ整合性チェックの一時停止時間	-	-	80	μs	-
t <sub>PEDRS</sub>	プログラム / 消去 / データ整合性チェックの再開から次のプログラム / 消去 / データ整合性チェックの一時停止までの時間 (256T/512T/01GT)	250/-/-	100/100/100	-		

- 注**
- V<sub>CC</sub> 範囲全体, CL=15 pF。
  - 出力 HI-Z はデータがもはや駆動されなくなる点として定義されます。
  - すべての動作温度オプションに適用可能です。
  - t<sub>PLU</sub> の終わりに RESET# がアサートされた場合、デバイスはリセット状態のままとなり、t<sub>RH</sub> が CS# が LOW になる時点を決めます。
  - t<sub>TRP</sub> と t<sub>RH</sub> の和は t<sub>RRPH</sub> 以上でなければなりません。
  - プログラムと消去時間の Typ 値は次の条件を想定したものです: 25°C、V<sub>CC</sub>=1.8V と 3.0V、およびチェッカーボードデータパターン。
  - 任意の OTP プログラム トランザクションのプログラム時間は t<sub>PP</sub> と同じです。これは PRSSR\_4.1 を含みます。
  - PRPPB\_4\_0 トランザクションのプログラム時間は t<sub>PP</sub> と同じです。ERPPB\_0\_0 トランザクションの消去時間は t<sub>SE</sub> と同じです。
  - 値は特性評価によって保証され、生産時に 100% テストされていません。
  - 設計で保証されています。
  - JEDEC (半導体技術協会) の JESD22-A117 規格は、認定仕様に基づいた有効な耐久性およびデータ保持テストの実行の手続きの要件を定義します。この手法は、フラッシュ デバイスの、故障なしに繰り返しデータ変更を持続させる能力 (すなわち、プログラム / 消去可能回数) および期待される寿命の間データを保持する能力 (すなわち、データ保持期間) を判定するために使用されます。耐久性およびデータ保持の認定仕様は JESD47 に指定されているか、または JESD94 に記載の知識ベース手法を使用して開発することもできます。



## 8.1 タイミング波形

### 8.1.1 タイミング波形の重要な要素

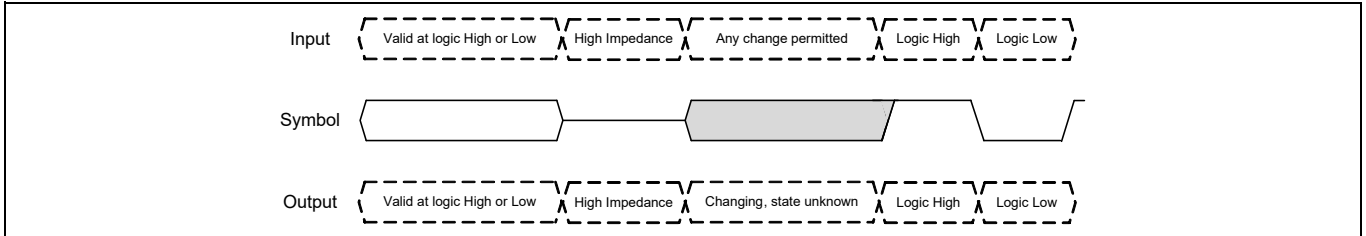


Figure 72 波形要素の意味

### 8.1.2 タイミング参照レベル

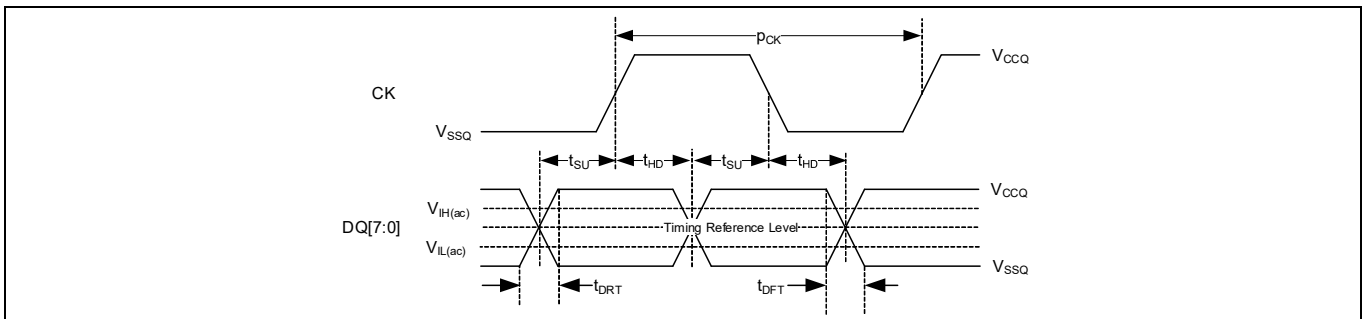


Figure 73 入力タイミング参照レベル

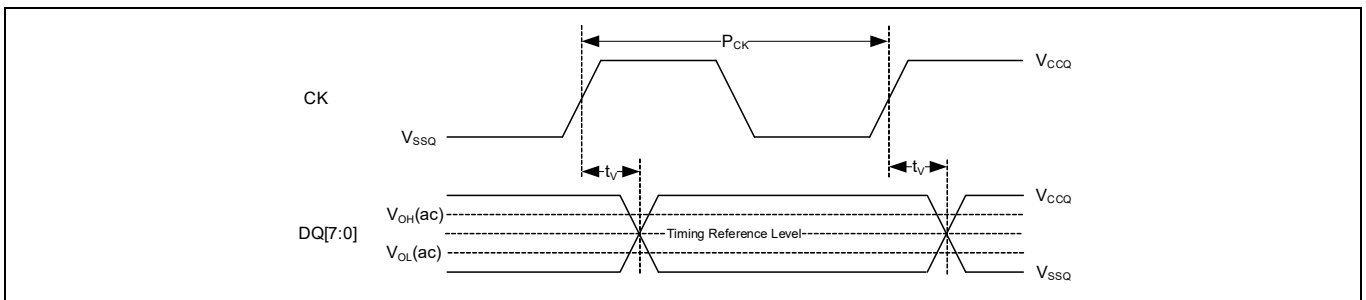


Figure 74 SDR 出力タイミング参照レベル

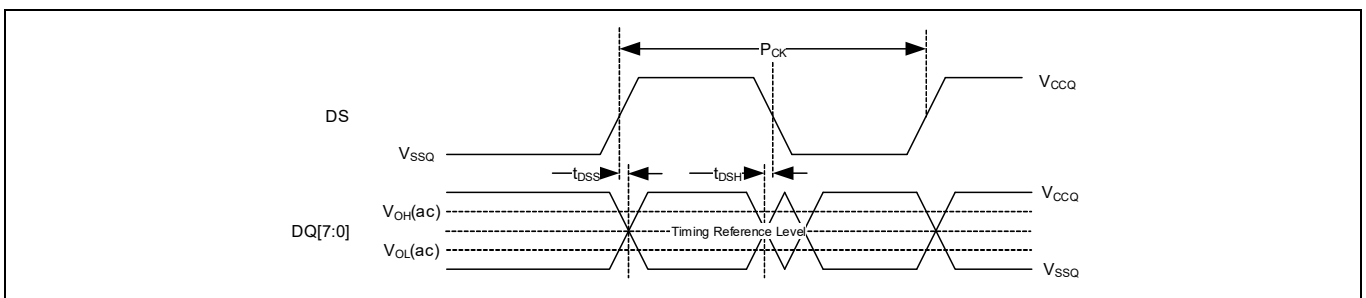


Figure 75 DDR 出力タイミング参照レベル

### 8.1.3 クロック タイミング

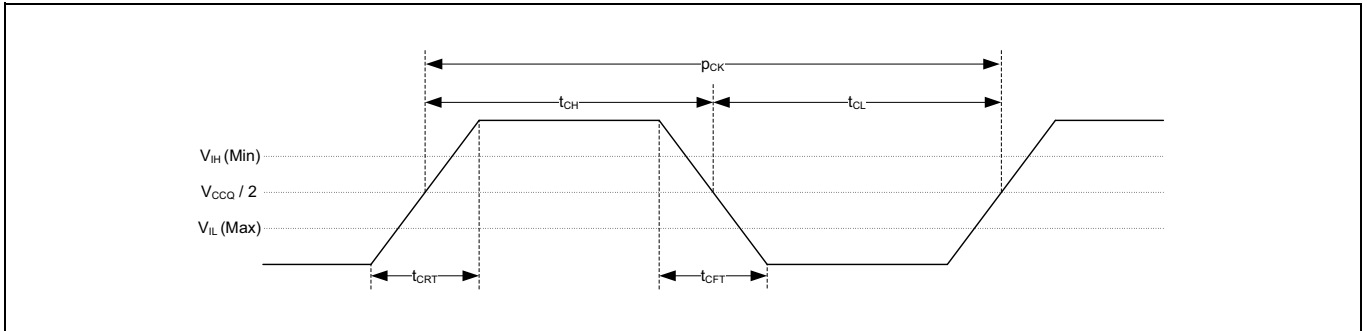


Figure 76 クロック タイミング

### 8.1.4 入力 / 出力タイミング

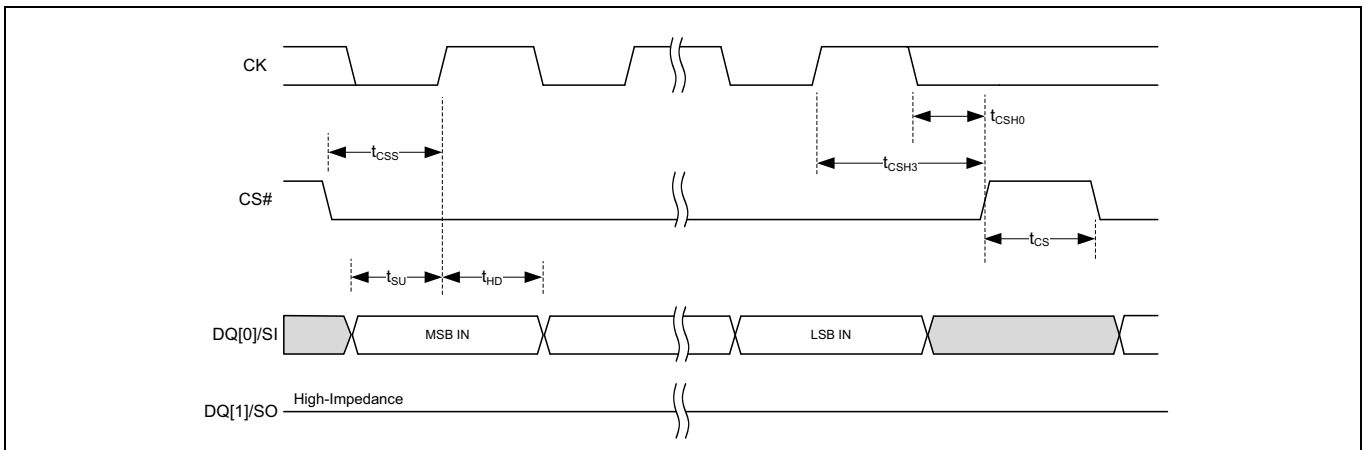


Figure 77 SPI 入力タイミング

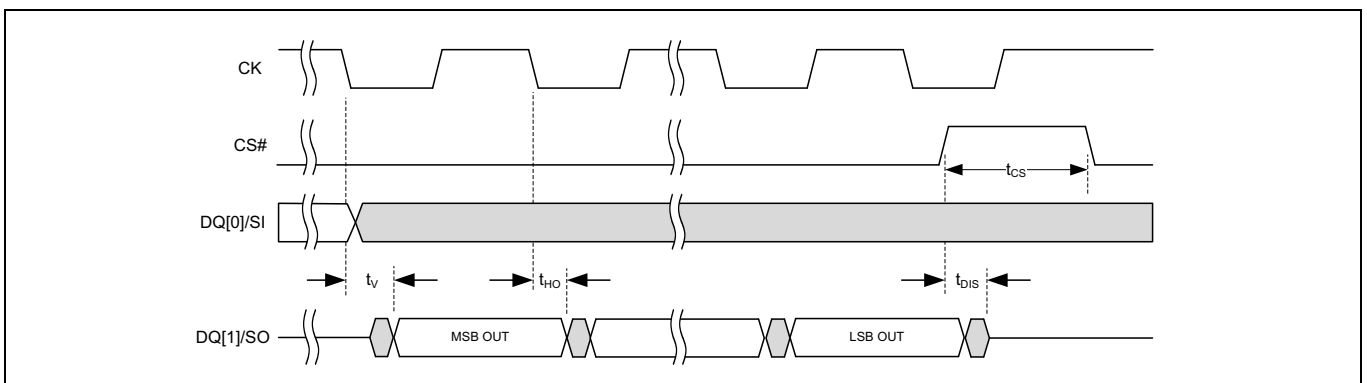


Figure 78 SPI 出力タイミング

タイミング特性

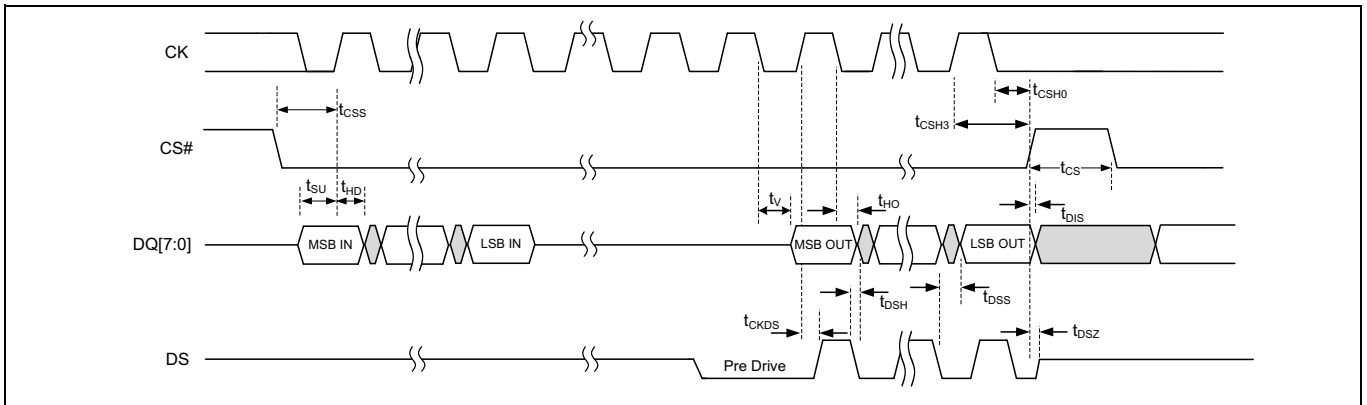


Figure 79 オクタル SDR 入力と出力タイミング

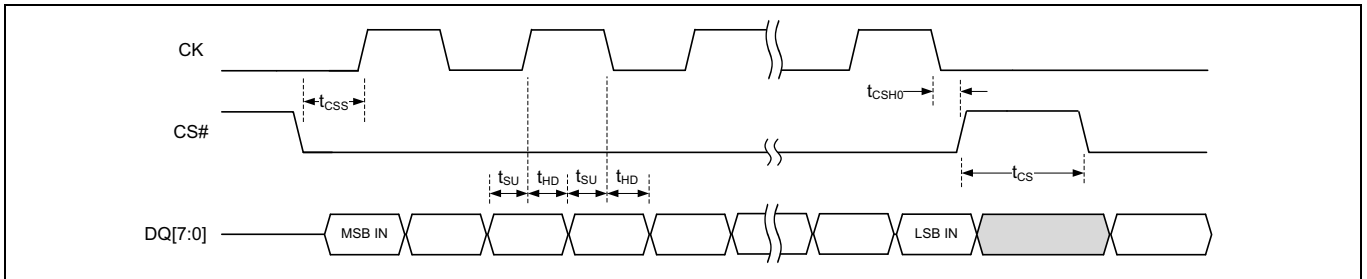


Figure 80 オクタル DDR 入力タイミング

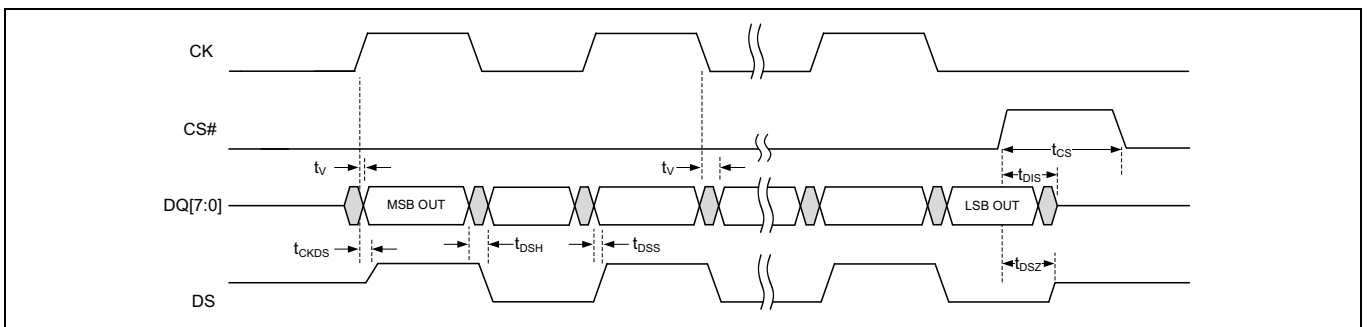


Figure 81 オクタル DDR 出力タイミング

デバイス ID

## 9 デバイス ID

### 9.1 JEDEC SFDP レビジョン D

#### 9.1.1 JEDEC SFDP Rev D ヘッダ テーブル

Table 86 JEDEC SFDP Rev D ヘッダ テーブル

SFDP バイト アドレス	SFDP DWORD 名	データ	説明	
00h	SFDP ヘッダ	53h	SFDP 読み出し (5Ah) コマンドのエントリ ポイントで、すなわち SFDP 空間内の位置 0 です。ASCII 「S」	
01h		46h	ASCII 「F」	
02h		44h	ASCII 「D」	
03h		50h	ASCII 「P」	
04h		08h	SFDP マイナー レビジョン (08h=JEDEC JESD216 レビジョン D)	
05h		01h	SFDP メジャー レビジョン (01h=JEDEC JESD216 レビジョン C)	
06h		05h	パラメーター ヘッダの数 (0 オリジン, 05h=6 パラメーター)	
07h		FEh	xSPI NOR プロファイル 1 オクタル, (8D, 8D, 8D) 動作, SFDP コマンド用の 4 バイト アドレッシング, 8 ウェイト ステート (起動時は 1S-1S-1S モード)	
08h	第 1 パラメーター ヘッダ	00h	パラメーター ID の LSB (00h=JEDEC SFDP 基本 SPI フラッシュ パラメーター)	
09h		00h	パラメーター テーブル マイナー レビジョン (00h=JEDEC JESD216 レビジョン D)	
0Ah		01h	パラメーター テーブル メジャー レビジョン (01h=JEDEC JESD216 レビジョン D)	
0Bh		14h	パラメーター テーブル長 (14h= パラメーター テーブル長は 20 DWORD)	
0Ch		00h	パラメーター テーブル ポインタ バイト 0 (DWORD=4 バイト 整列) JEDEC 基本 SPI フラッシュ パラメーター バイト オフセット =0100h アドレス	
0Dh		01h	パラメーター テーブル ポインタ バイト 1	
0Eh		00h	パラメーター テーブル ポインタ バイト 2	
0Fh		FFh	パラメーター ID の MSB (FFh=JEDEC で定義されたパラメーター)	
10h		第 2 パラメーター ヘッダ	84h	パラメーター ID の LSB (84h=4 バイト アドレス 命令 テーブル)
11h			00h	パラメーター テーブル マイナー レビジョン (00h=JEDEC JESD216 レビジョン D)
12h	01h		パラメーター テーブル メジャー レビジョン (01h=JEDEC JESD216 レビジョン D)	
13h	02h		パラメーター テーブル長 (2h= パラメーター テーブル長は 2 DWORD)	
14h	50h		パラメーター テーブル ポインタ バイト 0 (DWORD=4 バイト 整列) 4 バイト アドレス 命令 テーブル バイト オフセット =0150h アドレス	
15h	01h		パラメーター テーブル ポインタ バイト 1	
16h	00h		パラメーター テーブル ポインタ バイト 2	
17h	FFh		パラメーター ID の MSB (FFh=JEDEC で定義されたパラメーター)	

デバイス ID

Table 86 JEDEC SFDP Rev D ヘッダ テーブル ( 続き )

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
18h	第 3 パラメーター ヘッダ	05h	パラメーター ID の LSB (05h=JEDEC xSPI プロファイル 1.0)
19h		00h	パラメーター テーブル マイナー レビジョン (00h=JEDEC JESD216 レビ ジョン D)
1Ah		01h	パラメーター テーブル メジャー レビジョン (01h=JEDEC JESD216 レビ ジョン D)
1Bh		05h	パラメーター テーブル長 (5h= パラメーター テーブル長は 5 DWORD)
1Ch		58h	パラメーター テーブル ポインタ バイト 0 (DWORD=4 バイト 整列) JEDEC xSPI プロファイル 1.0=0158h アドレス
1Dh		01h	パラメーター テーブル ポインタ バイト 1
1Eh		00h	パラメーター テーブル ポインタ バイト 2
1Fh		FFh	パラメーター ID の MSB (FFh=JEDEC で定義されたパラメーター)
20h		第 4 パラメーター ヘッダ	87h
21h	00h		パラメーター テーブル マイナー レビジョン (00h=JEDEC JESD216 レビ ジョン D)
22h	01h		パラメーター テーブル メジャー レビジョン (01h=JEDEC JESD216 レビ ジョン D)
23h	1Ch		パラメーター テーブル長 (1Ch= パラメーター テーブル長は 28 DWORD)
24h	6Ch		パラメーター テーブル ポインタ バイト 0 (DWORD=4 バイト 整列) JEDEC のステータス, 制御, コンフィギュレーションレジスタ マップ =016Ch アドレス
25h	01h		パラメーター テーブル ポインタ バイト 1
26h	00h		パラメーター テーブル ポインタ バイト 2
27h	FFh		パラメーター ID の MSB (FFh=JEDEC で定義されたパラメーター)
28h	第 5 パラメーター ヘッダ		0Ah
29h		00h	パラメーター テーブル マイナー レビジョン (00h=JEDEC JESD216 レビ ジョン D)
2Ah		01h	パラメーター テーブル メジャー レビジョン (01h=JEDEC JESD216 レビ ジョン D)
2Bh		04h	パラメーター テーブル長 (4h= パラメーター テーブル長は 4 DWORD)
2Ch		DCh	パラメーター テーブル ポインタ バイト 0 (DWORD=4 バイト 整列) オクタル DDR (8D-8D-8D) モードに変更するコマンド シーケンス =1DCh アドレス
2Dh		01h	パラメーター テーブル ポインタ バイト 1
2Eh		00h	パラメーター テーブル ポインタ バイト 2
2Fh		FFh	パラメーター ID の MSB (FFh=JEDEC で定義されたパラメーター)
30h		第 6 パラメーター ヘッダ	81h
31h	00h		パラメーター テーブル マイナー レビジョン (00h=JEDEC JESD216 レビ ジョン D)
32h	01h		パラメーター テーブル メジャー レビジョン (01h=JEDEC JESD216 レビ ジョン D)
33h	16h		パラメーター テーブル長 (16h= パラメーター テーブル長は 22 DWORD)
34h	ECh		パラメーター テーブル ポインタ バイト 0 (DWORD=4 バイト 整列) JEDEC セクタ マップ =1ECh アドレス
35h	01h		パラメーター テーブル ポインタ バイト 1
36h	00h		パラメーター テーブル ポインタ バイト 2
37h	FFh		パラメーター ID の MSB (FFh=JEDEC で定義されたパラメーター)

# 256Mb/512Mb/1Gb SEMPER™ フラッシュ オクタルインターフェース, 1.8V/3.0V



デバイス ID

**Table 87 JEDEC SFDP レビジョン D パラメーター テーブル**

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
100h	JEDEC 基本フラッシュパラメーター DWORD 1	F7h	ビット 7:5= 未使用 =111b ビット 4=1b ビット 3= ブロック保護ビットは不揮発性 / 揮発性 =0b ビット 2= プログラムバッファ >64 バイト =1b ビット 1:0= ユニフォーム 4KB 消去は実行不可 =11b
101h		21h	ビット 15:8=4KB 消去命令 =21h
102h		8Ah	ビット 23= 未使用 =1b ビット 22=(1-1-4) 高速読み出しは未対応 =0b ビット 21=(1-4-4) 高速読み出しは未対応 =0b ビット 20=(1-2-2) 高速読み出しは未対応 =0b ビット 19=DDR に対応, 有 =1b ビット 18:17=3 または 4 バイト アドレッシング (例: デフォルトは 3 バイトモードであり, コマンドでは 4 バイトモードに遷移) =01b ビット 16=(1-1-2) 高速読み出しは未対応 =0b
103h		FFh	ビット 31:24= 未使用 =FFh
104h		JEDEC 基本フラッシュパラメーター DWORD 2	FFh
105h	FFh		
106h	FFh		
107h	256M では 0Fh 512M では 1Fh 1G では 3fh		
108h	JEDEC 基本フラッシュパラメーター DWORD 3	00h	未対応
109h		00h	
10Ah		00h	
10Bh		00h	
10Ch	JEDEC 基本フラッシュパラメーター DWORD 4	00h	未対応
10Dh		00h	
10Eh		00h	
10Fh		00h	
110h	JEDEC 基本フラッシュパラメーター DWORD 5	E Eh	ビット 7:5= 予約済み =111b ビット 4= 未対応 =0b ビット 3:1= 予約済み =111b ビット 0= 未対応 =0b
111h		FFh	予約済み
112h		FFh	
113h		FFh	
114h	JEDEC 基本フラッシュパラメーター DWORD 6	FFh	予約済み
115h		FFh	
116h		00h	未対応
117h		00h	
118h	JEDEC 基本フラッシュパラメーター DWORD 7	FFh	予約済み
119h		FFh	
11Ah		00h	未対応
11Bh		00h	
11Ch	JEDEC 基本フラッシュパラメーター DWORD 8	0Ch	消去タイプ 1 サイズ, 4KB 消去命令 = 消去タイプ サイズ =2^N (ここで、N=12)=0Ch
11Dh		21h	消去タイプ 1 命令
11Eh		00h	消去タイプ 2 は未対応
11Fh		FFh	消去タイプ 2 は未対応

デバイス ID

Table 87 JEDEC SFDP レビジョン D パラメーター テーブル ( 続き )

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
120h	JEDEC 基本フラッシュ パラメーター DWORD 9	00h	消去タイプ 3 は未対応
121h		FFh	消去タイプ 3 は未対応
122h		12h	消去タイプ 4 サイズ, 256KB 消去命令 = 消去タイプ サイズ = $2^N$ (ここで、 $N=18$ ) = 12h
123h		DCh	消去タイプ 4 命令
124h	JEDEC 基本フラッシュ パラメーター DWORD 10	23h	ビット 31:30= 消去タイプ 4, 標準時間単位 (00b: 1ms, 01b: 16ms, 10b: 128ms, 11b: 1s) = 128s = 10b
125h		FAh	ビット 29:25= 消去タイプ 4, 標準時間カウント = 00101b (標準消去時間 = カウント + 1 * 単位 = $6 * 128ms = 768ms$ )
126h		FFh	ビット 24:23= 消去タイプ 3, 標準時間単位 (00b: 1ms, 01b: 16ms, 10b: 128ms, 11b: 1s) = 1s = 11b (RFU)
127h		8Bh	ビット 22:18= 消去タイプ 3, 標準時間カウント = 11111b (RFU) ビット 17:16= 消去タイプ 2, 標準時間単位 (00b: 1ms, 01b: 16ms, 10b: 128ms, 11b: 1s) = 1s = 11b (RFU) ビット 15:11= 消去タイプ 2, 標準時間カウント = 11111b (RFU) ビット 10:9= 消去タイプ 1, 標準時間単位 (00b: 1ms, 01b: 16ms, 10b: 128ms, 11b: 1s) = 16ms = 01b ビット 8:4= 消去タイプ 1, 標準時間カウント = 00010b (標準消去時間 = カウント + 1 * 単位 = $3 * 16ms = 48ms$ ) ビット 3:0= カウント = (最大消去時間 / (2 * 標準消去時間)) - 1 = 0001b
128h	JEDEC 基本フラッシュ パラメーター DWORD 11	82h	ビット 31= 予約済み = 1b
129h		E7h	ビット 30:29= チップ消去標準時間単位 (00b: 16ms, 01b: 256ms, 10b: 4s, 11b: 64s) = 11b (256M, 512M, 1G)
12Ah		FFh	ビット 28:24= チップ消去標準時間カウント = 00001b (256M), 00011b (512M), 00110b (1G)
12Bh		256M では E1h 512M では E3h 1G では E6h	ビット 23:19= バイト プログラム標準時間, 追加のバイト = 11111b ビット 18:14= バイト プログラム標準時間, 最初のバイト = 11111b ビット 13= ページ プログラム標準時間単位 (0: 8 $\mu$ s, 1: 64 $\mu$ s) = 64 $\mu$ s = 1b ビット 12:8= ページ プログラム標準時間カウント = 00111 (標準プログラム時間 = カウント + 1 * 単位 = $8 * 64\mu s = 512\mu s$ ) ビット 7:4= ページ サイズ (256B) = $2^N$ バイト = 1000h ビット 3:0= カウント = [最大ページプログラム時間 / (2 * 標準ページプログラム時間)] - 1 = 0010b

Table 87 JEDEC SFDP レビジョン D パラメーター テーブル ( 続き )

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
12Ch	JEDEC 基本フラッシュパラメーター DWORD 12	ECh	ビット 31= 一時停止および再開に対応 =0b
12Dh		23h	ビット 30:29= 消去進行中の最大一時停止レイテンシ単位 (00b: 128ns, 01b: 1μs, 10b: 8μs, 11b: 64μs) =8μs=10b
12Eh		19h	ビット 28:24= 消去進行中の最大一時停止レイテンシ カウント =01001b, 消去の最大一時停止レイテンシ = カウント +1* 単位 =10*8μs=80μs
12Fh		49h	ビット 23:20= 消去再開から一時停止までの間隔カウント =0001b, 間隔 = カウント +1*64μs=2*64μs=128μs ビット 19:18= プログラム進行中の最大一時停止レイテンシ単位 (00b: 128ns, 01b: 1μs, 10b: 8μs, 11b: 64 μs) = 8 μs = 10b ビット 17:13= プログラム進行中の最大一時停止レイテンシ カウント =01001b, プログラムの最大プログラム停止レイテンシ = カウント +1* 単位 =10*8μs=80μs ビット 12:9= プログラム再開から一時停止までの間隔カウント =0001b, 間隔 = カウント 1*64μs=2*64μs=128μs ビット 8= 予約済み =1b ビット 7:4= 消去一時停止中の禁止動作 =xxx0b: どこでも新しい消去を開始できない ( 消去ネスティングが許可されない ) + xx1xb: 消去が一時停止中のセクタ サイズ内で新しいページプログラムを開始できない + x1xb: 消去が一時停止中のセクタ サイズ内で新しい読み出しを開始できない + 1xxx: ビット 5:4 での消去およびプログラム制限は十分 =1110b ビット 3:0= プログラム一時停止中の禁止動作 =xxx0b: どこでも新しい消去を開始できない ( 消去ネスティングが許可されない ) + xx0xb: どこでも新しいページプログラムを開始できない ( プログラムネスティングが許可されない ) + x1xb: プログラムが一時停止中のセクタ サイズ内で読み出しを開始できない + 1xxx: ビット 1:0 での消去およびプログラム制限は十分 =1100b
130h	JEDEC 基本フラッシュパラメーター DWORD 13	7Ah	ビット 7:0= プログラム再開命令 =7Ah (1S-1S-1S)
131h		B0h	ビット 15:8= プログラム一時停止命令 =B0h
132h		7Ah	ビット 23:16= 消去再開命令 =7Ah (1S-1S-1S)
133h		B0h	ビット 31:24= 消去一時停止命令 =B0h
134h	JEDEC 基本フラッシュパラメーター DWORD 14	F7h	ビット 7:4=RFU=Fh ビット 3:2= ステータス レジスタ ポーリング デバイス ビジー =01b: レガシー ステータス ポーリングに対応 =05h 命令によるステータス レジスタの読み出しおよび WIP ビット [0] の確認 (0= レディ, 1= ビジー) によりレガシー ポーリングを使用 ビット 1:0=RFU=11b
135h		66h	ビット 31=DPD のサポート = 有 =0
136h		80h	ビット 30:23=DPD 開始命令 =B9h ビット 22:15=DPD 終了命令は未対応 =00h
137h		5Ch	ビット 14:13=DPD 終了から次の動作までの遅延単位 = (00b: 128ns, 01b: 1μs, 10b: 8μs, 11b: 64μs) =64μs=11b ビット 12:8=DPD 終了から次の動作までの遅延カウント =00110, DPD 終了から次の動作までの遅延時間 = ( カウント +1 ) * 単位 = (6+1) *64μs=448μs
138h	JEDEC 基本フラッシュパラメーター DWORD 15	00h	ビット 31:24= 予約済み =FFh
139h		00h	ビット 23= ホールドまたはリセットのディセーブル = 未対応 =0b
13Ah		00h	ビット 22:0= 未対応 =000000h
13Bh		FFh	



デバイス ID

Table 87 JEDEC SFDP レビジョン D パラメーター テーブル ( 続き )

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
13Ch	JEDEC 基本フラッシュパラメーター DWORD 16	F9h	ビット 7= 予約済み =1 ビット 6:0= ステータス レジスタ 1 の揮発性または不揮発性レジスタおよび書き込みイネーブル命令 xxx_xxx1b: 不揮発性ステータスレジスタ 1 は、電源投入後の値は前回書き込まれた値。命令 06h を使用して書き込みを有効にする + xxx_1xxx: 不揮発性 / 揮発性ステータスレジスタ 1 は電源投入後の値は前回不揮発性ステータスレジスタに書き込まれた値。命令 06h を使用して不揮発性ステータスレジスタへの書き込みを有効にする。電源投入後、揮発性ステータスレジスタは不揮発性ステータスレジスタをオーバーライドするためにアクティブにできる。命令 50h を使用して書き込みを有効にし、揮発性ステータスレジスタをアクティブにする + xx1_xxxx: ステータスレジスタ 1 には、揮発性ビットと不揮発性ビットが混在。06h 命令によりレジスタ書き込みを有効にする + x1x_xxxx: 予約済み + 1xx_xxxx: 予約済み =1111001b
13Dh		10h	ビット 23:14=4 バイト アドレッシング終了 =xx_xx1x_xxxx: ハードウェアリセット
13Eh		F8h	+ xx_x1xx_xxxx: ソフトウェアリセット ( この DWORD のビット 13:8 を参照してください ) + xx_1xxx_xxxx: パワーサイクル + x1_xxxx_xxxx: 予約済み + 1x_xxxx_xxxx: 予約済み =11_1110_0000b ビット 13:8= ソフトリセットおよび回復シーケンス対応 + x1_xxxx: リセットイネーブル命令に続いてリセット命令 99h を発行。デバイスの動作モードによって、リセットイネーブルとリセットのシーケンスは 1、2 または 4 ワイヤ上で発行 =010000b
13Fh		A1h	ビット 31:24=4 バイト アドレッシング開始 +xxxx_xxx1b: 命令 B7h を発行 ( その前の書き込みイネーブルは必要ない ) + xx1x_xxxx: 専用の 4 バイトアドレス命令セットをサポートする。命令セット定義についてはベンダーのデータシートを参照してください。 + 1xxx_xxxx: 予約済み =1010_0001b
140h	JEDEC 基本フラッシュパラメーター DWORD 17	00h	256T のみ
141h		00h	ビット 31:24 1S-1S-8S 高速読み出しは “7Ch” 命令対応 ビット 23:21 1S-1S-8S 高速読み出しモードクロック数 モードビットなし “000b”
142h		00h for 512T, 010T 08h for 256T	ビット 20:16 1S-1S-8S 高速読み出しウェイト ステート 8=“01000b” ビット 15:8 1S-8S-8S 高速読み出しは “00h” 未対応 ビット 7:5 1S-8S-8S 高速読み出しモードクロック数 モードなしビット “000b”
143h		00h for 512T, 010T 7Ch for 256T	ビット 4:0 1S-8S-8S 高速読み出しウェイトは “00000b” 未対応
144h	JEDEC 基本フラッシュパラメーター DWORD 18	00h	ビット 31=1-1-1 モードおよび 8-8-8 モードでの読み出しの場合、16 ビットワードの上位バイトと下位バイトは同じ順序 =0b
145h		00h	ビット 30:29= コマンド拡張はコマンドと同じ =00b
146h		BCh	ビット 28= 予約済み =0b ビット 27:26= 未対応 =00b
147h		02h	ビット 25:24=DS の最初の立ち上りエッジは最初のデータビットの中央に、最初のデータビットの開始は DS の最初の立ち下りエッジに整列 =10b ビット 23=JEDEC SPI プロトコルリセットに対応 =1b ビット 22:18=01111b ビット 17:0= 予約済み =00000h
148h	JEDEC 基本フラッシュパラメーター DWORD 19	00h	未対応
149h		00h	
14Ah		00h	
14Bh		00h	

デバイス ID

Table 87 JEDEC SFDP レビジョン D パラメーター テーブル ( 続き )

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
14Ch	JEDEC 基本フラッシュパラメーター DWORD 20	FFh	ビット 31:28= データ ストローブを利用する 8D-8D-8D モードでのデバイス最大動作速度 =1000b (200MHz)/0111b (166MHz) ビット 27:24= データ ストローブを利用しない 8D-8D-8D モードは特性評価されない =1110b ビット 23:20= データ ストローブを利用する 8S-8S-8S モードでのデバイス最大動作速度 =1000b (200MHz)/0111b (166MHz) ビット 19:16= データ ストローブを利用しない 8S-8S-8S モードは特性評価されない =1110b ビット 15:0= 未対応 =FFFFh
14Dh		FFh	
14Eh		HS-T の場合 8Eh HL-T の場合 7Eh	
14Fh		HS-T の場合 8Eh HL-T の場合 7Eh	
150h	JEDEC 4 バイト アドレス命令パラメーター DWORD 1	41h	対応 =1, 未対応 =0 ビット 31:25= 予約済み =1111_111b ビット 24=(1-8-8) ページプログラム コマンドに対応, 命令 =8Eh=1b (256T) ビット 24=(1-8-8) ページプログラム コマンドに対応, 命令 =8Eh=0b (512T, 01GT) ビット 23=(1-1-8) ページプログラム コマンドに対応, 命令 =84h=1b (256T) ビット 23=(1-1-8) ページプログラム コマンドに対応, 命令 =84h=0b (512T, 01GT) ビット 22=(1-8-8) DTR 読み出しコマンドに対応, 命令 =FDh=0b ビット 21=(1-8-8) 高速読み出しコマンドに対応, 命令 =CCh=0b Insert ビット 20=(1-1-8) 高速読み出しコマンドに対応, 命令 =7Ch=1b (256T) ビット 20=(1-1-8) 高速読み出しコマンドに対応, 命令 =7Ch=0b (512T, 01GT) ビット 19= 揮発性個別セクタ ロック書き込みコマンドに対応, 命令 =E3h=1b ビット 18= 揮発性個別セクタ ロック読み出しコマンドに対応, 命令 =E2h=1b ビット 17= 揮発性個別セクタ ロック書き込みコマンドに対応, 命令 =E1h=1b ビット 16= 揮発性個別セクタ ロック読み出しコマンドに対応, 命令 =E0h=1b ビット 15=(1-4-4) DTR 読み出しコマンドに対応, 命令 =EEh=0b ビット 14=(1-2-2) DTR 読み出しコマンドに対応, 命令 =BEh=0b ビット 13=(1-1-1) DTR 読み出しコマンドに対応, 命令 =0Eh=0b ビット 12= 消去コマンド タイプ 4 に対応 =1b ビット 11= 消去コマンド タイプ 3 に対応 =0b ビット 10= 消去コマンド タイプ 2 に対応 =0b ビット 9= 消去コマンド タイプ 1 に対応 =1b ビット 8=(1-4-4) ページプログラム コマンドに対応, 命令 =3Eh=0b ビット 7=(1-1-4) ページプログラム コマンドに対応, 命令 =34h=0b ビット 6=(1-1-1) ページプログラム コマンドに対応, 命令 =12h=1b ビット 5=(1-4-4) 高速読み出しコマンドに対応, 命令 =ECh=0b ビット 4=(1-1-4) 高速読み出しコマンドに対応, 命令 =6Ch=0b ビット 3=(1-2-2) 高速読み出しコマンドに対応, 命令 =BCh=0b ビット 2=(1-1-2) 高速読み出しコマンドに対応, 命令 =3Ch=0b ビット 1=(1-1-1) 高速読み出しコマンドに対応, 命令 =0Ch=0b ビット 0=(1-1-1) 読み出しコマンドに対応, 命令 =13h=1b
151h		12h	
152h		0F for 512T, 01GT 9F for 256T	
153h		FE for 512T, 01GT FF for 256T	
154h	JEDEC 4 バイト アドレス命令パラメーター DWORD 2	21h	ビット 31:24=DCh= 消去タイプ 4 用命令 ビット 23:16= 消去タイプ 3 用の命令 : RFU ビット 15:8= 消去タイプ 2 用の命令 : RFU ビット 7:0=21h= 消去タイプ 1 用の命令
155h		FFh	
156h		FFh	
157h		DCh	

Table 87 JEDEC SFDP レビジョン D パラメーター テーブル ( 続き )

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
158h	JEDEC xSPI プロファイル 1.0 DWORD 1	00h	ビット 7:0= 高速ラップ読み出しコマンドは未対応 =00h
159h		E Eh	ビット 15:8= 高速読み出しコマンド =E Eh (DDR 読み出し)
15Ah		80h	ビット 23= 任意レジスタ書き込みコマンドに使用される追加の修飾バイト数 =4 バイト =1b ビット 22= レジスタ書き込みコマンドに使用されるデータバイト数 =1 バイト =0b ビット 21:16= 予約済み =000000b
15Bh		0Bh	ビット 31=xSPI 対応, デバイスは JEDEC xSPI 仕様で定義された 8D-8D-8D プロトコル モードで SFDP コマンドを実装 =0b ビット 30=8D-8D-8D プロトコル モードの SFDP コマンド - ダミー サイクル =8 バイト =0b ビット 29= ステータス レジスタ読み出しコマンドに使用される追加の修飾バイト数 =0 バイト =0b ビット 28= ステータス レジスタ読み出しコマンドの初期レイテンシ (CK サイクル) =3CK サイクル =0b ビット 27= レジスタ読み出しコマンドに使用される追加の修飾バイト数 =4 バイト =1b ビット 26= 揮発性レジスタ読み出しコマンドの初期レイテンシ (CK サイクル) =4CK サイクル =0b ビット 25= 不揮発性レジスタ読み出しコマンドの初期レイテンシ (CK サイクル) =8CK サイクル =1b ビット 24= ステータス / コンフィギュレーション レジスタ書き込みコマンドに使用される追加の修飾バイト数 =4 バイト =1b
15Ch	JEDEC xSPI プロファイル 1.0 DWORD 2	71h	不揮発性レジスタ書き込みコマンド
15Dh		71h	揮発性レジスタ書き込みコマンド
15Eh		65h	NV レジスタ読み出しコマンド
15Fh		65h	揮発性レジスタ読み出しコマンド
160h	JEDEC xSPI プロファイル 1.0 DWORD 3	00h	ビット 7:0= 予約済み =00h
161h		B0h	ビット 31=SFDP 8D-8D-8D 読み出しコマンドに対応 =1b
162h		FFh	ビット 30= 高速ラップ読み出しコマンドは未対応 =0b ビット 29= ラップ読み出しセットアップ コマンドは未対応 =0b
163h		96h	ビット 28=4KB 消去コマンドに対応 =1b ビット 27=32KB 消去コマンドは未対応 =0b ビット 26= チップ消去コマンドに対応 =1b ビット 25= コンフィギュレーション レジスタ読み出しコマンドに対応 =1b
			ビット 24= フラグ ステータス レジスタ読み出しコマンドは未対応 =0b ビット 23= レジスタ読み出しコマンドに対応 =1b ビット 22= 揮発性レジスタ読み出しコマンドに対応 =1b ビット 21= 不揮発性レジスタ読み出しコマンドに対応 =1b ビット 20= ステータス / コンフィギュレーション レジスタ書き込みコマンドに対応 =1b ビット 19= フラグ ステータス レジスタ クリア コマンドに対応 =1b ビット 18= レジスタ書き込みコマンドに対応 =1b ビット 17= 揮発性レジスタ書き込みコマンドに対応 =1b ビット 16= 不揮発性レジスタ書き込みコマンドに対応 =1b ビット 15= ディープ パワー ダウン開始コマンドは未対応 =1b ビット 14= ディープ パワー ダウン終了コマンドは未対応 =0b ビット 13= ソフト リセット コマンドに対応 =1b ビット 12= リセット イネーブル コマンドに対応 =1b ビット 11= ソフト リセットおよびデフォルト プロトコル モード開始コマンドに対応 =0b ビット 10= デフォルト プロトコル モード開始コマンドは未対応 =0b ビット 9:8= 予約済み =00b
164h	JEDEC xSPI プロファイル 1.0 DWORD 4	A8h	ビット 31:12=00000h
165h		0Bh	ビット 11:7=200MHz 動作: 必要なダミー サイクル数 =23=10111b
166h		00h	ビット 6:2=200MHz 動作: このダミー サイクル数を設定するためのコンフィギュレーションビットパターン =01010b
167h		00h	ビット 1:0= 予約済み =00b

デバイス ID

Table 87 JEDEC SFDP レビジョン D パラメーター テーブル ( 続き )

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
168h	JEDEC xSPI プロファイル 1.0 DWORD 5	0Ch	ビット 31:27=166MHz 動作: 必要なダミー サイクル数 =20=10100b ビット 26:22=166MHz 動作: このダミー サイクル数を設定するためのコンフィギュレーションビットパターン =01000b ビット 21:17=133MHz 動作: 必要なダミー サイクル数 =14=01110b ビット 16:12=133MHz 動作: このダミー サイクル数を設定するためのコンフィギュレーションビットパターン =00101b ビット 11:7=100MHz 動作: 必要なダミー サイクル数 =10=01010b ビット 6:2=100MHz 動作: このダミー サイクル数を設定するためのコンフィギュレーションビットパターン =00011b ビット 1:0= 予約済み =00b
169h		55h	
16Ah		1Ch	
16Bh		A2h	
16Ch	ステータス, 制御, コンフィギュレーションレジスタマップ DWORD 1	00h	ビット 31:0= 揮発性レジスタ用のアドレス オフセット =00800000h
16Dh		00h	
16Eh		80h	
16Fh		00h	
170h	ステータス, 制御, コンフィギュレーションレジスタマップ DWORD 2	00h	ビット 31:0= 不揮発性レジスタ用のアドレス オフセット =00000000h
171h		00h	
172h		00h	
173h		00h	
174h	ステータス, 制御, コンフィギュレーションレジスタマップ DWORD 3	C0h	ビット 31= 一部 (またはすべての) レジスタでサポートされる揮発性レジスタ用の汎用アドレス指定可能ステータス / 制御レジスタ読み出しコマンド =1b ビット 30= 一部 (またはすべての) レジスタでサポートされる揮発性レジスタ用の汎用アドレス指定可能ステータス / 制御レジスタ書き込みコマンド =1b ビット 29:28= 揮発性レジスタ用の汎用アドレス指定可能ステータス / 制御レジスタ読み出し / 書き込みコマンドで使用されるアドレス バイト数 3 バイト ( デフォルト ) = 10b ビット 27:26= (1S-1S-1S) モードでの揮発性レジスタ用の汎用アドレス指定可能ステータス / 制御レジスタ読み出しコマンドで使用されるダミー バイト数 =10b ビット 25:14= 未対応 =FFFh ビット 13:10= (8S-8S-8S) モードでの揮発性レジスタ用の汎用アドレス指定可能ステータス / 制御レジスタ読み出しコマンドのダミー サイクル数 =3=0011b ビット 9:6= (8D-8D-8D) モードでの揮発性レジスタ用の汎用アドレス指定可能ステータス / 制御レジスタ読み出しコマンドのダミー サイクル数 =3=0011b ビット 5:4= 予約済み =00b ビット 3:0= (1S-1S-1S) モードでの揮発性レジスタ用の汎用アドレス指定可能ステータス / 制御レジスタ読み出しコマンドのダミー サイクル数 =0000b
175h		CCh	
176h		FFh	
177h		EBh	
178h	ステータス, 制御, コンフィギュレーションレジスタマップ DWORD 4	88h	ビット 31= 一部 (またはすべての) レジスタでサポートされる不揮発性レジスタ用の汎用アドレス指定可能ステータス / 制御レジスタ読み出しコマンド =1b ビット 30= 一部 (またはすべての) レジスタでサポートされる不揮発性レジスタ用の汎用アドレス指定可能ステータス / 制御レジスタ書き込みコマンド =1b ビット 29:28= 不揮発性レジスタ用の汎用アドレス指定可能ステータス / 制御レジスタ読み出し / 書き込みコマンドで使用されるアドレス バイト数 3 バイト ( デフォルト ) =10b ビット 27:26= (1S-1S-1S) モードでの不揮発性レジスタ用の汎用アドレス指定可能ステータス / 制御レジスタ読み出しコマンドで使用されるダミー バイト数 =10b ビット 25:14= 未対応 =FFFh ビット 13:10= (8S-8S-8S) モードでの不揮発性レジスタ用の汎用アドレス指定可能ステータス / 制御レジスタ読み出しコマンドのダミー サイクル数 =20=1110b (最大のオプションは 14 サイクル) ビット 9:6= (8D-8D-8D) モードでの不揮発性レジスタ用の汎用アドレス指定可能ステータス / 制御レジスタ読み出しコマンドのダミー サイクル数 =20=1110b (最大のオプションは 14 サイクル) ビット 5:4= 予約済み =00b ビット 3:0= (1S-1S-1S) モードでの不揮発性レジスタ用の汎用アドレス指定可能ステータス / 制御レジスタ読み出しコマンドで使用されるダミー サイクル数 =1000b
179h		FBh	
17Ah		FFh	
17Bh		EBh	

デバイス ID

Table 87 JEDEC SFDP レビジョン D パラメーター テーブル ( 続き )

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
17Ch	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 5	00h	ビット 7:0= 書き込みアクセスに使用されるコマンド = 読み出し専用 =00h
17Dh		65h	ビット 15:8= 読み出しアクセスに使用されるコマンド =65h
17Eh		00h	ビット 23:16=WIP があるレジスタ アドレス =00h (揮発性ステータス レジスタ 1)
17Fh		90h	ビット 31= 書き込み中 (WIP) ビットに対応 =1b ビット 30= 書き込み中極性 (WIP=1 は書き込みが進行中であることを示 す) =0b ビット 29= 予約済み =0b ビット 28= アドレスを使用するコマンドでビットをセット / クリア =1b ビット 27= 未対応 =0b ビット 26:24= レジスタの WIP ビットの位置 = ビット [0]=000b
180h	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 6	06h	ビット 7:0= 書き込みアクセスに使用されるコマンド
181h		05h	ビット 15:8= 読み出しアクセスに使用されるコマンド
182h		00h	ビット 23:16=WEL があるレジスタ アドレス =00h (揮発性ステータス レジスタ 1)
183h		A1h	ビット 31= 書き込みイネーブル (WEL) ビットに対応 =1b ビット 30= 書き込みイネーブルの極性 (WEL=1: 書き込みが進行中) =0b ビット 29= 書き込みコマンドは WEL ビットをセットする直接コマンド =1b ビット 28=WEL ビットをセットする直接コマンドでビットにアクセス =1b ビット 27=WEL ビットのローカル アドレスはアドレスの最後のバイトに ある =0b ビット 26:24= レジスタの WEL ビットの位置 = ビット [1]=001b
184h	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 7	00h	ビット 7:0= 書き込みアクセスに使用されるコマンド = 読み出し専用 =00h= 読み出し専用
185h		65h	ビット 15:8= 読み出しアクセスに使用されるコマンド =65h
186h		00h	ビット 23:16= プログラム エラーがあるレジスタ アドレス =00h (揮発性 ステータス レジスタ 1)
187h		96h	ビット 31= プログラム エラー ビットに対応 =1b ビット 30= 肯定極性 (プログラム エラー =0 はエラー無しを示す。プロ グラム エラー =1 は前回のプログラム動作でエラーが発生したことを示 す) =0b ビット 29= デバイスはプログラム エラーと消去エラーに対して別々の ビットを持つ =0b ビット 28= アドレスを使用するコマンドでビットをセット / クリア =1b ビット 27= 未対応 =0b ビット 26:24= レジスタのプログラム エラー ビットの位置 = ビット [6]=110b
188h	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 8	00h	ビット 7:0= 書き込みアクセスに使用されるコマンド = 読み出し専用 =00h= 読み出し専用
189h		65h	ビット 15:8= 読み出しアクセスに使用されるコマンド =65h
18Ah		00h	ビット 23:16= 消去エラーがあるレジスタ アドレス =00h
18Bh		95h	ビット 31= 消去エラー ビットに対応 =1b ビット 30= 肯定極性 (消去エラー =0 はエラー無しを示す。消去エラー =1 は前回の消去動作でエラーが発生したことを示す) =0b ビット 29= デバイスはプログラム エラーと消去エラーに対して別々の ビットを持つ =0b ビット 28= アドレスを使用するコマンドでビットをセット / クリア =1b ビット 27= 未対応 =0b ビット 26:24= レジスタの消去エラー ビットの位置 = ビット [5]=101b

デバイス ID

Table 87 JEDEC SFDP レビジョン D パラメーター テーブル ( 続き )

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
18Ch	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 9	71h	ビット 7:0= 書き込みアクセスに使用されるコマンド = 読み出し専用 =71h
18Dh		65h	ビット 15:8= 読み出しアクセスに使用されるコマンド =65h
18Eh		03h	ウェイト ステートビットがあるレジスタ アドレス =03h ( 不揮発性コンフィギュレーションレジスタ 2)
18Fh		D0h	ビット 31= 可変ダミー サイクル数に対応 =1b ビット 30:29= ウェイト ステート設定に使用される物理ビット数, 4 ビ ット =10b ビット 28= アドレスを使用するコマンドでビットをセット / クリア =1b ビット 27= 未対応 =0b ビット 26:24= レジスタの物理ビットの LSB の位置 = ビット [0]=000b
190h	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 10	71h	ビット 7:0= 書き込みアクセスに使用されるコマンド =71h
191h		65h	ビット 15:8= 読み出しアクセスに使用されるコマンド =65h
192h		03h	ウェイト ステートビットがあるレジスタ アドレス =03h ( 不揮発性コンフィギュレーションレジスタ 2)
193h		D0h	ビット 31= 可変ダミー サイクル数に対応 =1b ビット 30:29= ウェイト ステート設定に使用される物理ビット数, 4 ビ ット =10b ビット 28= アドレスを使用するコマンドでビットをセット / クリア =1b ビット 27= 未対応 =0b ビット 26:24= レジスタの物理ビットの LSB の位置 = ビット [0]=000b
194h	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 11	A4h	ビット 31=30 ダミー サイクルに対応 =0b
195h		6Bh	ビット 30:26=30 ダミー サイクル設定に使用されるビット パター ン =00000b
196h		FBh	ビット 25=28 ダミー サイクルに対応 =1b
197h		02h	ビット 24:20=28 ダミー サイクル設定に使用されるビット パター ン =01111b ビット 19=26 ダミー サイクルに対応 =1b ビット 18:14=26 ダミー サイクル設定に使用されるビット パター ン =01101b ビット 13=24 ダミー サイクルに対応 =1b ビット 12:8=24 ダミー サイクル設定に使用されるビット パター ン =01011b ビット 7=22 ダミー サイクルに対応 =1b ビット 6:2=22 ダミー サイクル設定に使用されるビット パター ン =01001b ビット 1:0= 予約済み =00b
198h	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 12	90h	ビット 31=20 ダミー サイクルに対応 =1b
199h		A5h	ビット 30:26=20 ダミー サイクル設定に使用されるビット パター ン =01000b
19Ah		79h	ビット 25=18 ダミー サイクルに対応 =1b
19Bh		A2h	ビット 24:20=18 ダミー サイクル設定に使用されるビット パター ン =00111b ビット 19=16 ダミー サイクルに対応 =1b ビット 18:14=16 ダミー サイクル設定に使用されるビット パター ン =00110b ビット 13=14 ダミー サイクルに対応 =0b ビット 12:8=14 ダミー サイクル設定に使用されるビット パター ン =00101b ビット 7=12 ダミー サイクルに対応 =1b ビット 6:2=12 ダミー サイクル設定に使用されるビット パター ン =00100b ビット 1:0= 予約済み =00b

デバイス ID

Table 87 JEDEC SFDP レビジョン D パラメーター テーブル ( 続き )

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
19Ch	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 13	00h	ビット 31=10 ダミー サイクルに対応 =1b
19Dh		40h	ビット 30:26=10 ダミー サイクル設定に使用されるビット パターン =00011b
19Eh		28h	ビット 25=8 ダミー サイクルに対応 =1b ビット 24:20=8 ダミー サイクル設定に使用されるビット パターン =00010b
19Fh		8Eh	ビット 19=6 ダミー サイクルに対応 =1b ビット 18:14=6 ダミー サイクル設定に使用されるビット パターン =00001b ビット 13=4 ダミー サイクルに対応 =0b ビット 12:8=4 ダミー サイクル設定に使用されるビット パターン =00000b ビット 7=2 ダミー サイクルに対応 =0b ビット 6:2=2 ダミー サイクル設定に使用されるビット パターン =00000b ビット 1:0= 予約済み =00b
1A0h	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 14	00h	未対応
1A1h		00h	
1A2h		FFh	
1A3h		00h	
1A4h	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 15	00h	未対応
1A5h		00h	
1A6h		FFh	
1A7h		00h	
1A8h	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 16	71h	ビット 7:0= 書き込みアクセスに使用されるコマンド =71h
1A9h		65h	ビット 15:8= 読み出しアクセスに使用されるコマンド =65h
1AAh		06h	ビット 23:16= オクタル モード イネーブル揮発性ビットがあるレジスタ アドレス =800006h ( 揮発性コンフィギュレーション レジスタ 5)
1ABh		90h	ビット 31= オクタル モード イネーブル揮発性ビットに対応 =1b ビット 30= オクタル モード イネーブル揮発性ビット: 肯定極性 ( オクタ ル モード イネーブルビット =1 はオクタル モードが有効であることを示 す ) =0b ビット 29= 予約済み =0b ビット 28= アドレスを使用するコマンドでビットをセット / クリア =1b ビット 27= 未対応 =0b ビット 26:24= レジスタのオクタル モード イネーブルビットの位置 = ビット [0]=000b
1ACh	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 17	71h	ビット 7:0= 書き込みアクセスに使用されるコマンド =71h
1ADh		65h	ビット 15:8= 読み出しアクセスに使用されるコマンド =65h
1AEh		06h	オクタル モード イネーブル不揮発性ビットがあるレジスタ アドレス =06h ( 不揮発性コンフィギュレーションレジスタ 5)
1AFh		90h	ビット 31= オクタル モード イネーブル不揮発性ビットに対応 =1b ビット 30= オクタル モード イネーブル不揮発性ビット: 肯定極性 ( オクタ ル モード イネーブルビット =1 はオクタル モードが有効であることを示 す ) =0b ビット 29= 非 OTP ビット =0b ビット 28= アドレスを使用するコマンドでビットをセット / クリア =1b ビット 27= 未対応 =0b ビット 26:24= レジスタのオクタル モード イネーブルビットの位置 = ビット [0]=000b
1B0h	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 18	00h	未対応
1B1h		00h	
1B2h		00h	
1B3h		00h	

デバイス ID

Table 87 JEDEC SFDP レビジョン D パラメーター テーブル ( 続き )

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
1B4h	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 19	00h	未対応
1B5h		00h	
1B6h		00h	
1B7h		00h	
1B8h	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 20	71h	ビット 7:0= 書き込みアクセスに使用されるコマンド =71h
1B9h		65h	ビット 15:8= 読み出しアクセスに使用されるコマンド =65h
1BAh		06h	STR オクタル モード イネーブルビットがあるレジスタ アドレス =800006h (揮発性コンフィギュレーションレジスタ 5)
1BBh		D1h	ビット 31=STR オクタル モード イネーブル揮発性ビットに対応 =1b ビット 30=STR オクタル モード イネーブル揮発性ビット: 反転極性 (STR オクタル モード イネーブル=0 は STR オクタル モードが有効であること を示す) =1b ビット 29= 予約済み =0b ビット 28= アドレスを使用するコマンドでビットをセット / クリア =1b ビット 27= 未対応 =0b ビット 26:24= レジスタの STR オクタル モード イネーブルビットの位置 =ビット [1]=001b
1BCh	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 21	71h	ビット 7:0= 書き込みアクセスに使用されるコマンド =71h
1BDh		65h	ビット 15:8= 読み出しアクセスに使用されるコマンド =65h
1BEh		06h	STR オクタル モード イネーブルビットがあるレジスタ アドレス =06h ( 不揮発性コンフィギュレーションレジスタ 5)
1BFh		D1h	ビット 31=STR オクタル モード イネーブル不揮発性ビットに対応 =1b ビット 30=STR オクタル モード イネーブル不揮発性ビット極性: 反転極 性 (STR オクタル モード イネーブル=0 は STR オクタル モードが有効で あることを示す) =1b ビット 29= 非 OTP ビット =0b ビット 28= アドレスを使用するコマンドでビットをセット / クリア =1b ビット 27= 未対応 =0b ビット 26:24= レジスタの STR オクタル モード イネーブル不揮発性ビッ トの位置 =ビット [1]=001b
1C0h	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 22	71h	ビット 7:0= 書き込みアクセスに使用されるコマンド =71h
1C1h		65h	ビット 15:8= 読み出しアクセスに使用されるコマンド =65h
1C2h		06h	DTR オクタル モード イネーブル揮発性ビットがあるレジスタ アドレス =800006h (揮発性コンフィギュレーションレジスタ 5)
1C3h		91h	ビット 31=DTR オクタル モード イネーブル揮発性ビットに対応 =1b ビット 30=DTR オクタル モード イネーブル揮発性ビット: 肯定極性 (DSTR オクタル モード イネーブル=1 は DTR オクタル モードが有効であ ることを示す) =0b ビット 29= 予約済み =0b ビット 28= アドレスを使用するコマンドでビットをセット / クリア =1b ビット 27= 未対応 =0b ビット 26:24= レジスタの DTR オクタル モード イネーブル揮発性ビッ トの位置 =ビット [1]=001b
1C4h	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 23	71h	ビット 7:0= 書き込みアクセスに使用されるコマンド =71h
1C5h		65h	ビット 15:8= 読み出しアクセスに使用されるコマンド =65h
1C6h		06h	DTR オクタル モード イネーブル不揮発性ビットがあるレジスタ アドレ ス =06h (不揮発性コンフィギュレーションレジスタ 5)
1C7h		91h	ビット 31=DTR オクタル モード イネーブル不揮発性ビットに対応 =1b ビット 30=DTR オクタル モード イネーブル不揮発性ビット: 肯定極性 (DSTR オクタル モード イネーブル=1 は DTR オクタル モードが有効であ ることを示す) =0b ビット 29= 非 OTP ビット =0b ビット 28= アドレスを使用するコマンドでビットをセット / クリア =1b ビット 27= 未対応 =0b ビット 26:24= レジスタの DTR オクタル モード イネーブルビットの位置 =ビット [1]=001b



デバイス ID

Table 87 JEDEC SFDP レビジョン D パラメーター テーブル ( 続き )

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
1C8h	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 24	00h	未対応
1C9h		00h	
1CAh		FFh	
1CBh		00h	
1CCh	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 25	00h	未対応
1CDh		00h	
1CEh		FFh	
1CFh		00h	
1D0h	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 26	71h	ビット 7:0= 書き込みアクセスに使用されるコマンド =71h
1D1h		65h	ビット 15:8= 読み出しアクセスに使用されるコマンド =65h
1D2h		05h	出力駆動強度揮発性ビットがあるレジスタアドレス =800005h ( 揮発性コ ンフィギュレーションレジスタ 4)
1D3h		D5h	ビット 31:30= 出力駆動強度設定に使用される物理ビット数 =3 ビット =11b ビット 29= 予約済み =0b ビット 28= アドレスを使用するコマンドでビットをセット / クリア =1b ビット 27= 未対応 =0b ビット 26:24= レジスタの最下位出力駆動強度ビットの位置 = ビット [5]=101b
1D4h	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 27	71h	ビット 7:0= 書き込みアクセスに使用されるコマンド =71h
1D5h		65h	ビット 15:8= 読み出しアクセスに使用されるコマンド =65h
1D6h		05h	出力駆動強度不揮発性ビットがあるレジスタ アドレス =05h ( 不揮発性コンフィギュレーションレジスタ 4)
1D7h		D5h	ビット 31:30= 出力駆動強度設定に使用される物理ビット数 =3 ビット =11b ビット 29= 予約済み =0b ビット 28= アドレスを使用するコマンドでビットをセット / クリア =1b ビット 27= 未対応 =0b ビット 26:24= レジスタの最下位出力駆動強度ビットの位置 = ビット [5]=101b
1D8h	ステータス, 制御, コ ンフィギュレーション レジスタ マップ DWORD 28	00h	ビット 7:0= 予約済み =00h
1D9h		00h	ビット 15:8= 予約済み =00h
1DAh		A0h	ビット 31:29= ドライバタイプ 0 に対応するためのビットパターン =45Ω=000b
1DBh		15h	ビット 28:26= ドライバタイプ 1 に対応するためのビットパターン =30Ω=101b ビット 25:23= ドライバタイプ 2 に対応するためのビットパターン =60Ω=011b ビット 22:20= ドライバタイプ 3 に対応するためのビットパターン =90Ω=010b ビット 19:17= ドライバタイプ 4 に対応するためのビットパターン = 未 対応 =000b ビット 16= 予約済み =0b
1DCh	オクタル DDR (8D-8D-8D) モードに変 更するコマンドシー ケンス DWORD 1	00h	ビット 7:0= 最初のコマンドシーケンスのバイト 3
1DDh		00h	ビット 15:8= 最初のコマンドシーケンスのバイト 2
1DEh		06h	ビット 23:16= 最初のコマンドシーケンスのバイト 1
1DFh		01h	ビット 31:24= 最初のコマンドシーケンスの長さ =1 バイト
1E0h	オクタル DDR (8D-8D-8D) モードに変 更するコマンドシー ケンス DWORD 2	00h	ビット 7:0= 最初のコマンドシーケンスのバイト 7
1E1h		00h	ビット 15:8= 最初のコマンドシーケンスのバイト 6
1E2h		00h	ビット 23:16= 最初のコマンドシーケンスのバイト 5
1E3h		00h	ビット 31:24= 最初のコマンドシーケンスのバイト 4

デバイス ID

Table 87 JEDEC SFDP レビジョン D パラメーター テーブル ( 続き )

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
1E4h	オクタル DDR (8D-8D-8D) モードに変 更するコマンドシー ケンス DWORD 3	00h	ビット 7:0=2 番目のコマンドシーケンスのバイト 3-揮発性レジスタア ドレス
1E5h		80h	ビット 15:8=2 番目のコマンドシーケンスのバイト 2-揮発性レジスタア ドレス
1E6h		71h	ビット 23:16=2 番目のコマンドシーケンスのバイト 1
1E7h		05h	ビット 31:24=2 番目のコマンドシーケンスの長さ =5 バイト
1E8h	オクタル DDR (8D-8D-8D) モードに変 更するコマンドシー ケンス DWORD 4	00h	ビット 7:0=2 番目のコマンドシーケンスのバイト 7
1E9h		00h	ビット 15:8=2 番目のコマンドシーケンスのバイト 6
1EAh		43h	ビット 23:16=2 番目のコマンドシーケンスのバイト 5
1EBh		06h	ビット 31:24=2 番目のコマンドシーケンスのバイト 4-揮発性レジスタ アドレス

### セクタ マップ パラメーター テーブルの注意事項

Table 88 は、デバイス アドレス マップの設定方法を識別する手段となり、対応されている各コンフィギュレーションのセクタ マップを提供します。アドレス マップの選択に影響を与える関連コンフィギュレーションレジスタビットを読み出す一連のコマンドを定義することで行います。1つ以上のコンフィギュレーションビットを読み出す必要がある場合、すべてのビットは現行のアドレス マップを選択するためのインデックス値に連結されます。

デバイスのセクタ マップ コンフィギュレーションを識別するために、以下のコンフィギュレーションビットを MSb から LSb への順で読み出してコンフィギュレーション マップインデックス値を形成します。

- CFR3V[3]: 0= ハイブリッド アーキテクチャ、1= ユニフォーム アーキテクチャ
- CFR1V[2]: 0= 最下部にある 4KB パラメーター セクタ、1= 最上部にある 4KB セクタ
- CFR1V[6]: 0= グループ化される 4KB パラメーター、1= 最上部と最下部の間で分割される 4KB セクタ
- いくつかのコンフィギュレーションビット値のためその他のコンフィギュレーションビット値が該当無し(ドントケア)となることがあるため、インデックス値のすべてのあり得る組合せが有効なアドレス マップを定義するわけではありません。SFDP セクタ マップ パラメーター テーブルは選択されたコンフィギュレーションビット組合せのみに対応します (Table 89 を参照してください)。SFDP パラメーター テーブルを使用してセクタ マップを定義するとき、その他の組合せはセクタ アドレス マップの設定に使用しないでください。対応されているインデックス値の組合せは次のとおりです。

Table 88 セクタ マップ パラメーター

CFR3V[3]	CFR1V[6]	CFR1V[2]	インデックス 値	説明
0	0	0	00h	最下部にある 4KB セクタおよび残りの 256KB セクタ
0	0	1	01h	最上部にある 4KB セクタおよび残りの 256KB セクタ
0	1	0	02h	最上部と最下部の間で分割される 4KB セクタおよび残りの 256KB セクタ
1	0	0	04h	ユニフォーム 256KB セクタ

デバイス ID

Table 89 JEDEC SFDP レビジョン D, セクタ マップ パラメーター テーブル

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
1ECh	JEDEC セクタ マップ パラメーター DWORD 1 コンフィギュレ ション検出 1	FCh	コンフィギュレーション検出 1: ユニフォーム 256KB セクタまたはハイ ブリッドセクタ ビット 31:24= データ マスク読み出し =0000_1000b: UNHYSA 値のデータ バイトのビット 3 を選択します。0=4KB パラメーター セクタのあるハイ ブリッドマップ 1=ユニフォーム マップ ビット 23:22= コンフィギュレーション検出コマンド アドレス長 =11b: 可 変長 ビット 21:20=RFU=11b ビット 19:16= コンフィギュレーション検出コマンド レイテンシ =1111b: 可変レイテンシ ビット 15:8= コンフィギュレーション検出命令 =65h: 任意レジスタ読み 出し ビット 7:2=RFU=111111b ビット 1= コマンド ディスクリプタ =0 ビット 0= 終了ディスクリプタではない =0
1EDh		65h	
1EEh		FFh	
1EFh		08h	
1F0h	JEDEC セクタ マップ パラメーター DWORD 2 コンフィギュレ ション検出 1	04h	ビット 31:0= コンフィギュレーションレジスタ 3 のアドレス値 (ビット 3) =00800004h
1F1h		00h	
1F2h		80h	
1F3h		00h	
1F4h	JEDEC セクタ マップ パラメーター DWORD 3 コンフィギュレ ション検出 2	FCh	コンフィギュレーション検出 1: 最上部と最下部の間の 4KB ハイブリ ッドセクタの分割 ビット 31:24= データ マスク読み出し =0100_0000b: SP4KBS 値のデータ バイトのビット 6 を選択します。 0=4KB パラメーター セクタはグループ化されます。 1=4KB パラメーター セクタは上位アドレスと下位アドレスの間で分割さ れます。 ビット 23:22= コンフィギュレーション検出コマンド アドレス長 =11b: 可 変長 ビット 21:20=RFU=11b ビット 19:16= コンフィギュレーション検出コマンド レイテンシ =1111b: 可変レイテンシ ビット 15:8= コンフィギュレーション検出命令 =65h: 任意レジスタ読み 出し ビット 7:2=RFU=111111b ビット 1= コマンド ディスクリプタ =0 ビット 0= 終了ディスクリプタではない =0
1F5h		65h	
1F6h		FFh	
1F7h		40h	
1F8h	JEDEC セクタ マップ パラメーター DWORD 4 コンフィギュレ ション検出 2	02h	ビット 31:0= コンフィギュレーションレジスタ 1 のアドレス値 (ビット 6) =00800002h
1F9h		00h	
1FAh		80h	
1FBh		00h	
1FCh	JEDEC セクタ マップ パラメーター DWORD 5 コンフィギュレ ション検出 3	FDh	コンフィギュレーション検出 3: 最上部または最下部にある 4KB ハイブ リッドセクタ ビット 31:24= データ マスク読み出し =0000_0100b: TB4KBS 値のデータ バイトのビット 2 を選択します。 0=4KB パラメーター セクタは最下部にあります。 1=4KB パラメーター セクタは最上部にあります。 ビット 23:22= コンフィギュレーション検出コマンド アドレス長 =11b: 可 変長 ビット 21:20=RFU=11b ビット 19:16= コンフィギュレーション検出コマンド レイテンシ =1111b: 可変レイテンシ ビット 15:8= コンフィギュレーション検出命令 =65h: 任意レジスタ読み 出し ビット 7:2=RFU=111111b ビット 1= コマンド ディスクリプタ =0 ビット 0= コマンド ディスクリプタ終了 =1
1FDh		65h	
1FEh		FFh	
1FFh		04h	
200h	JEDEC セクタ マップ パラメーター DWORD 6 コンフィギュレ ション検出 3	02h	ビット 31:0= コンフィギュレーションレジスタ 1 のアドレス値 (ビット 2) =00800002h
201h		00h	
202h		80h	
203h		00h	

デバイス ID

Table 89 JEDEC SFDP レビジョン D, セクタ マップ パラメーター テーブル ( 続き )

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
204h	JEDEC セクタ マップ パラメーター DWORD 7 コンフィギュレー ション 0 ヘッダ	FEh	コンフィギュレーション インデックス 00h: 最下部にある 4KB セクタお よび残りの 256KB セクタ ビット 31:24=RFU=FFh ビット 23:16= 領域カウンタ (DWORD-1) =02h: 3 つの領域 ビット 15:8= コンフィギュレーション ID=00h: 最下部にある 4KB セクタ および残りの 256KB セクタ ビット 7:2=RFU=111111b ビット 1= マップ ディスクリプタ =1 ビット 0= 終了 ディスクリプタ ではない =0
205h		00h	
206h		02h	
207h		FFh	
208h	JEDEC セクタ マップ パラメーター DWORD 8 コンフィギュレー ション 0 領域 0	F1h	領域 0: 4KB セクタ ビット 31:8= 領域サイズ (32 の 4KB セクタ) =0001FFh: 256 バイト単位の カウンタ -1 としての領域サイズ =32x4KB セクタ =128KB, カウンタ =128KB/256=512, 値 = カウンタ -1=512-1=511=1FFh ビット 7:4=RFU=Fh, 消去タイプ未対応 =0/ 対応 =1 ビット 3= 消去タイプ 4 対応 =0b --- 消去タイプ 4 は未定義です。 ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は 256KB 消去であり、 4KB セクタ領域では未対応です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は 64KB 消去であり、 未対応です。 ビット 0= 消去タイプ 1 対応 =1b --- 消去タイプ 1 は 4KB 消去であり、 4KB セクタ領域で対応されます。
209h		FFh	
20Ah		01h	
20Bh		00h	
20Ch	JEDEC セクタ マップ パラメーター DWORD 9 コンフィギュレー ション 0 領域 1	F8h	領域 1:128KB セクタ ビット 31:8= 領域サイズ =0001FFh: 256 バイト単位のカウンタ -1 として の領域サイズ =1x128KB セクタ =128KB, カウンタ =128KB/256=512, 値 = カウンタ -1=512-1=511=1FFh ビット 7:4=RFU=Fh, 消去タイプ未対応 =0/ 対応 =1 ビット 3= 消去タイプ 4 対応 =1b --- 消去タイプ 4 は 256KB 消去であり、 128KB セクタ領域で対応されます。 ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は未定義です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は未定義です。 ビット 0= 消去タイプ 1 対応 =0b --- 消去タイプ 1 は 4KB 消去であり、 4KB セクタ領域では未対応です。
20Dh		FFh	
20Eh		01h	
20Fh		00h	
210h	JEDEC セクタ マップ パラメーター DWORD 10 コンフィギュレー ション 0 領域 2	F8h	領域 2: ユニフォーム 256KB セクタ ビット 31:8=512Mb デバイスの領域サイズ =03FBFFh: 256 バイト単位のカウンタ -1 としての領域サイズ =255x256KB セクタ = 65,280KB, カウンタ =65,280KB/256=261,120, 値 = カウンタ -1= 261,120 - 1 = 261119 = 3FBFFh ビット 31:8=1Mb デバイスの領域サイズ =01FEFFh: 256 バイト単位のカウン タ -1 としての領域サイズ =511x256KB セクタ =130,816 KB, カウンタ = 130,816KB/256=523,364, 値 = カウンタ -1=523,364-1=523263=07FBFFh ビット 7:4=RFU=Fh, 消去タイプ未対応 =0/ 対応 =1 ビット 3= 消去タイプ 4 対応 =1b --- 消去タイプ 4 は 256KB 消去であり、 256KB セクタ領域で対応されます。 ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は未定義です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は未定義です。 ビット 0= 消去タイプ 1 対応 =0b --- 消去タイプ 1 は 4KB 消去であり、 256KB セクタ領域では未対応です。
211h		FFh	
212h		FBh	
213h		03h (512Mb) 07h (1Mb)	
214h	JEDEC セクタ マップ パラメーター DWORD 11 コンフィギュレー ション 3 ヘッダ	FEh	コンフィギュレーション インデックス 01h: 最上部にある 4KB セクタお よび残りの 256KB セクタ ビット 31:24=RFU=FFh ビット 23:16= 領域カウンタ (DWORD-1) =02h: 3 つの領域 ビット 15:8= コンフィギュレーション ID=01h: 最上部にある 4KB セクタ および残りの 256KB セクタ ビット 7:2=RFU=111111b ビット 1= マップ ディスクリプタ =1 ビット 0= 終了 ディスクリプタ ではない =0
215h		01h	
216h		02h	
217h		FFh	

デバイス ID

Table 89 JEDEC SFDP レビジョン D, セクタ マップ パラメーター テーブル ( 続き )

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
218h	JEDEC セクタ マップ パラメーター DWORD 12 コンフィギュレー ション 3 領域 0	F8h	領域 0: ユニフォーム 256KB セクタ ビット 31:8=512Mb デバイスの領域サイズ =03FBFFh: 256 バイト単位のカウンタ -1 としての領域サイズ =255x256KB セクタ = 65,280KB, カウンタ =65,280KB/256=261,120, 値 = カウンタ -1= 261,120 - 1 = 261119 = 3FBFFh ビット 31:8=1Gb デバイスの領域サイズ =07FBFFh: 256 バイト単位のカウ ンタ -1 としての領域サイズ =511x256KB セクタ =130,816 KB, カウンタ = 130,816KB/256=523,364, 値 = カウンタ -1=523,364-1=523263=07FBFFh ビット 7:4=RFU=Fh, 消去タイプ未対応 =0/ 対応 =1 ビット 3= 消去タイプ 4 対応 =1b --- 消去タイプ 4 は 256KB 消去であり、 256KB セクタ領域で対応されます。 ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は未定義です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は未定義です。 ビット 0= 消去タイプ 1 対応 =0b --- 消去タイプ 1 は 4KB 消去であり、 256KB セクタ領域では未対応です。
219h		FFh	
21Ah		FBh	
21Bh		03h (512Mb) 07h (1Mb)	
21Ch	JEDEC セクタ マップ パラメーター DWORD 13 コンフィギュレー ション 3 領域 1	F8h	領域 1:128KB セクタ ビット 31:8= 領域サイズ =0001FFh: 256 バイト単位のカウンタ -1 として の領域サイズ =1x128KB セクタ = 128KB, カウンタ =128KB/256=512, 値 = カウンタ -1=512-1=511=1FFh ビット 7:4=RFU=Fh, 消去タイプ未対応 =0/ 対応 =1 ビット 3= 消去タイプ 4 対応 =1b --- 消去タイプ 4 は 256KB 消去であり、 128KB セクタ領域で対応されます。 ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は未定義です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は未定義です。 ビット 0= 消去タイプ 1 対応 =0b --- 消去タイプ 1 は 4KB 消去であり、 4KB セクタ領域では未対応です。
21Dh		FFh	
21Eh		01h	
21Fh		00h	
220h	JEDEC セクタ マップ パラメーター DWORD 14 コンフィギュレー ション 3 領域 2	F1h	領域 2:4KB セクタ ビット 31:8= 領域サイズ (32 の 4KB セクタ )=0001FFh: 256 バイト単位の カウンタ -1 としての領域サイズ =32x4KB セクタ =128KB, カウンタ =128KB/256=512, 値 = カウンタ -1=512-1=511=1FFh ビット 7:4=RFU=Fh, 消去タイプ未対応 =0/ 対応 =1 ビット 3= 消去タイプ 4 対応 =0b --- 消去タイプ 4 は未定義です。 ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は 256KB 消去であり、 4KB セクタ領域では未対応です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は 64KB 消去であり、 未対応です。 ビット 0= 消去タイプ 1 対応 =1b --- 消去タイプ 1 は 4KB 消去であり、 4KB セクタ領域で対応されます。
221h		FFh	
222h		01h	
223h		00h	
224h	JEDEC セクタ マップ パラメーター DWORD 15 コンフィギュレー ション 1 ヘッダ	FEh	コンフィギュレーションインデックス 02h: 最下部と最下部の間で分割 される 4KB セクタおよび残りの 256KB セクタ ビット 31:24=RFU=FFh ビット 23:16= 領域カウンタ (DWORD-1)=04h: 5 つの領域 ビット 15:8= コンフィギュレーション ID=02h: 最下部と最上部の間で分 割される 4KB セクタおよび残りの 256KB セクタ ビット 7:2=RFU=111111b ビット 1= マップディスクリプタ =1 ビット 0= 終了ディスクリプタではない =0
225h		02h	
226h		04h	
227h		FFh	
228h	JEDEC セクタ マップ パラメーター DWORD 16 コンフィギュレー ション 1 領域 0	F1h	領域 0: 4KB セクタ ビット 31:8= 領域サイズ (16x4KB セクタ )=0000FFh: 256 バイト単位のカ ウンタ -1 としての領域サイズ =16x4KB セクタ =64KB, カウンタ =64KB/256=256, 値 = カウンタ 1=256-1=255=FFh ビット 7:4=RFU=Fh, 消去タイプ未対応 =0/ 対応 =1 ビット 3= 消去タイプ 4 対応 =0b --- 消去タイプ 4 は未定義です。 ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は 256KB 消去であり、 4KB セクタ領域では未対応です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は 64KB 消去であり、 未対応です。 ビット 0= 消去タイプ 1 対応 =1b --- 消去タイプ 1 は 4KB 消去であり、 4KB セクタ領域で対応されます。
229h		FFh	
22Ah		00h	
22Bh		00h	

デバイス ID

Table 89 JEDEC SFDP レビジョン D, セクタ マップ パラメーター テーブル ( 続き )

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
22Ch	JEDEC セクタ マップ パラメーター DWORD 17 コンフィギュレーション 1 領域 1	F8h	領域 1:192KB セクタ ビット 31:8= 領域サイズ =0002FFh: 256 バイト単位のカウント -1 としての領域サイズ =1x192KB セクタ =192KB, カウント =192KB/256=768, 値 = カウント -1=768-1=767=2FFh ビット 7:4=RFU=Fh, 消去タイプ未対応 =0/ 対応 =1 ビット 3= 消去タイプ 4 対応 =1b --- 消去タイプ 4 は 256KB 消去であり、192KB セクタ領域で対応されます。 ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は未定義です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は未定義です。 ビット 0= 消去タイプ 1 対応 =0b --- 消去タイプ 1 は 4KB 消去であり、4KB セクタ領域では未対応です。
22Dh		FFh	
22Eh		02h	
22Fh		00h	
230h	JEDEC セクタ マップ パラメーター DWORD 18 コンフィギュレーション 1 領域 2	F8h	領域 2: ユニフォーム 256KB セクタ ビット 31:8=512Mb デバイスの領域サイズ =03F7FF: 256 バイト単位のカウント -1 としての領域サイズ =254x256KB セクタ = 65,024KB, カウント =65,024KB/256=260,096, 値 = カウント -1= 260,096 - 1 = 260095 = 3F7FFh ビット 31:8=1Gb デバイスの領域サイズ =07F7FFh: 256 バイト単位のカウント -1 としての領域サイズ =510x256KB セクタ =130,560 KB, カウント = 130,560KB/256=522,240, 値 = カウント -1=522,240-1=522239=7F7FFh ビット 7:4=RFU=Fh, 消去タイプ未対応 =0/ 対応 =1 ビット 3= 消去タイプ 4 対応 =1b --- 消去タイプ 4 は 256KB 消去であり、256KB セクタ領域で対応されます。 ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は未定義です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は未定義です。 ビット 0= 消去タイプ 1 対応 =0b --- 消去タイプ 1 は 4KB 消去であり、256KB セクタ領域では未対応です。
231h		FFh	
232h		F7h	
233h		03h (512Mb) 07h (1Mb)	
234h	JEDEC セクタ マップ パラメーター DWORD 19 コンフィギュレーション 1 領域 3	F8h	領域 3:192KB セクタ ビット 31:8= 領域サイズ =0002FFh: 256 バイト単位のカウント -1 としての領域サイズ =1x192KB セクタ =192KB, カウント =192KB/256=768, 値 = カウント -1=768-1=767=2FFh ビット 7:4=RFU=Fh, 消去タイプ未対応 =0/ 対応 =1 ビット 3= 消去タイプ 4 対応 =1b --- 消去タイプ 4 は 256KB 消去であり、192KB セクタ領域で対応されます。 ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は未定義です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は未定義です。 ビット 0= 消去タイプ 1 対応 =0b --- 消去タイプ 1 は 4KB 消去であり、4KB セクタ領域では未対応です。
235h		FFh	
236h		02h	
237h		00h	
238h	JEDEC セクタ マップ パラメーター DWORD 20 コンフィギュレーション 1 領域 5	F1h	領域 5: 4KB セクタ ビット 31:8= 領域サイズ (16x4KB セクタ )=0000FFh: 256 バイト単位のカウント -1 としての領域サイズ =16x4KB セクタ =64KB, カウント =64KB/256=256, 値 = カウント 1=256-1=255=FFh ビット 7:4=RFU=Fh, 消去タイプ未対応 =0/ 対応 =1 ビット 3= 消去タイプ 4 対応 =0b --- 消去タイプ 4 は未定義です。 ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は 256KB 消去であり、4KB セクタ領域では未対応です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は 64KB 消去であり、未対応です。 ビット 0= 消去タイプ 1 対応 =1b --- 消去タイプ 1 は 4KB 消去であり、4KB セクタ領域で対応されます。
239h		FFh	
23Ah		00h	
23Bh		00h	
23Ch	JEDEC セクタ マップ パラメーター DWORD 21 コンフィギュレーション 4 ヘッダ	FFh	コンフィギュレーション インデックス 04h: ユニフォーム 256KB セクタ ビット 31:24=RFU=FFh ビット 23:16= 領域カウント (DWORD-1)=00h: 1 つの領域 ビット 15:8= コンフィギュレーション ID=04h: ユニフォーム 256KB セクタ ビット 7:2=RFU=111111b ビット 1= マップディスクリプタ =1 ビット 1= マップディスクリプタ終了 =1
23Dh		04h	
23Eh		00h	
23Fh		FFh	

デバイス ID

Table 89 JEDEC SFDP レビジョン D, セクタ マップ パラメーター テーブル ( 続き )

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
240h	JEDEC セクタ マップ パラメーター DWORD 22 コンフィギュレーション 4 領域 0	F8h	領域 0: ユニフォーム 256KB セクタ ビット 31:8=512Mb デバイスの領域サイズ =03FFFFh: 256 バイト単位のカウンタ -1 としての領域サイズ =256x256KB セクタ = 65,536KB, カウンタ =65,280KB/256=262,144, 値 = カウンタ -1=262,144-1=262,143=3FFFFh ビット 31:8=1Mb デバイスの領域サイズ =07FFFFh: 256 バイト単位のカウンタ -1 としての領域サイズ =512x256KB セクタ =131,072 KB, カウンタ = 131,072KB/256=524,288, 値 = カウンタ -1=524,288-1=524,287=7FFFFh ビット 7:4=RFU=Fh, 消去タイプ未対応 =0/ 対応 =1 ビット 3= 消去タイプ 4 対応 =1b --- 消去タイプ 4 は 256KB 消去であり、 256KB セクタ領域で対応されます。 ビット 2= 消去タイプ 3 対応 =0b --- 消去タイプ 3 は未定義です。 ビット 1= 消去タイプ 2 対応 =0b --- 消去タイプ 2 は未定義です。 ビット 0= 消去タイプ 1 対応 =0b --- 消去タイプ 1 は 4KB 消去であり、 256KB セクタ領域では未対応です。
241h		FFh	
242h		FFh	
243h		03h (512Mb) 07h (1Mb)	

## 9.2 メーカーおよびデバイス ID

Table 90 メーカー / デバイス ID

バイト アドレス	データ	説明
00h	34h	インフィニオン の メーカー ID
01h	5Ah (HL-T) / 5Bh (HS-T)	デバイス ID の MSB - メモリ インターフェース タイプ
02h	19h (256Mb) / 1Ah (512Mb) / 1Bh (1Mb)	デバイス ID の LSB - 容量
03h	0Fh	ID 長 - 続く バイト数です。この値を 03h の 現行位置に加えると、ID レガシー アドレス マップの最終の有効な位置のアドレスになります。
04h	03h (デフォルト コンフィ ギュレーション)	物理セクタ アーキテクチャ HS/L-T family はユニフォーム セクタに加えて 4KB パラメーター セクタの有無を構成 できます。 03h = ユニフォーム 256KB セクタと 32 の 4KB パラメーター セクタ
05h	90h (HL-T/HS-T ファミリ)	ファミリ ID

## 9.3 固有デバイス ID

Table 91 固有デバイス ID

バイト アドレス	データ	説明
00h ~ 07h	8 バイト固有デバイス ID	64 ビット固有 ID 番号

## 10 パッケージ図

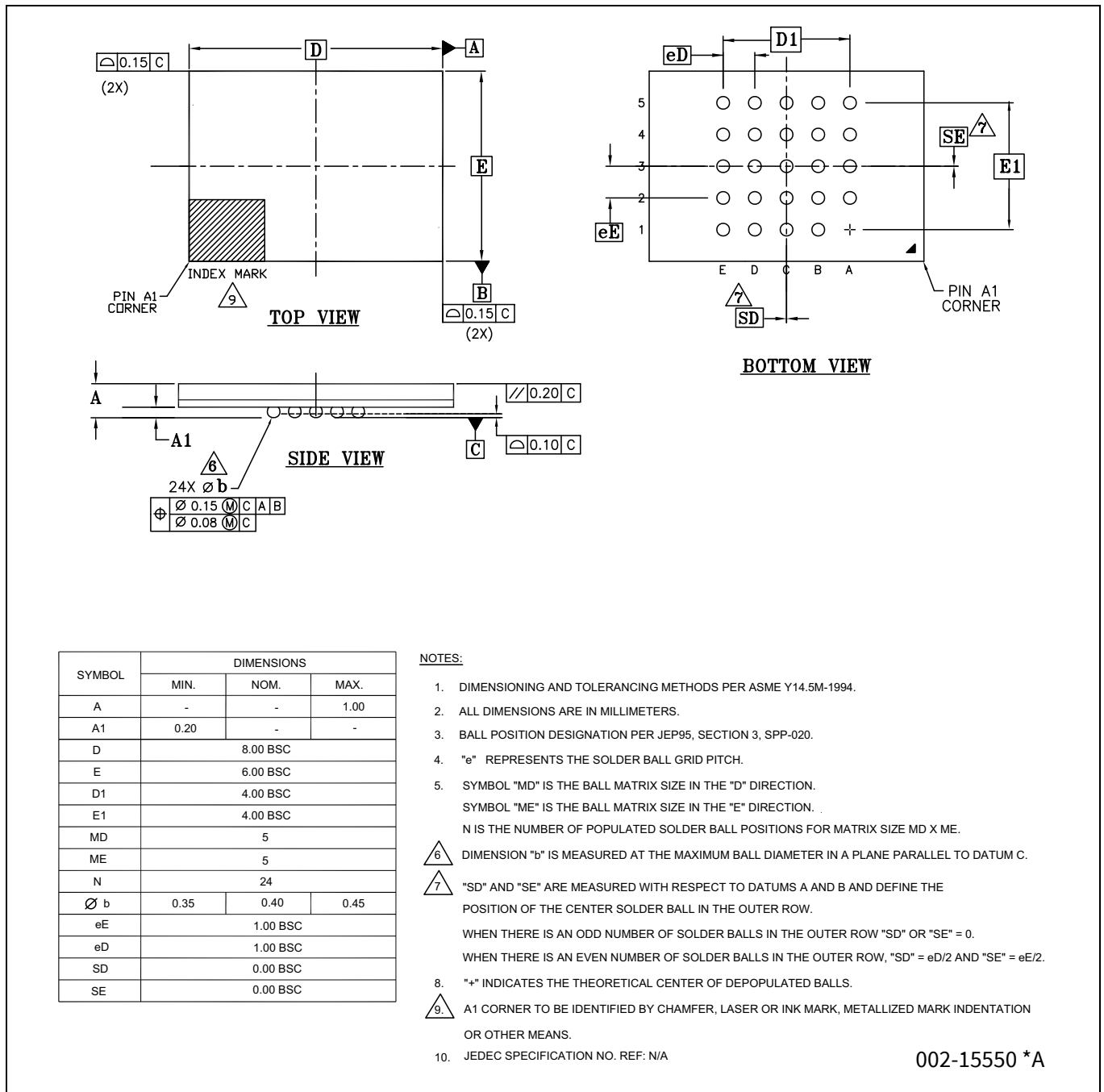


Figure 82 ボールグリッドアレイ 24 ボール 6x8mm (VAA024)



パッケージ図

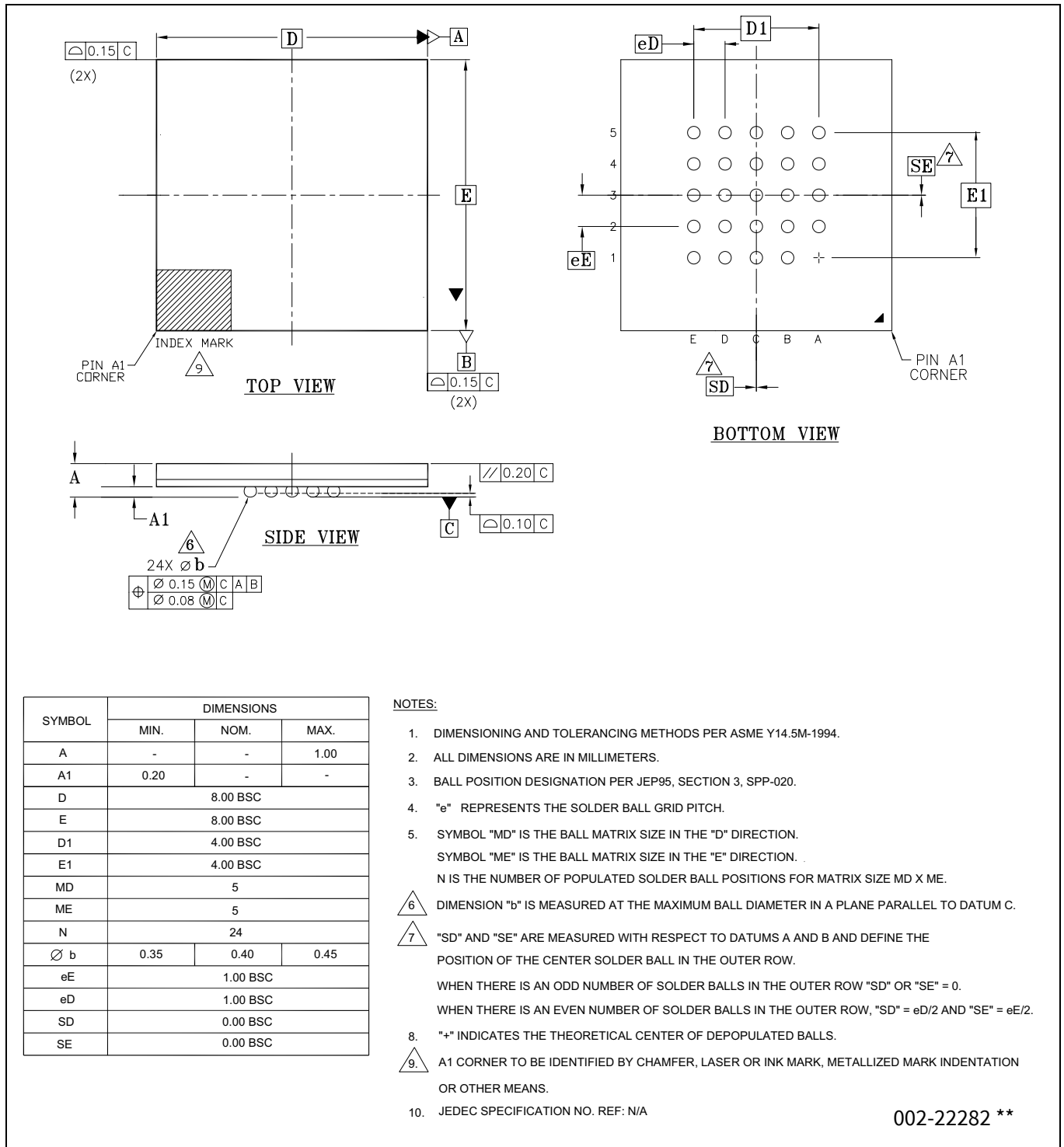
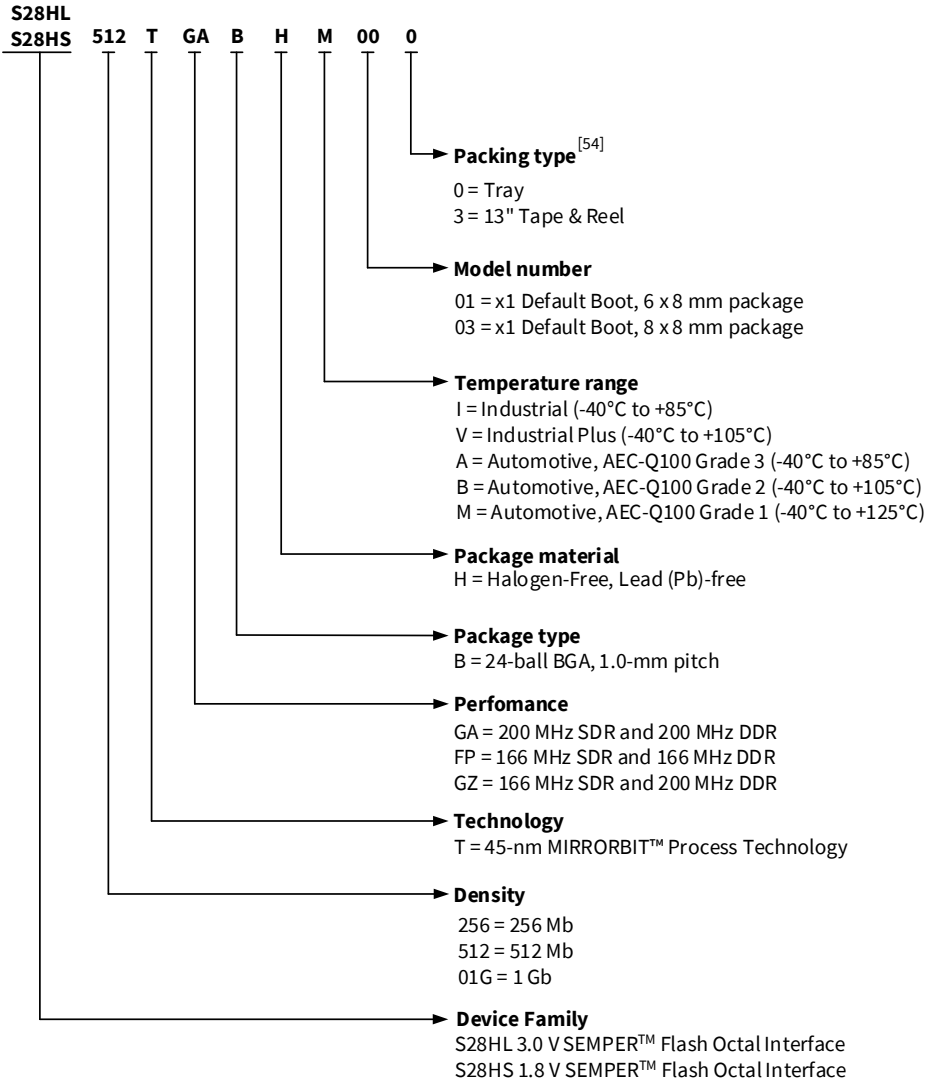


Figure 83 ボールグリッドアレイ 24ボール 8×8mm (VAC024)

## 11 注文情報

注文製品番号は下記の有効な組合せで構成されます。



**注**

54.詳細情報については、[www.infineon.com](http://www.infineon.com) にてパッキングとパッケージ ハンドブックを参照してください。

### 11.1 有効な組合せ – 標準グレード

Table 92 に、このデバイスのボリュームでサポートされる予定の構成を示します。ご使用になる組合せの有無、ならびに新たにリリースされる組合せは担当営業までお問い合わせください。

Table 92 有効な組合せ – 標準グレード<sup>[55]</sup>

ベース注文製品番号	速度オプション	パッケージと材料	温度範囲	モデル番号	包装形態	注文製品番号 (x= 包装形態)	パッケージ マーキング
S28HL256T	FP	BH	I, V	01	0, 3	S28HL256TFPBHI01x	28HL256TPI01
						S28HL256TFPBHV01x	28HL256TPV01
S28HS256T	GZ	BH	I, V	01	0, 3	S28HS256TGZBHI01x	28HS256TZI01
						S28HS256TGZBHV01x	28HS256TZV01
S28HL512T	FP	BH	I, V	01	0, 3	S28HL512TFPBHI01x	28HL512TPI01
						S28HL512TFPBHV01x	28HL512TPV01
S28HS512T	GA	BH	I, V	01	0, 3	S28HS512TGABHI01x	28HS512TAI01
						S28HS512TGABHV01x	28HS512TAV01
S28HL01GT	FP	BH	I, V	03	0, 3	S28HL01GTFPBHI03x	28HL01GTPI03
						S28HL01GTFPBHV03x	28HL01GTPV03
S28HS01GT	FP	BH	I, V	03	0, 3	S28HS01GTFPBHI03x	28HS01GTPI03
						S28HS01GTFPBHV03x	28HS01GTPV03
S28HS01GT	GZ	BH	I, V	03	0, 3	S28HS01GZGZBHI03x	28HS01GTZI03
						S28HS01GZGZBHV03x	28HS01GTZV03

## 11.2 有効な組合せ – 車載向けグレード /AEC-Q100

**Table 93** は、車載向けグレード /AEC-Q100 の認定がされた、量産対応が計画されているコンフィギュレーションを示します。新しい組合せがリリースされると、表は更新されます。特定の組合せの有無、ならびに新たにリリースされる組合せは最寄りの販売代理店までお問い合わせください。

生産部品承認プロセス (PPAP) のサポートは AEC-Q100 グレード製品のみを提供されています。

ISO/TS-16949 準拠を必要とするエンドユースアプリケーションに使用される製品は PPAP に対応した AEC-Q100 グレード製品でなければなりません。非 AEC-Q100 グレード製品は ISO/TS-16949 要件に完全に準拠して製造または記載されてはなりません。また、AEC-Q100 グレード製品は ISO/TS-16949 準拠を必要としないエンドユースアプリケーションにも PPAP サポートなしで提供されています。

**Table 93** 有効な組合せ – 車載向けグレード /AEC-Q100<sup>[56]</sup>

ベース注文製品番号	速度オプション	パッケージと材料	温度範囲	モデル番号	包装形態	注文製品番号 (x= 包装形態)	パッケージ マーキング
S28HL256T	FP	BH	A, B, M	01	0, 3	S28HL256TFPBHA01x	28HL256TPA01
						S28HL256TFPBHB01x	28HL256TPB01
						S28HL256TFPBHM01x	28HL256TPM01
S28HS256T	GZ					S28HS256TGZBHA01x	28HS256TZA01
						S28HS256TGZBHB01x	28HS256TZB01
						S28HS256TGZBHM01x	28HS256TZM01
S28HL512T	FP					S28HL512TFPBHA01x	28HL512TPA01
						S28HL512TFPBHB01x	28HL512TPB01
						S28HL512TFPBHM01x	28HL512TPM01
S28HS512T	GA					S28HS512TGABHA01x	28HS512TAA01
						S28HS512TGABHB01x	28HS512TAB01
						S28HS512TGABHM01x	28HS512TAM01
S28HL01GT	FP			03		S28HL01GTFPBHA03x	28HL01GTPA03
						S28HL01GTFPBHB03x	28HL01GTPB03
						S28HL01GTFPBHM03x	28HL01GTPM03
S28HS01GT	FP					S28HS01GTFPBHA03x	28HS01GTPA03
						S28HS01GTFPBHB03x	28HS01GTPB03
						S28HS01GTFPBHM03x	28HS01GTPM03
S28HS01GT	GZ					S28HS01GTGZBHA03x	28HS01GTZA03
						S28HS01GTGZBHB03x	28HS01GTZB03
						S28HS01GTGZBHM03x	28HS01GTZM03

改訂履歴

## 改訂履歴

Document version.	Date of release	Description of change
**	2019-04-08	これは英語版 002-18216 Rev. *G を翻訳した日本語版 Rev. ** です。
*A	2019-07-10	これは英語版 002-18216 Rev. *M を翻訳した日本語版 Rev. *A です。
*B	2020-01-16	Obsoleted
*C	2020-04-07	これは英語版 002-18216 Rev. *Q を翻訳した日本語版 Rev. *C です。
*D	2020-05-28	これは英語版 002-18216 Rev. *S を翻訳した日本語版 Rev. *D です。
*E	2022-11-11	これは英語版 002-18216 Rev. *X を翻訳した日本語版 Rev. *E です。
*F	2023-04-21	これは英語版 002-18216 Rev. *Y を翻訳した日本語版 Rev. *F です。