



The following document contains information on Cypress products. The document has the ordering part numbering with the prefix “S”. Cypress will offer these products to new and existing customers with the updated ordering part number (updated last digit).

How to Check the Ordering Part Number

1. Go to www.cypress.com/pcn.
2. Enter the keyword (for example, ordering part number) in the **SEARCH PCNS** field and click **Apply**.
3. Click the corresponding title from the search results.
4. Download the Affected Parts List file, which has details of all changes

For More Information

Please contact your local sales office for additional information about Cypress products and solutions.

About Cypress

Cypress is the leader in advanced embedded system solutions for the world's most innovative automotive, industrial, smart home appliances, consumer electronics and medical products. Cypress' microcontrollers, analog ICs, wireless and USB-based connectivity solutions and reliable, high-performance memories help engineers design differentiated products and get them to market first. Cypress is committed to providing customers with the best support and development resources on the planet enabling them to disrupt markets by creating new product categories in record time. To learn more, go to www.cypress.com.

S6E1C1 系列是针对低电耗和低成本应用而设计的高集成度 32 位嵌入式微控制器。本系列有搭载片上闪存和 SRAM 的 ARM Cortex-M0+ 处理器，还包含了各种定时器、ADC 和各种通信接口（UART、CSIO (SPI)、I²C、I²S、智能卡）等在内的外设功能。“FM0+ 系列外设手册”中该数据手册记载的产品归类于 TYPE3-M0+ 产品。

特征

32 位 ARM Cortex-M0+ 内核

- 处理器版本：r0p1
- 最高工作频率：40.8 MHz
- 嵌套向量中断控制器 (NVIC)：支持 1 通道 NMI（非屏蔽中断）和可设定 4 个中断优先级的 24 通道的外设中断。
- 24 位系统定时器 (Sys Tick)：该系统定时器用于管理操作系统任务

位带操作

与 Cortex-M3 位带操作兼容。

片上存储器

- 闪存
 - 最大 128 千字节
 - 读周期：0 等待周期
 - 保护代码的加密功能
- SRAM
 - 最大 SRAM：16 千字节
 - 4 千字节：在深度待机模式中可保存值

多功能串口（最多 6 通道）

- 其中 3 个通道含有 64 字节深度的 FIFO（通道 4, 6,7）；另外三个通道不含有 FIFO（通道 0, 1, 3）
- 可从以下选择每路通道的运行模式。
 - UART
 - CSIO (CSIO 被许多客户称为 SPI)
 - I²C
- UART
 - 全双工双缓冲器
 - 可选择奇偶校验的有/无。
 - 内置专用波特率发生器
 - 外部时钟可用作串行时钟
 - 硬件流速控制：通过 CTS/RTS 握手信号自动控制传输（仅限通道 4）
 - * S6E1C12B0A/S6E1C11B0A 和 S6E1C12C0A/S6E1C11C0A 不支持硬件流速控制
 - 丰富的错误检测功能（奇偶校验错误、帧错误及溢出错误）
- CSIO (又称 SPI)
 - 全双工双缓冲器
 - 内置专用波特率发生器
 - 溢出错误检测功能

- 串行芯片选择功能（仅 ch1 和 ch6）
- 数据长度：5 ~ 16 位
- I²C
 - 支持标准模式（最快 100kbps）/高速模式（最快 400kbps）。
- I²S (MFS-I2S)
 - 使用 CSIO (最多两通道：ch.4、ch.6) 和 I²S 时钟发生器
 - 支持两种传输协议
 - I²S
 - MSB 对齐
 - 仅主控模式

I2C 从机

- I2C 从机支持 I2C 的从机功能，并且支持 MCU 待机模式下唤醒。

广义系统数据传输控制器 (DSTC)（64 通道）

- DSTC 可不经 CPU 高速传输数据。DSTC 采用的是广义系统，且可通过已构建在存储器中的广义系统指定内容直接访问存储器/外围设备，进行数据传输。
- 支持软件激活、硬件激活、以及链式激活功能。

A/D 转换器（最多 8 通道）

- 12 位 A/D 转换器
 - 逐次比较型
 - 转换时间：2.0μs@2.7V ~ 3.6V
 - 可进行优先级转换（2 个优先级）
 - 扫描转换模式
 - 内置存储转换数据的 FIFO（用于扫描转换：16 段；用于优先级转换：4 段）

基本定时器（最多 8 通道）

可从以下选择每路通道的运行模式。

- 16 位 PWM 定时器
- 16 位 PPG 定时器
- 16/32 位重载定时器
- 16/32 位 PWC 定时器

通用 I/O 端口

本系列的引脚不用作外部总线或者外设功能时，可用作通用 I/O 口。所有端口都可设定为快速通用 I/O 口或慢速通用 I/O 口。另外，搭载的端口重定位功能可设定哪一个 I/O 口配置外设功能。

■所有端口都为可在 1 个周期内访问的快速 GPIO

■可上拉控制各个引脚

■可直接读出引脚电平

■具有端口重定位功能

■最多 54 个高速通用 I/O 口@64 针封装

■部分端口耐 5V。

相关引脚详情，参见“4. 引脚功能一览表”以及“5. I/O 电路类型”。

双定时器 (32/16 位逐减计数器)

双定时器由两个可编程的 32/16 位逐减计数器组成。可从以下选择定时器每路通道的运行模式。

■自由运行模式

■周期模式 (=重载模式)

■单次触发模式

实时时钟

实时时钟记录从 00 年至 99 年间的年/月/日/小时/分钟/秒/星期。

■RTC 可在指定时间 (年/月/日/小时/分钟/秒/星期) 生成中断，也可在指定年、月、日、小时或分钟生成中断。

■具有在指定时间或指定时间间隔生成中断的定时器中断功能。

■可在修改时间之时保持计数。

■可自动计数闰年。

计时计数器

计时计数器可把微控制器从低功耗模式中唤醒。可选择的时钟源包括主时钟、副时钟、内部高速 CR 时钟或内部低速 CR 时钟。

间隔定时器：最大间隔时间 64s (副时钟：32.768kHz)

外部中断控制单元

■最多 12 个外部中断输入引脚

■不可屏蔽中断 (NMI) 输入引脚：1 个

监视定时器 (2 通道)

达到超时值时，监视定时器生成中断或复位。

本系列有两种不同的监视，硬件监视和软件监视。

硬件监视定时器使用内置低速 CR 振荡器。因此，硬件监视定时器在任何低功耗模式下都可以工作，RTC、停止、深度待机 RTC 和深度待机停止模式除外。

CRC (循环冗余校验) 加速器

CRC 加速器进行软件处理负荷高的 CRC 计算，以减轻数据接收及存储完整性确认的处理负荷。

■支持 CCITT CRC16 和 IEEE-802.3 CRC32。

□CCITT CRC16 生成多项式：0x1021

□IEEE-802.3 CRC32 生成多项式：0x04C11DB7

HDMI-CEC/遥控接收器 (最多 2 通道)

■HDMI-CEC 发送器

□头块通过判断无信号自动传输

□通过检测仲裁丧失生成状态中断

□通过设置 1 字节数据自动生成 START、EOM、AC 来输出 CEC 传输

□发送 1 个块 (1 字节数据和 EOM/ACK) 时，生成传输状态中断

■HDMI-CEC 接收器

□具有自动 ACK 回复功能

□具有线误差检测功能

■遥控接收器

□4 字节接收缓冲

□具有重复码检测功能

智能卡接口 (最多 1 通道)

■符合 ISO7816-3 规格

■仅读卡器/仅 B 级卡

■支持协议

□发送器：8E2、8O2、8N2

□接收器：8E1、8O1、8N2、8N1、9N1

□反转模式

■TX/RX FIFO 集成 (RX：16 字节，TX：16 字节)

时钟和复位

■时钟

可选择 5 种时钟源 (2 种外部振荡、2 种内部 CR 振荡、主 PLL)。

□主时钟：8MHz ~ 48MHz

□副时钟：32.768kHz

□内部高速 CR 时钟：8MHz

□内部低速 CR 时钟：100kHz

□主 PLL 时钟：8MHz ~ 16MHz(输入)

75MHz ~ 150MHz(输出)

■复位

□INITX 引脚的复位请求

□上电复位

□软件复位

□监视定时器复位

□低压检测复位

□时钟监视器复位

时钟监视功能 (CSV)

时钟监视功能根据内置 CR 振荡器生成的时钟来监视外部时钟的异常。

■检测出外部时钟故障 (时钟停止) 时，复位有效。

■检测出外部频率异常时，中断或复位有效。

低压检测功能 (LVD)

本系列可在 2 个阶段监视 VCC 引脚的电压。VCC 引脚的电压比设定的电压低时，低压检测功能生成中断或复位。

■LVD1：监视 Vcc 和使用中断报告错误

■LVD2：自动复位操作

低功耗模式

本系列有 6 种低功耗模式。

- 休眠
- 定时器
- RTC
- 停止
- 深度待机 RTC（可选是否保持 RAM 值）
- 深度待机停止（可选是否保持 RAM 值）

外设时钟门控

本系统可通过对无需使用的外设进行时钟门控来降低整个系统的电流消耗。

调试

- 串行线调试端口 (SW-DP)
- 微型跟踪缓冲区 (MTB)

唯一 ID

已为设备设置 41 位的唯一识别码。

电源

- 支持大范围电压：VCC=1.65V~ 3.6V

目录

特征	1
1. 产品阵容	6
2. 封装	7
3. 引脚配置图	8
4. 引脚功能一览表	14
5. I/O 电路类型	26
6. 芯片处理注意事项	31
6.1 产品设计注意事项	31
6.2 封装焊接注意事项	31
6.3 使用环境注意事项	32
7. 芯片使用注意事项	34
8. 框图	36
9. 存储器映射	37
10. 各 CPU 状态下的引脚状态	40
11. 电气特性	43
11.1 绝对最大额定值	43
11.2 推荐工作条件	44
11.3 DC 特性	45
11.3.1 额定电流	45
11.3.2 引脚特性	49
11.4 AC 特性	50
11.4.1 主时钟输入特性	50
11.4.2 副时钟输入特性	51
11.4.3 内置 CR 振荡特性	52
11.4.4 主 PLL 的工作条件（主时钟用作 PLL 的输入时钟时）	53
11.4.5 主 PLL 的工作条件（内置高速 CR 时钟用作主 PLL 的输入时钟时）	53
11.4.6 复位输入特性	54
11.4.7 上电复位时序	54
11.4.8 基本定时器输入时序	55
11.4.9 CSIO/SPI/UART 时序	56
11.4.10 外部输入时序	73
11.4.11 I ² C 时序/I ² C 从机时序	74
11.4.12 I ² S 时序（多功能串口-I ² S 时序）	75
11.4.13 智能卡接口特性	77
11.4.14 SW-DP 时序	78
11.5 12 位 A/D 转换器	79
11.6 低压检测特性	82
11.6.1 低压检测复位	82
11.6.2 低压检测中断	83
11.7 闪存写入/擦除特性	84
11.8 低功耗模式唤醒时间	85
11.8.1 唤醒因素：中断/唤醒	85
11.8.2 唤醒因素：复位	87
12. 订购信息	89
13. 封装尺寸	90
14. Errata	96
14.1 受影响的部件	96
14.2 合格状态	96

14.3 Errata 总结.....	96
文档历史	97
销售、解决方案以及法律信息.....	98

1. 产品阵容

存储器容量

产品名称	S6E1C11B0A/ S6E1C11C0A/ S6E1C11D0A	S6E1C12B0A/ S6E1C12C0A/ S6E1C12D0A
片上闪存	64 Kbytes	128 Kbytes
片上 SRAM	12 Kbytes	16 Kbytes

功能

产品名称	S6E1C12B0A/ S6E1C11B0A	S6E1C12C0A/ S6E1C12C0A	S6E1C11D0A/ S6E1C12D0A
引脚数	32	48	64
CPU	Cortex-M0+		
频率	40.8 MHz		
电源电压范围	1.65 V to 3.6 V		
DSTC	64 ch.		
多功能串口 (UART/CSIO/I ² C/I ² S)	4 ch. (最大) Ch.0/1/3 不带 FIFO Ch. 6 带 FIFO	6 ch. (最大) Ch.0/1/3 不带 FIFO Ch.4/6/7 带 FIFO	6 ch. (最大) Ch.0/1/3 不带 FIFO Ch.4/6/7 带 FIFO
	I ² S : 无	I ² S : 1 ch (最大) Ch. 6 带 FIFO	I ² S : 2 ch (最大) Ch. 4/6 带 FIFO
基本定时器 (PWC/重载定时器/PWM/PPG)	8 ch. (最大)		
双定时器	1 unit		
HDMI-CEC/遥控接收器	1 ch.(最大) Ch.1	2 ch (最大) Ch.0/1	
I ² C 从机	1 ch (最大)		
智能卡接口	无	1 ch (最大)	
实时时钟	1 unit		
计时计数器	1 unit		
CRC 加速器	有		
监视定时器	1 ch. (SW) + 1 ch. (HW)		
外部中断	7 pins (最大), NMI x 1	9 pins (最大), NMI x 1	12 pins (最大), NMI x 1
I/O 口	24 pins (最大)	38 pins (最大)	54 pins (最大)
12 位 A/D 转换器	6 ch. (1 unit)	8 ch. (1 unit)	8 ch. (1 unit)
CSV (时钟监视功能)	有		
LVD (低压检测)	2 ch.		
内置 CR	高速	8 MHz (Typ)	
	低速	100 kHz (Typ)	
调试功能	SW-DP		
唯一 ID	有		

注意事项：

- 受封装引脚的限制，未配置各产品搭载的外设功能的全部信号。需要某种功能时，使用 I/O 口的端口重定位功能进行再配置。有关内置 CR 的精确度，参见“11. 电气特性 11.4 AC 特性 11.4.3 内置 CR 振荡特性”。

2. 封装

封装	产品名称	S6E1C12B0A/ S6E1C11B0A	S6E1C12C0A/ S6E1C11C0A	S6E1C12D0A/ S6E1C11D0A
LQFP: LQB032 (0.80 mm 间距)		○	-	-
QFN: WNU032 (0.50 mm 间距)		○		
LQFP: LQA048-02 (0.50 mm 间距)		-	○	-
QFN: WNY048 (0.50 mm 间距)		-	○	-
LQFP: LQD064-02 (0.50 mm 间距)		-	-	○
QFN: WNS064 (0.50 mm 间距)		-	-	○

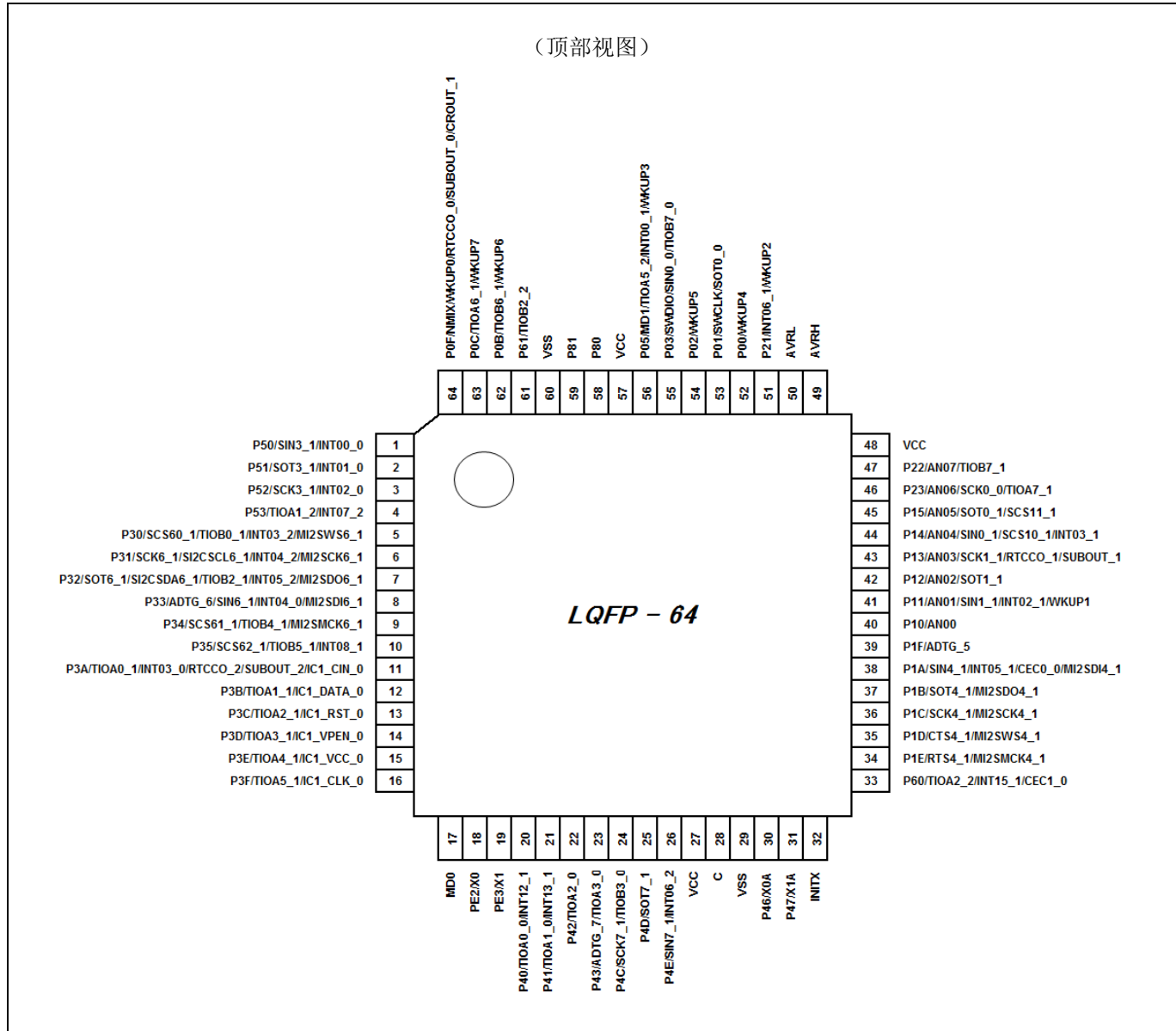
○: 支持

注意事项：

- 各封装的详情，参见“13. 封装尺寸”。

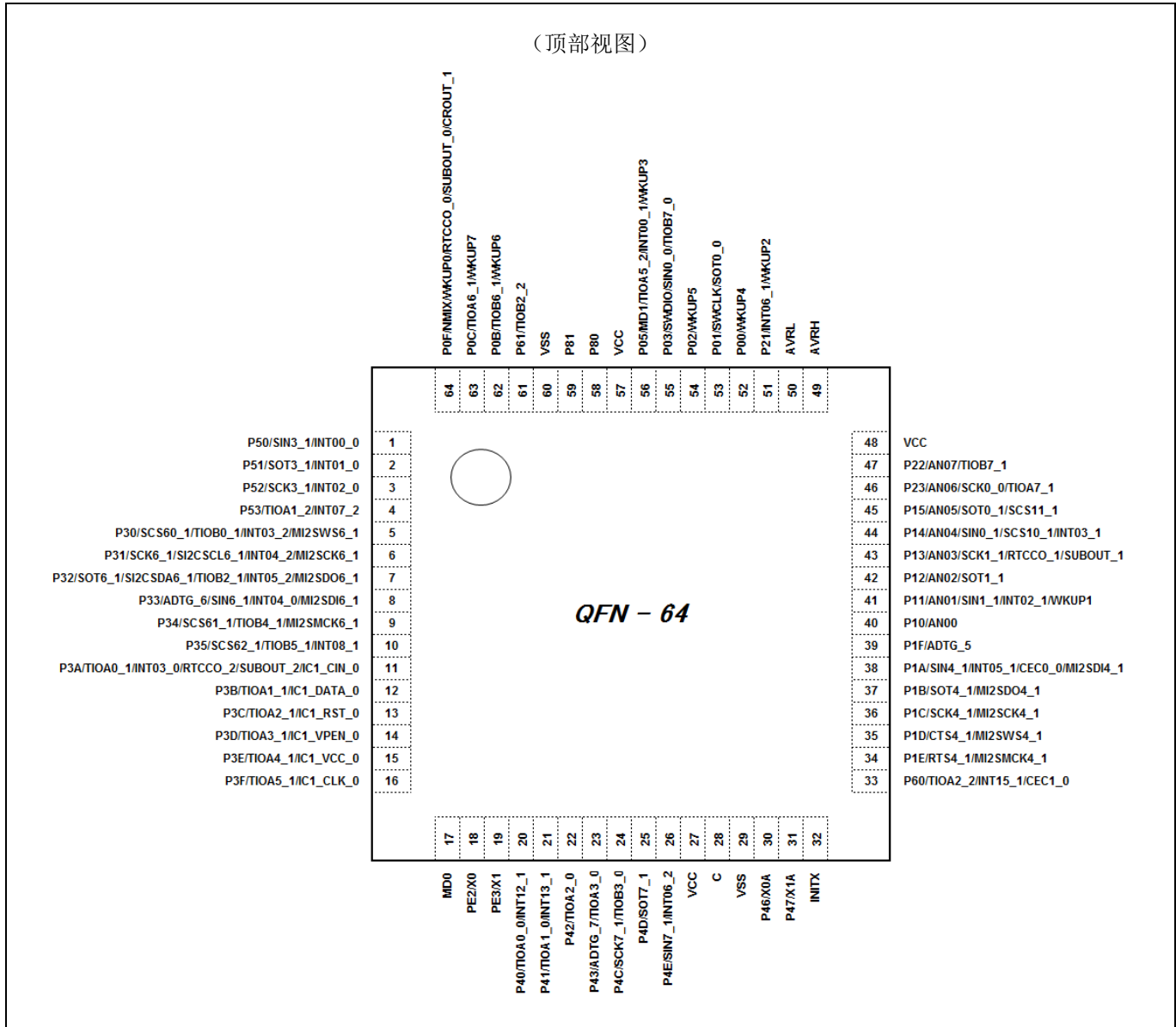
3. 引脚配置图

LQD064-02



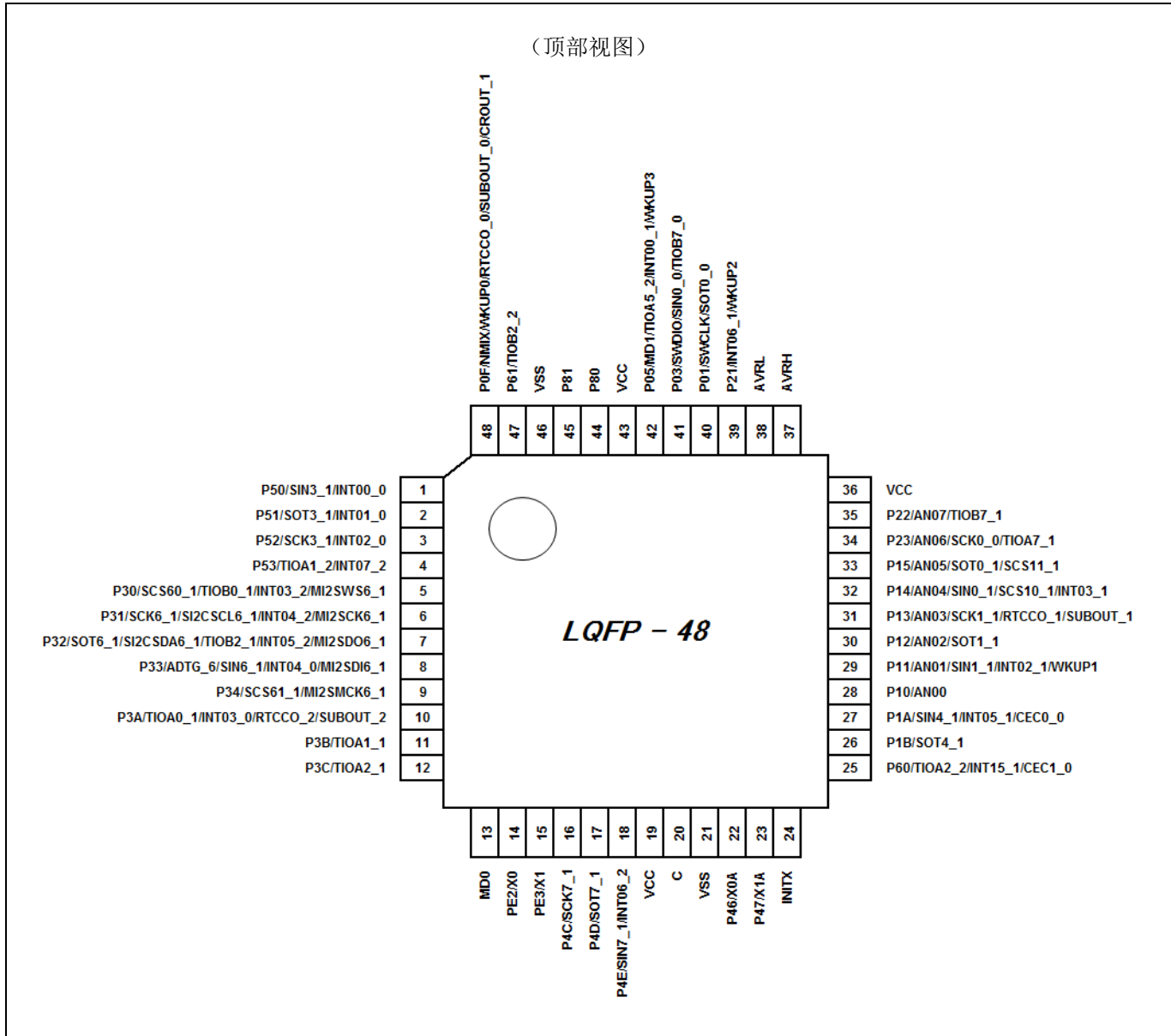
注意事项：

- 引脚名称 (例如 XXX_1 和 XXX_2) 中下划线 ("_") 后面的数字代表重定位端口号。有多个引脚可为同一通道提供同一功能。使用扩展端口功能寄存器 (EPFR) 选择引脚。

WNS064

注意事项：

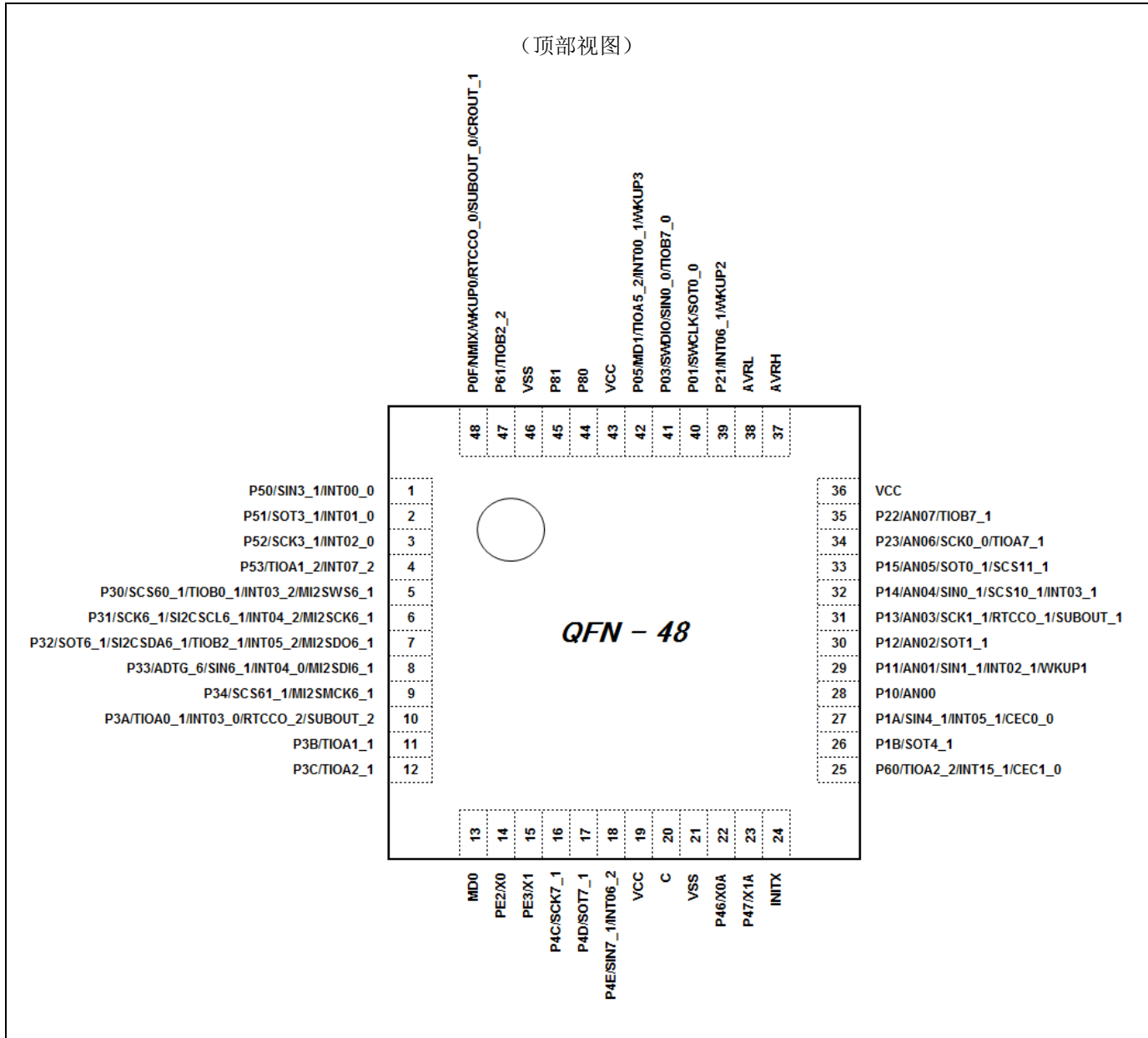
- 引脚名称 (例如 XXX_1 和 XXX_2) 中下划线 ("_") 后面的数字代表重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器 (EPFR) 选择引脚。

LQA048-02

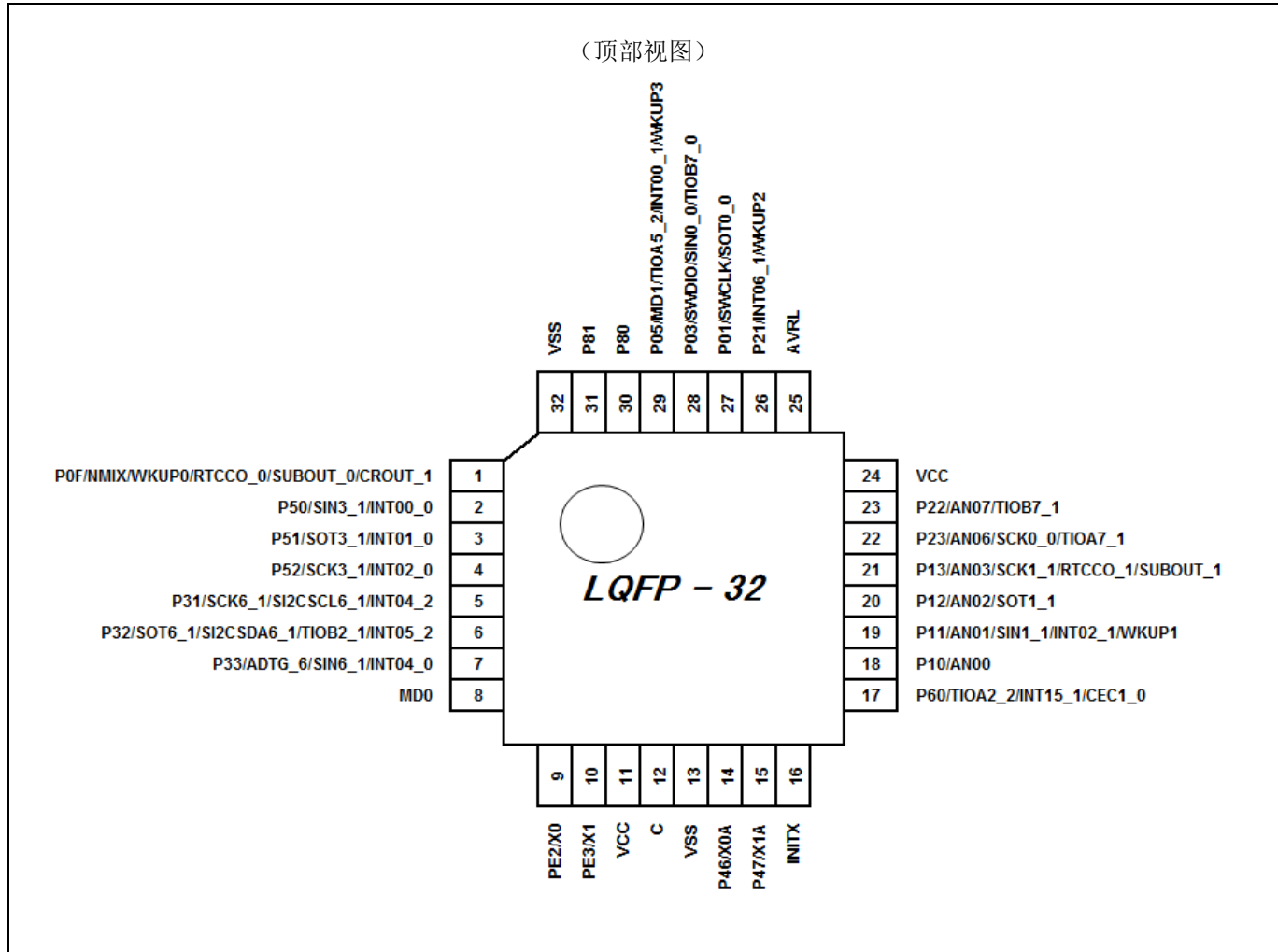


注意事项：

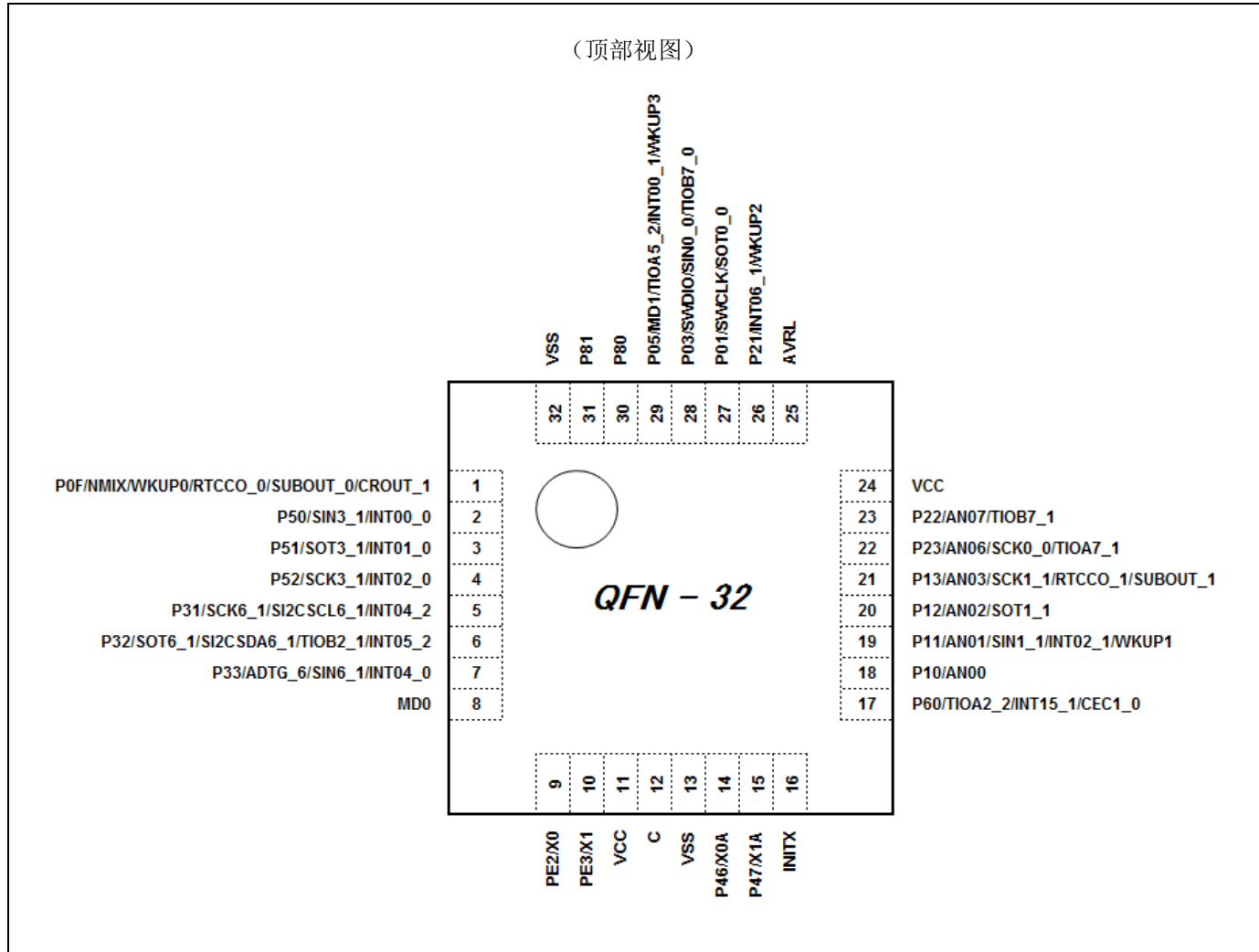
- 引脚名称 (例如 XXX_1 和 XXX_2) 中下划线 (“_”) 后面的数字代表重定位端口号。有多个引脚可为同一通道提供同一功能。使用扩展端口功能寄存器 (EPFR) 选择引脚。

WNY048

注意事项：

- 引脚名称 (例如 XXX_1 和 XXX_2) 中下划线 ("_") 后面的数字代表重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器 (EPFR) 选择引脚。

LQB032

注意事项：

- 引脚名称 (例如 XXX_1 和 XXX_2) 中下划线 ("_") 后面的数字代表重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器 (EPFR) 选择引脚。

WNU032

注意事项：

- 引脚名称 (例如 XXX_1 和 XXX_2) 中下划线 ("_") 后面的数字代表重定位端口号。有多个引脚可为同一通道提供同一功能。使用扩展端口功能寄存器 (EPFR) 选择引脚。

4. 引脚功能一览表

引脚号一览表

引脚名称（例如 XXX_1 和 XXX_2）中下划线 ("_") 后面的数字代表重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器 (EPFR) 选择引脚。

引脚号			引脚名称	电路类型	引脚状态类型
LQFP-64 QFN-64	LQFP-48 QFN-48	LQFP-32 QFN-32			
1	1	2	P50	D	K
			SIN3_1		
			INT00_0		
2	2	3	P51	D	K
			SOT3_1		
			INT01_0		
3	3	4	P52	D	K
			SCK3_1		
			INT02_0		
4	4	-	P53	D	K
			TIOA1_2		
			INT07_2		
5	5	-	P30	D	K
			SCS60_1		
			TIOB0_1		
			INT03_2		
6	6	-	P31	H	K
			SCK6_1		
			SI2CSCL6_1		
			INT04_2		
-	-	5	P31	H	K
			SCK6_1		
			SI2CSCL6_1		
			INT04_2		
7	7	-	P32	H	K
			SOT6_1		
			SI2CSDA6_1		
			TIOB2_1		
			INT05_2		
-	-	6	MI2SDO6_1	H	K
			P32		
			SOT6_1		
			SI2CSDA6_1		
			TIOB2_1		
INT05_2					

引脚号			引脚名称	电路类型	引脚状态类型
LQFP-64 QFN-64	LQFP-48 QFN-48	LQFP-32 QFN-32			
8	8	-	P33	H	K
			ADTG_6		
			SIN6_1		
			INT04_0		
			MI2SDI6_1		
-	-	7	P33	H	K
			ADTG_6		
			SIN6_1		
			INT04_0		
9	-	-	P34	D	K
			SCS61_1		
			TIOB4_1		
			MI2SMCK6_1		
-	9	-	P34	D	K
			SCS61_1		
			MI2SMCK6_1		
10	-	-	P35	D	K
			SCS62_1		
			TIOB5_1		
			INT08_1		
11	-	-	P3A	D	K
			TIOA0_1		
			INT03_0		
			RTCCO_2		
			SUBOUT_2		
			IC1_CIN_0		
-	10	-	P3A	D	K
			TIOA0_1		
			INT03_0		
			RTCCO_2		
			SUBOUT_2		
12	-	-	P3B	D	K
			TIOA1_1		
			IC1_DATA_0		
-	11	-	P3B	D	K
			TIOA1_1		
13	-	-	P3C	D	K
			TIOA2_1		
			IC1_RST_0		
-	12	-	P3C	D	K
			TIOA2_1		
14	-	-	P3D	D	K
			TIOA3_1		
			IC1_VPEN_0		

引脚号			引脚名称	电路类型	引脚状态类型
LQFP-64 QFN-64	LQFP-48 QFN-48	LQFP-32 QFN-32			
15	-	-	P3E	D	K
			TIOA4_1		
			IC1_VCC_0		
16	-	-	P3F	D	K
			TIOA5_1		
			IC1_CLK_0		
17	13	8	MD0	I	F
18	14	9	PE2	A	A
			X0		
19	15	10	PE3	A	B
			X1		
20	-	-	P40	D	K
			TIOA0_0		
			INT12_1		
21	-	-	P41	D	K
			TIOA1_0		
			INT13_1		
22	-	-	P42	D	K
			TIOA2_0		
23	-	-	P43	D	K
			ADTG_7		
			TIOA3_0		
24	-	-	P4C	D	K
			SCK7_1		
			TIOB3_0		
-	16	-	P4C	D	K
			SCK7_1		
25	17	-	P4D	D	K
			SOT7_1		
26	18	-	P4E	D	K
			SIN7_1		
			INT06_2		
27	19	11	VCC	-	-
28	20	12	C	-	-
29	21	13	VSS	-	-
30	22	14	P46	C	C
			X0A		
31	23	15	P47	C	D
			X1A		
32	24	16	INITX	B	E
33	25	17	P60	H	K
			TIOA2_2		
			INT15_1		
			CEC1_0		

引脚号			引脚名称	电路类型	引脚状态类型
LQFP-64 QFN-64	LQFP-48 QFN-48	LQFP-32 QFN-32			
34	-	-	P1E	D	K
			RTS4_1		
			MI2SMCK4_1		
35	-	-	P1D	D	K
			CTS4_1		
			MI2SWS4_1		
36	-	-	P1C	D	K
			SCK4_1		
			MI2SCK4_1		
37	-	-	P1B	D	K
			SOT4_1		
			MI2SDO4_1		
-	26	-	P1B	D	K
38	-	-	SOT4_1	H	K
			P1A		
			SIN4_1		
			INT05_1		
-	27	-	CEC0_0	H	K
			MI2SDI4_1		
			P1A		
			SIN4_1		
39	-	-	INT05_1	D	K
			CEC0_0		
			P1F		
			ADTG_5		
40	28	18	P10	F	J
			AN00		
41	29	19	P11	G	J
			AN01		
			SIN1_1		
			INT02_1		
42	30	20	WKUP1	F	J
			P12		
			AN02		
43	31	21	SOT1_1	F	J
			P13		
			AN03		
			SCK1_1		
			RTCCO_1		
44	32	-	SUBOUT_1	F	J
			P14		
			AN04		
			SIN0_1		
			SCS10_1		
45	33	-	INT03_1	F	J
			P15		
			AN05		
			SOT0_1		
			SCS11_1		

引脚号			引脚名称	电路类型	引脚状态类型
LQFP-64 QFN-64	LQFP-48 QFN-48	LQFP-32 QFN-32			
46	34	22	P23	F	J
			AN06		
			SCK0_0		
			TIOA7_1		
47	35	23	P22	F	J
			AN07		
			TIOB7_1		
48	36	24	VCC	-	-
49	37	-	AVRH *	-	-
50	38	25	AVRL	-	-
51	39	26	P21	E	K
			INT06_1		
			WKUP2		
52	-	-	P00	E	K
			WKUP4		
53	40	27	P01	D	K
			SWCLK		
			SOT0_0		
54	-	-	P02	E	K
			WKUP5		
55	41	28	P03	D	K
			SWDIO		
			SIN0_0		
			TIOB7_0		
56	42	29	P05	E	K
			MD1		
			TIOA5_2		
			INT00_1		
			WKUP3		
57	43	-	VCC	-	-
58	44	30	P80	J	G
59	45	31	P81	J	G
60	46	32	VSS	-	-
61	47	-	P61	H	K
			TIOB2_2		
62	-	-	P0B	E	K
			TIOB6_1		
			WKUP6		
63	-	-	P0C	E	K
			TIOA6_1		
			WKUP7		
64	48	1	POF	E	I
			NMIX		
			WKUP0		
			RTCCO_0		
			SUBOUT_0		
			CROUT_1		

*: *: 32 管脚封装产品的 AVRH 引脚在芯片内部与 VCC 引脚相连封装在一起。

引脚功能一览表

引脚名称（例如 XXX_1 和 XXX_2）中下划线 ("_") 后面的数字代表重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器 (EPFR) 选择引脚。

引脚功能	引脚名称	功能说明	引脚号		
			LQFP-64 QFN-64	LQFP-48 QFN-48	LQFP-32 QFN-32
ADC	ADTG_5	A/D 转换器外部触发输入引脚	39	-	-
	ADTG_6		8	8	7
	ADTG_7		23	-	-
ADC	AN00	A/D 转换器模拟输入引脚。 ANxx 表示 ADC ch.xx。	40	28	18
	AN01		41	29	19
	AN02		42	30	20
	AN03		43	31	21
	AN04		44	32	-
	AN05		45	33	-
	AN06		46	34	22
	AN07		47	35	23
基本定时器 0	TIOA0_0	基本定时器 ch.0 TIOA 引脚	20	-	-
	TIOA0_1		11	10	-
	TIOB0_1	基本定时器 ch.0 TIOB 引脚	5	5	-
基本定时器 1	TIOA1_0	基本定时器 ch.1 TIOA 引脚	21	-	-
	TIOA1_1		12	11	-
	TIOA1_2		4	4	-
基本定时器 2	TIOA2_0	基本定时器 ch.2 TIOA 引脚	22	-	-
	TIOA2_1		13	12	-
	TIOA2_2		33	25	17
	TIOB2_1	基本定时器 ch.2 TIOB 引脚	7	7	6
	TIOB2_2		61	47	-
基本定时器 3	TIOA3_0	基本定时器 ch.3 TIOA 引脚	23	-	-
	TIOA3_1		14	-	-
	TIOB3_0	基本定时器 ch.3 TIOB 引脚	24	-	-
基本定时器 4	TIOA4_1	基本定时器 ch.4 TIOA 引脚	15	-	-
	TIOB4_1	基本定时器 ch.4 TIOB 引脚	9	-	-
基本定时器 5	TIOA5_1	基本定时器 ch.5 TIOA 引脚	16	-	-
	TIOA5_2		56	42	29
	TIOB5_1	基本定时器 ch.5 TIOB 引脚	10	-	-
基本定时器 6	TIOA6_1	基本定时器 ch.6 TIOA 引脚	63	-	-
	TIOB6_1	基本定时器 ch.6 TIOB 引脚	62	-	-
基本定时器 7	TIOA7_1	基本定时器 ch.7 TIOA 引脚	46	34	22
	TIOB7_0	基本定时器 ch.7 TIOB 引脚	55	41	28
	TIOB7_1		47	35	23
调试器	SWCLK	串行线调试接口时钟输入引脚	53	40	27
	SWDIO	串行线调试接口数据输入/输出引脚	55	41	28

引脚功能	引脚名称	功能说明	引脚号		
			LQFP-64 QFN-64	LQFP-48 QFN-48	LQFP-32 QFN-32
外部中断	INT00_0	外部中断请求 00 输入引脚	1	1	2
	INT00_1		56	42	29
	INT01_0	外部中断请求 01 输入引脚	2	2	3
	INT02_0		3	3	4
	INT02_1	外部中断请求 02 输入引脚	41	29	19
	INT03_0		11	10	-
	INT03_1	外部中断请求 03 输入引脚	44	32	-
	INT03_2		5	5	-
	INT04_0	外部中断请求 04 输入引脚	8	8	7
	INT04_2		6	6	5
	INT05_1	外部中断请求 05 输入引脚	38	27	-
	INT05_2		7	7	6
	INT06_1	外部中断请求 06 输入引脚	51	39	26
	INT06_2		26	18	-
	INT07_2	外部中断请求 07 输入引脚	4	4	-
	INT08_1	外部中断请求 08 输入引脚	10	-	-
	INT12_1	外部中断请求 12 输入引脚	20	-	-
INT13_1	外部中断请求 13 输入引脚	21	-	-	
INT15_1	外部中断请求 15 输入引脚	33	25	17	
NMIX	不可屏蔽中断输入引脚	64	48	1	
GPIO	P00	通用 I/O 口 0	52	-	-
	P01		53	40	27
	P02		54	-	-
	P03		55	41	28
	P05		56	42	29
	P0B		62	-	-
	P0C		63	-	-
P0F	64	48	1		
GPIO	P10	通用 I/O 口 1	40	28	18
	P11		41	29	19
	P12		42	30	20
	P13		43	31	21
	P14		44	32	-
	P15		45	33	-
	P1A		38	27	-
	P1B		37	26	-
	P1C		36	-	-
	P1D		35	-	-
	P1E		34	-	-
	P1F		39	-	-
GPIO	P21	通用 I/O 口 2	51	39	26
	P22		47	35	23
	P23		46	34	22

引脚功能	引脚名称	功能说明	引脚号		
			LQFP-64 QFN-64	LQFP-48 QFN-48	LQFP-32 QFN-32
GPIO	P30	通用 I/O 口 3	5	5	-
	P31		6	6	5
	P32		7	7	6
	P33		8	8	7
	P34		9	9	-
	P35		10	-	-
	P3A		11	10	-
	P3B		12	11	-
	P3C		13	12	-
	P3D		14	-	-
	P3E		15	-	-
	P3F		16	-	-
GPIO	P40	通用 I/O 口 4	20	-	-
	P41		21	-	-
	P42		22	-	-
	P43		23	-	-
	P46		30	22	14
	P47		31	23	15
	P4C		24	16	-
	P4D		25	17	-
GPIO	P4E	通用 I/O 口 5	26	18	-
	P50		1	1	2
	P51		2	2	3
	P52		3	3	4
GPIO	P53	通用 I/O 口 6	4	4	-
	P60		33	25	17
GPIO	P61	通用 I/O 口 8	61	47	-
	P80		58	44	30
GPIO	P81	通用 I/O 口 E	59	45	31
	PE2		18	14	9
多功能串口 0	PE3	多功能串口 ch.0 输入引脚	19	15	10
	SIN0_0		55	41	28
	SIN0_1		44	32	-
	SOT0_0 (SDA0_0)		53	40	27
	SOT0_1 (SDA0_1)		45	33	-
SCK0_0 (SCL0_0)	46	34	22		

引脚功能	引脚名称	功能说明	引脚号		
			LQFP-64 QFN-64	LQFP-48 QFN-48	LQFP-32 QFN-32
多功能串口 1	SIN1_1	多功能串口 ch.1 输入引脚	41	29	19
	SOT1_1 (SDA1_1)	多功能串口 ch.1 的输出引脚。 充当 UART/CSIO/LIN 引脚（运行模式 0 ~ 3）时，可用作 SOT1；充当 I ² C 引脚（运行模式 4），可用作 SDA1。	42	30	20
	SCK1_1 (SCL1_1)	多功能串口 ch.1 的时钟 I/O 引脚。 充当 CSIO 引脚（运行模式 2）时，可用作 SCK1；充当 I ² C 引脚（运行模式 4），可用作 SCL1。	43	31	21
	SCS10_1	多功能串口 ch.1 串行芯片选择 0 输入/输出引脚。	44	32	-
	SCS11_1	多功能串口 ch.1 串行芯片选择 1 输出引脚。	45	33	-
多功能串口 3	SIN3_1	多功能串口 ch.3 输入引脚	1	1	2
	SOT3_1 (SDA3_1)	多功能串口 ch.3 的输出引脚。 充当 UART/CSIO/LIN 引脚（运行模式 0 ~ 3）时，可用作 SOT3；充当 I ² C 引脚（运行模式 4），可用作 SDA3。	2	2	3
	SCK3_1 (SCL3_1)	多功能串口 ch.3 的时钟 I/O 引脚。 充当 CSIO 引脚（运行模式 2）时，可用作 SCK3；充当 I ² C 引脚（运行模式 4），可用作 SCL3。	3	3	4

引脚功能	引脚名称	功能说明	引脚号		
			LQFP-64 QFN-64	LQFP-48 QFN-48	LQFP-32 QFN-32
多功能串口 4	SIN4_1	多功能串口 ch.4 输入引脚	38	27	-
	SOT4_1 (SDA4_1)	多功能串口 ch.4 的输出引脚。 充当 UART/CSIO/LIN 引脚（运行模式 0 ~ 3）时，可用作 SOT4；充当 I ² C 引脚（运行模式 4），可用作 SDA4。	37	26	-
	SCK4_1 (SCL4_1)	多功能串口 ch.4 的时钟 I/O 引脚。 充当 CSIO 引脚（运行模式 2）时，可用作 SCK4；充当 I ² C 引脚（运行模式 4），可用作 SCL4。	36	-	-
	CTS4_1	多功能串口 ch4 CTS 输入引脚	35	-	-
	RTS4_1	多功能串口 ch4 RTS 输出引脚	34	-	-
多功能串口 6	SIN6_1	多功能串口 ch.6 输入引脚	8	8	7
	SOT6_1 (SDA6_1)	多功能串口 ch.6 的输出引脚。 充当 UART/CSIO/LIN 引脚（运行模式 0 ~ 3）时，可用作 SOT6；充当 I ² C 引脚（运行模式 4），可用作 SDA6。 充当 I ² S 引脚（运行模式 2）时，SOT6_1 引脚可用作 MI2SDO6_1。	7	7	6
	SCK6_1 (SCL6_1)	多功能串口 ch.6 的时钟 I/O 引脚。 充当 CSIO 引脚（运行模式 2）时，可用作 SCK6；充当 I ² C 引脚（运行模式 4），可用作 SCL6。	6	6	5
	SCS60_1	多功能串口 ch.6 串行芯片选择 0 输入/输出引脚。	5	5	-
	SCS61_1	多功能串口 ch.6 串行芯片选择 1 输出引脚。	9	9	-
	SCS62_1	多功能串口 ch.6 串行芯片选择 2 输出引脚。	10	-	-
多功能串口 7	SIN7_1	多功能串口 ch.7 输入引脚	26	18	-
	SOT7_1 (SDA7_1)	多功能串口 ch.7 的输出引脚。 充当 UART/CSIO/LIN 引脚（运行模式 0 ~ 3）时，可用作 SOT7；充当 I ² C 引脚（运行模式 4），可用作 SDA7。	25	17	-
	SCK7_1 (SCL7_1)	多功能串口 ch.7 的时钟 I/O 引脚。 充当 CSIO 引脚（运行模式 2）时，可用作 SCK7；充当 I ² C 引脚（运行模式 4），可用作 SCL7。	24	16	-

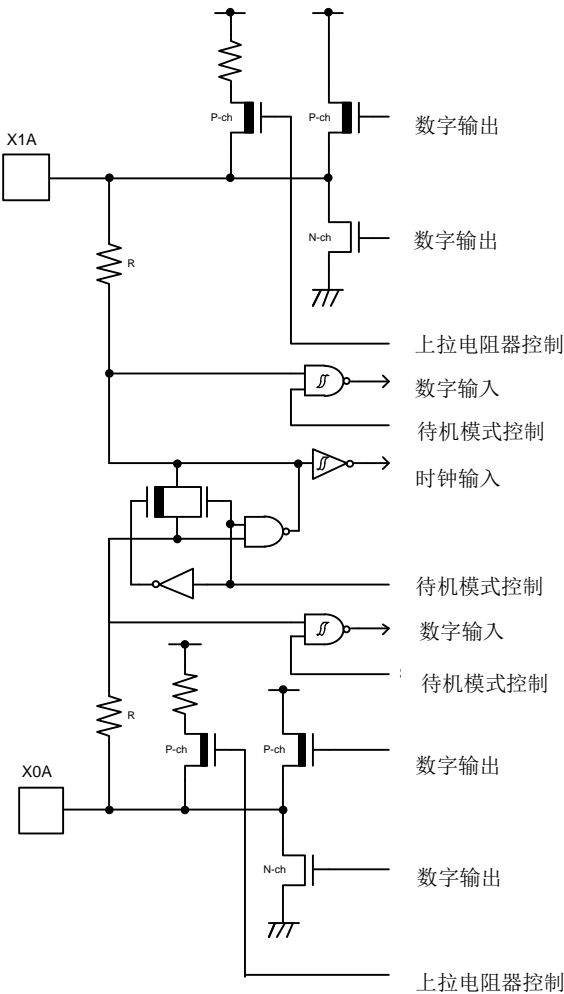
引脚功能	引脚名称	功能说明	引脚号		
			LQFP-64 QFN-64	LQFP-48 QFN-48	LQFP-32 QFN-32
I2S(多功能串口)	MI2SDI4_1	I2S 串行数据输入引脚 (操作模式 2).	38	-	-
	MI2SDO4_1	I2S 串行数据输出引脚(操作模式 2).	37	-	-
	MI2SCK4_1	I2S 串行时钟输出引脚(操作模式 2).	36	-	-
	MI2SWS4_1	I2S 字选择输出引脚 (操作模式 2).	35	-	-
	MI2SMCK4_1	I2S 主机时钟输入/输出引脚 (操作模式 2).	34	-	-
	MI2SDI6_1	I2S 串行数据输入引脚(操作模式 2).	8	8	-
	MI2SDO6_1	I2S 串行数据输出引脚(操作模式 2).	7	7	-
	MI2SCK6_1	I2S 串行时钟输出引脚(操作模式 2).	6	6	-
	MI2SWS6_1	I2S 字选择输出引脚(操作模式 2).	5	5	-
	MI2SMCK6_1	I2S 主机时钟输入/输出引脚(操作模式 2).	9	9	-
智能卡接口	IC1_CIN_0	智能卡插入检测输出引脚	11	-	-
	IC1_CLK_0	智能卡串口时钟输出引脚	16	-	-
	IC1_DATA_0	智能卡串口数据输入/输出引脚	12	-	-
	IC1_RST_0	智能卡复位输出引脚	13	-	-
	IC1_VCC_0	智能卡电源使能输出引脚	15	-	-
	IC1_VPEN_0	智能卡编程输出引脚	14	-	-
实时时钟	RTCCO_0	实时时钟的 0.5 秒脉冲输出引脚	64	48	1
	RTCCO_1		43	31	21
	RTCCO_2		11	10	-
	SUBOUT_0	副时钟输出引脚	64	48	1
	SUBOUT_1		43	31	21
	SUBOUT_2		11	10	-
HDMI-CEC//遥控接收	CEC0_0	HDMI-CEC/遥控接收 ch.0 输入/输出引脚	38	27	-
	CEC1_0	HDMI-CEC/遥控接收 ch.1 输入/输出引脚	33	25	17

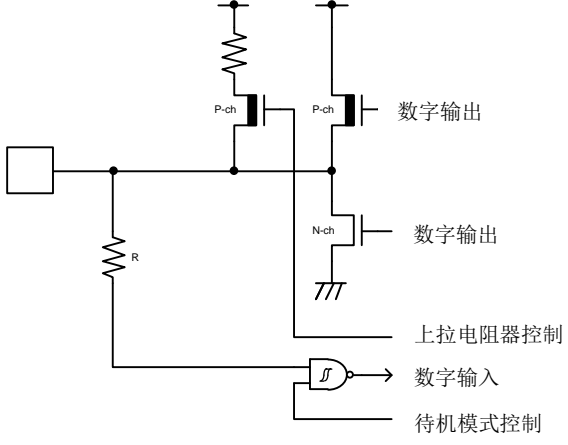
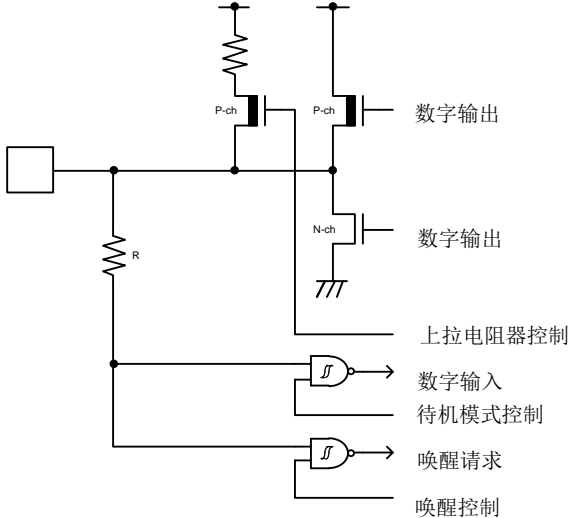
引脚功能	引脚名称	功能说明	引脚号		
			LQFP-64 QFN-64	LQFP-48 QFN-48	LQFP-32 QFN-32
低功耗模式	WKUP0	深度待机模式唤醒信号输入引脚 0	64	48	1
	WKUP1	深度待机模式唤醒信号输入引脚 1	41	29	19
	WKUP2	深度待机模式唤醒信号输入引脚 2	51	39	26
	WKUP3	深度待机模式唤醒信号输入引脚 3	56	42	29
	WKUP4	深度待机模式唤醒信号输入引脚 4	52	-	-
	WKUP5	深度待机模式唤醒信号输入引脚 5	54	-	-
	WKUP6	深度待机模式唤醒信号输入引脚 6	62	-	-
	WKUP7	深度待机模式唤醒信号输入引脚 7	63	-	-
I2C 从机	SI2CSCL6_1	I2C 时钟引脚	6	6	5
	SI2CSDA6_1	I2C 数据引脚	7	7	6
复位	INITX	外部复位输入引脚。 INITX="L" 时, 复位有效。	32	24	16
模式	MD0	模式 0 引脚。 正常工作时, 须输入 MD0 = "L"。闪存串 行编程时, 须输入 MD0 = "H"。	17	13	8
	MD1	模式 1 引脚。 正常工作时, 不需要输入。 闪存串行编程时, 须输入 MD1 = "L"。	56	42	29
时钟	X0	主时钟(振荡)输入引脚	18	14	9
	X0A	副时钟(振荡)输入引脚	30	22	14
	X1	主时钟(振荡) I/O 引脚	19	15	10
	X1A	副时钟(振荡) I/O 引脚	31	23	15
	CROUT_1	高速内置 CR 振荡时钟输出口	64	48	1
电源	VCC	电源引脚	27	19	11
	VCC		48	36	24
	VCC		57	43	-
地	VSS	地引脚	29	21	13
	VSS		60	46	32
模拟基准电源	AVRH *	A/D 转换器的模拟基准高电压输入引脚	49	37	-
	AVRL	A/D 转换器的模拟基准低电压输入引脚	50	38	25
C 引脚	C	电源稳定电容引脚	28	20	12

*: 32 管脚封装产品的 AVRH 引脚在芯片内部与 VCC 引脚相连封装在一起。

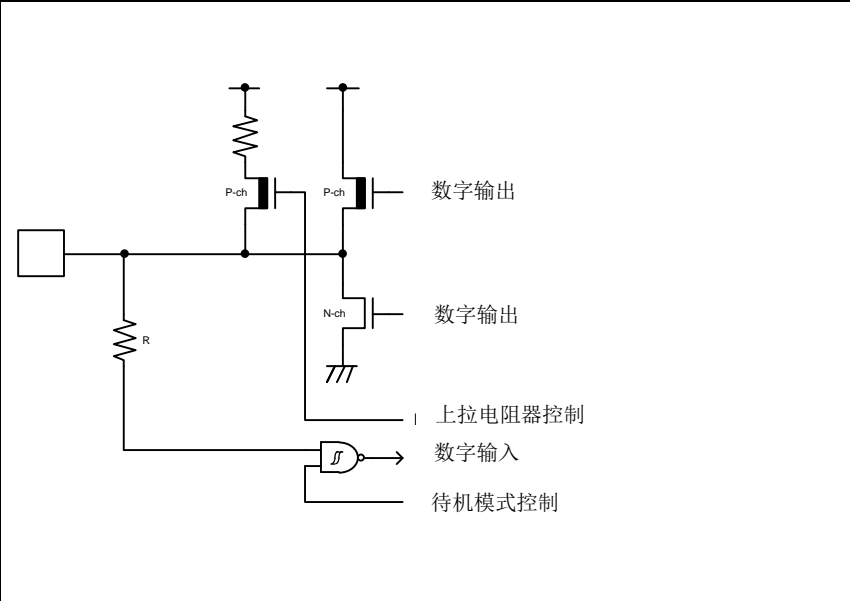
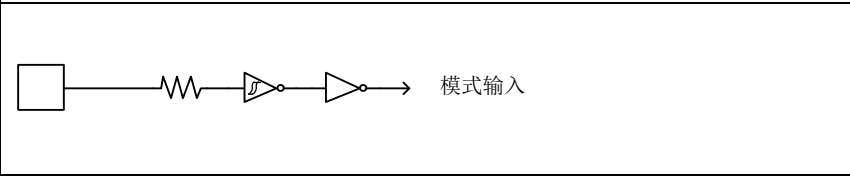
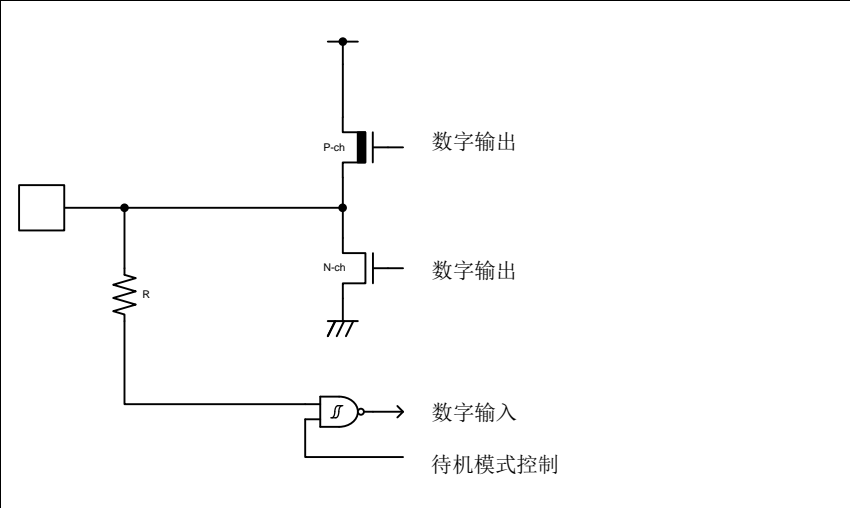
5. I/O 电路类型

Type	Circuit	Remarks
A		<p>可选择为主振荡时钟/ GPIO 功能</p> <p>选择主振荡时钟功能时</p> <ul style="list-style-type: none"> • 振荡反馈电阻: 约 1 MΩ • 带待机模式控制 <p>用作 GPIO 时</p> <ul style="list-style-type: none"> • CMOS 电平输出 • CMOS 电平迟滞输入 • 带上拉电阻控制 • 带待机模式控制 • 上拉电阻: 约 33 kΩ <p>$I_{OH} = -4\text{mA}$, $I_{OL} = 4\text{mA}$</p>
B		<ul style="list-style-type: none"> • CMOS 电平迟滞输入 • 上拉电阻: 约 33 kΩ

Type	Circuit	Remarks
C	 <p>数字输出</p> <p>数字输出</p> <p>上拉电阻器控制</p> <p>数字输入</p> <p>待机模式控制</p> <p>时钟输入</p> <p>待机模式控制</p> <p>数字输入</p> <p>待机模式控制</p> <p>数字输出</p> <p>数字输出</p> <p>上拉电阻器控制</p>	<p>可选择为主振荡时钟/ GPIO 功能</p> <p>选择主振荡时钟功能时</p> <ul style="list-style-type: none"> • 振荡反馈电阻: 约 5 MΩ • 带待机模式控制 <p>用作 GPIO 时</p> <ul style="list-style-type: none"> • CMOS 电平输出 • CMOS 电平迟滞输入 • 带上拉电阻控制 • 带待机模式控制 • 上拉电阻: 约 33 kΩ <p>$I_{OH} = -4\text{mA}$, $I_{OL} = 4\text{mA}$</p>

Type	Circuit	Remarks
D		<ul style="list-style-type: none"> • CMOS 电平输出 • CMOS 电平迟滞输入 • 带上拉电阻控制 • 带待机模式控制 • 上拉电阻: 约 33 kΩ • 当用作 I²C 引脚时, 数字输出 P-ch 晶体管始终处于关闭状态 <p>$I_{OH} = -4 \text{ mA}, I_{OL} = 4 \text{ mA}$</p>
E		<ul style="list-style-type: none"> • CMOS 电平输出 • CMOS 电平迟滞输入 • 带上拉电阻控制 • 带待机模式控制 • 上拉电阻: 约 33 kΩ • 当用作 I²C 引脚时, 数字输出 P-ch 晶体管始终处于关闭状态 <p>$I_{OH} = -4 \text{ mA}, I_{OL} = 4 \text{ mA}$</p>

Type	Circuit	Remarks
F	<p>数字输出 数字输出 数字输出 上拉电阻器控制 数字输入 待机模式控制 模拟输入 输入控制</p>	<ul style="list-style-type: none"> • CMOS 电平输出 • CMOS 电平迟滞输入 • 带输入控制 • 模拟输入 • 带上拉电阻控制 • 带待机模式控制 • 上拉电阻: 约 33 kΩ • 当用作 I²C 引脚时, 数字输出 P-ch 晶体管始终处于关闭状态 <p>$I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$</p>
G	<p>数字输出 数字输出 数字输出 上拉电阻器控制 数字输入 待机模式控制 唤醒请求 唤醒控制 模拟输入 输入控制</p>	<ul style="list-style-type: none"> • CMOS 电平输出 • CMOS 电平迟滞输入 • 带输入控制 • 模拟输入 • 带上拉电阻控制 • 带待机模式控制 • 上拉电阻: 约 33 kΩ • 当用作 I²C 引脚时, 数字输出 P-ch 晶体管始终处于关闭状态 <p>$I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$</p>

Type	Circuit	Remarks
H		<ul style="list-style-type: none"> • CMOS 电平输出 • CMOS 电平迟滞输入 • 耐 5 V • 带上拉电阻控制 • 带待机模式控制 • 上拉电阻: 约 33 kΩ • 可使用 PZR 寄存器控制 • 当用作 I²C 引脚时, 数字输出 P-ch 晶体管始终处于关闭状态 <p>$I_{OH} = -4 \text{ mA}, I_{OL} = 4 \text{ mA}$</p>
I		<ul style="list-style-type: none"> • CMOS 电平迟滞输入
J		<ul style="list-style-type: none"> • CMOS 电平输出 • CMOS 电平迟滞输入 • 带待机模式控制

6. 芯片处理注意事项

半导体芯片存在一定的故障发生概率。半导体芯片的故障率很大程度受使用条件(电路条件、环境条件等)的影响。使用 Cypress 半导体芯片时遵守下列注意事项,可降低故障概率并提高产品可靠性。

6.1 产品设计注意事项

本部分介绍使用半导体芯片进行电子产品设计时的注意事项。

遵守绝对最大额定值

施加超过绝对最大额定值的负荷(电压、电流、温度等)可能会永久损坏半导体芯片。因此,注意不可超过这些额定值。

遵守推荐工作条件

遵守推荐工作条件可以保证半导体芯片的正常动作。在推荐工作条件下可以保证芯片的电气特性。

请始终在符合推荐工作条件的状态下使用。不符合条件的使用可能会影响芯片的可靠性并导致芯片故障。

Cypress 不保证“数据手册”上没有记载的用途、使用条件的组合。用户在“数据手册”未记载的条件下使用时,请事先与销售部门联系。

引脚的处理与保护

处理连接半导体芯片上的电源引脚及 I/O 引脚时,须注意以下事项。

(1) 过电压、过电流的防止

各引脚上施加超过最大额定值的电压、电流会损伤芯片内部,在极端情况下甚至会永久损坏芯片。设计产品时,请防止产生过电压、过电流。

(2) 输出引脚的保护

输出引脚与电源引脚或者其它输出引脚短路或连接大电容负载会产生大的电流。长时间保持这种连接状态会损坏芯片。

因此不要进行此类连接。

(3) 未用输入引脚的处理

在悬空状态下的输入引脚的高阻态,可能会影响操作的稳定性。请使用合适的电阻连接到电源引脚或接地引脚。

闩锁

半导体芯片是由衬底上的 P 型区和 N 型区构成的。外部异常电压增加时,内部寄生 PNP 结(晶闸管构造)导通后,增加的数百 mA 的大电流可能会流至电源引脚。这就是闩锁。

注意:这一现象不仅会降低芯片的可靠性,还有引起发热、冒烟和起火的危险。为避免以上现象发生,应该注意以下几点:

(1) 不可在引脚上施加超过最大绝对额定的电压。注意异常噪声和电涌等。

(2) 上电过程中,不要流入异常电流。

遵守安全法规和标准

世界各国提供了诸如安全和地磁干扰等的规章制度和标准。客户进行产品设计时请遵守这些规章制度和标准。

故障及安全设计

半导体芯片存在一定的故障发生概率。请用户对芯片和设备采取冗余设计、防火设计、防止过电流设计、防误动作设计等安全设计措施,保证即使在设备发生故障的情况下,也不会造成人身伤害、火灾和社会损失。

芯片使用注意事项

Cypress 半导体芯片旨在用于标准应用领域(计算机、办公自动化及其他办公设备、工业、通讯、及测量设备、个人或家用设备等)。

注意:用户考虑在特定应用领域中使用本产品时,即故障或异常操作可能直接影响公众生活或造成人身伤害或财产损失或者需要极高可靠性的应用领域(比如航空航天系统、原子能控制、海底中继器,车辆运行监控、医用维系生命系统),应在使用前,咨询销售部门。在未得事先批准的情况下进行使用造成的损失,本公司概不承担任何责任。

6.2 封装焊接注意事项

封装焊接分为直插型和表贴型。对这两类封装,仅在符合 Cypress 推荐热阻条件下进行焊接。有关封装条件的详情,请咨询销售部门。

直插型

在印刷电路板上直接进行直插型焊接有两种方法:在印刷电路板上直接焊接和使用插座进行连接。

直接在印刷电路板上焊接：锡膏刷入印刷电路板的通孔后，一般使用波峰焊接方法。这种情况下进行焊接时，有超过最大保存温度的风险。焊接过程应符合 Cypress 推荐的工作条件。

使用插座时：插座触点的表面材料和 IC 的引脚材料不同时，长时间使用后就可能发生接触不良的现象。建议用户使用前确认此时的插座触点和 IC 引脚的状态。

表贴型

与直插型封装比较，表贴型封装的引脚更长更薄，容易弯曲变形。焊接时，多引脚、窄间距的封装更容易发生开路（由于引脚变形）和短路（由于连焊）。

请采用合适的焊接技术。Cypress 推荐使用回流焊接方法。用户请按照 Cypress 推荐的工作条件焊接。

无引脚封装

注意：使用 Sn-Pb 共晶焊料进行球栅阵列 (BGA) 封装的 Sn-Ag-Cu 球型引脚焊接时，需注意因使用状况引起的接合强度变低现象。

半导体芯片的保管

塑料封装使用树脂材料，在自然环境下放置容易变潮。变潮后的封装在焊接前需要进行干燥处理，可能会产生由于表面剥离而降低耐湿性或者封装产生裂痕的现象。请注意以下几点：

- (1) 保管场所的气温急剧变化会引起产品上面结露。请在温度变化低的场所保管产品。
- (2) 推荐使用干燥箱保管产品。保管在相对湿度的 70% 以下，温度为 5°C ~ 30°C。干燥的封装开封时，推荐湿度为相对湿度的 40% ~ 70%。
- (3) Cypress 的半导体芯片使用防潮性高的铝质网状包装袋，并使用硅胶作为干燥剂。半导体芯片放入铝质网袋密封保管。
- (4) 避免在腐蚀性气体充溢和灰尘弥漫的场所保管产品。

烘烤

变潮后的封装通过烘烤（加热干燥）可进行除湿。烘烤时，请在 Cypress 推荐的条件下进行。

条件：125°C/24 h

静电

静电容易破坏半导体芯片，请注意以下几点：

- (1) 工作环境的相对湿度应保持在 40% ~ 70%。必要时考虑使用除静电装置（离子发生器）。
- (2) 使用的传输带、沾锡槽、焊烙铁及周围附加设备接地。
- (3) 防止戒指或手镯通过高电阻（1 MΩ 左右）接地所产生的人体静电。
穿着导电性好的衣服鞋子，铺设导电垫，这些措施可使冲击荷载降到最小程度。
- (4) 请将夹具及计量类仪器仪表接地或者进行防静电处理。
- (5) 基板组装完毕进行收纳时，避免使用发泡胶等容易带电的材料。

6.3 使用环境注意事项

半导体芯片的可靠性依赖于前述的周围温度及环境条件。

为了可靠使用，请注意以下几点：

(1) 湿度环境

长期在高湿度环境下使用可引起芯片以及印刷电路板的漏电等问题。如果预料到芯片会放置到高湿度环境，请考虑进行防潮处理。

(2) 静电放电

半导体芯片靠近高压带电物体时，可能因放电产生误动作。这种情况下请进行防静电等处理以防产生放电。

(3) 腐蚀性气体、尘埃、油

在腐蚀性气雾、大气尘埃和油附着的状态下使用芯片，引起的化学反应可能对芯片产生不良影响。在这样的环境下使用时，请采取预防措施。

(4) 宇宙射线等射线及

一般芯片设计时并不可暴露于有放射线和宇宙射线的环境。因此，若要在这样的环境下使用，请做好防护。

(5) 冒烟及起火

注意：塑封芯片具有可燃性，因此注意不可以靠近易燃物。芯片冒烟或起火时可能产生有毒气体。

用户考虑在其它特殊环境下使用 Cypress 产品时，请咨询销售部门。

7. 芯片使用注意事项

电源引脚

若产品有多个 VCC、VSS 引脚，为防止因闩锁等产生误动作，芯片内同一电位上的引脚已经相互连接；然而为了防止因额外的电磁辐射或者地电位的上升致使选通信号发生误动作，请务必把这些引脚与外部电源或地线连接，以符合总额定输出电流。

另外，使用尽可能低的电阻连接电流源和本芯片的各电源引脚及 GND 引脚。此外，推荐在本芯片附近各电源引脚和 GND 引脚之间，以及 AVRH 和 AVRL 之间连接一个约 0.1 μF 的陶瓷电容器作为旁路电容。

稳定电源电压

电源电压急速波动时，即使波动在 VCC 电源电压推荐的工作条件范围之内，也可能产生误动作。通常，应保持电压稳定，抑制电压波动，这样在工业用电频率 (50 Hz/60 Hz) 下在 VCC 范围 (峰值到峰值) 内的波动不会超过推荐工作条件所示的 VCC 值的 10%，且在切换电源时产生瞬时波动时，瞬时波动率不会超过 0.1 V/ μs 。

晶振电路

X0/X1 和 X0A/X1A 引脚附近的噪声可导致芯片出现误动作。在设计印刷电路板布线时，X0/X1 引脚、X0A/X1A 引脚、晶振及至地线的旁路电容距离芯片要尽可能的近。

强烈建议在设计印刷电路板布线时地线应环绕 X0/X1 和 X0A/X1A 引脚，这样印刷电路板才能够稳定工作。

通过安装板评估要使用的晶振。

副晶振

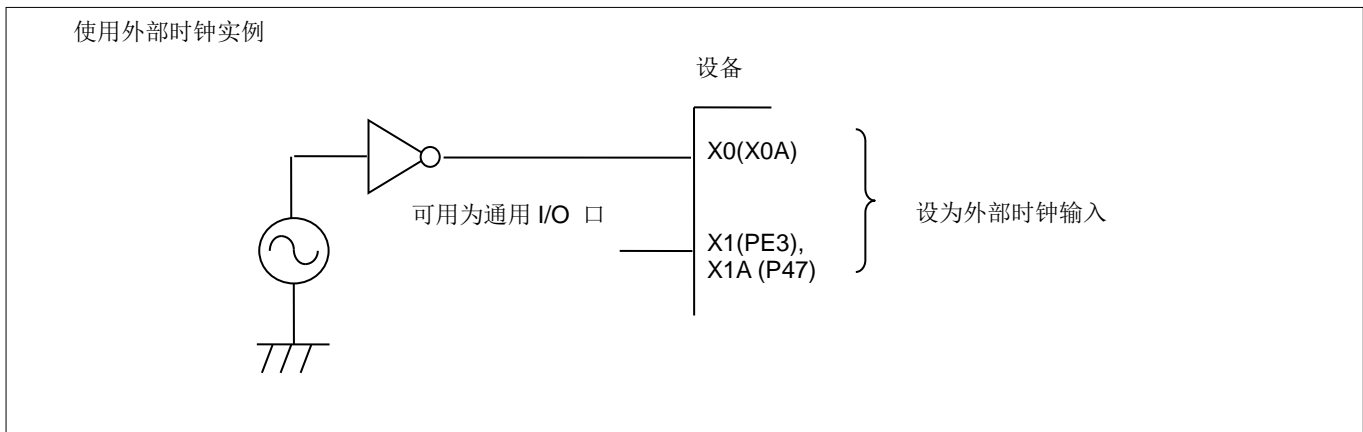
本系列副振荡电路增益较低，保持低电流消耗。推荐使用满足以下条件的副晶振，以稳定振荡。

- 表贴型
 - 尺寸：超过 3.2mm × 1.5mm
 - 负载电容：约 6pF ~ 7pF
- 直插型
 - 负载电容：约 6pF ~ 7pF

外部时钟使用注意事项

使用外部时钟作为主时钟信号输入时，可将 X0/X1 设为外部时钟输入，并输入时钟至 X0。X1(PE3)可用作通用 I/O 口。同样，使用外部时钟作为副时钟输入时，可将 X0A/X1A 设为外部时钟输入，并输入时钟至 X0A。X1A (P47)可用作通用 I/O 口。

但是在深度待机模式下，副时钟不能使用外部时钟输入。



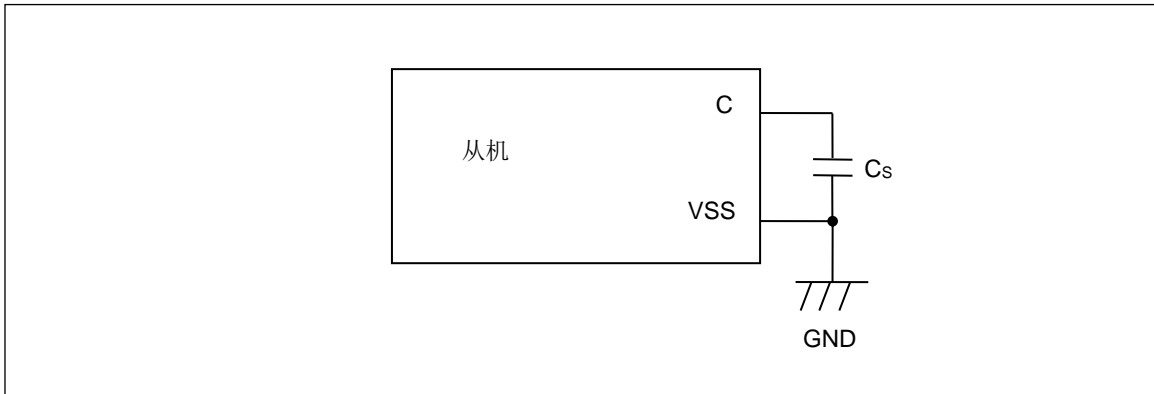
多功能串口引脚用作 I²C 引脚时的注意事项

如果多功能串口引脚用作 I²C 引脚，数字输出 P-ch 晶体管始终处于禁止状态。但是，I²C 引脚需要如其它引脚一样保持电气特性，断电后不能与外部 I²C 总线系统连接。

C 引脚

本系列内置 regulator。C 引脚和 GND 引脚之间务必连接滤波电容。请使用陶瓷电容或频率特性相当的电容作为滤波电容。然而，一些多层陶瓷电容容易因热起伏出现电容变化（F 特性和 Y5V 特性）。请通过评估电容的温度特性，选择满足工作条件的电容。本系列推荐使用约 4.7μF 的滤波电容。

另外，C 引脚在深度待机模式下会成为浮空态。



模式引脚 (MD0)

MD 引脚 (MD0) 直接与 VCC 引脚或 VSS 引脚连接。为防止芯片由于模式引脚上的噪声而意外进入测试模式，设计电路板时上拉/下拉使用的电阻值尽量小一些，尽可能地缩短模式引脚到 VCC 引脚或 VSS 引脚的距离，最好用低阻抗连结。

上电注意事项

同时开关电源或按照以下顺序开关电源。

Turning on : VCC →AVRH
 Turning off : AVRH →VCC

串行通信

串行通信时受噪声或其他因素影响可能接收到不正确的数据。

因此，请设计能降噪的印刷电路板。

考虑到受噪声影响而接收到不正确的数据，应在数据末尾添加数据校验等错误检测措施。检测出错误后，重新发送数据。

不同容量的存储器产品间及闪存产品和 MASK 产品之间的特性差异

因为芯片布局布线和存储器构造的差异，不同容量的存储器产品间及闪存产品和 MASK 产品之间的电气特性（功耗、ESD、门锁、噪声特性、振荡特性等）也不同。

用户要使用同一系列的其它产品取代时，须评估其电气特性。

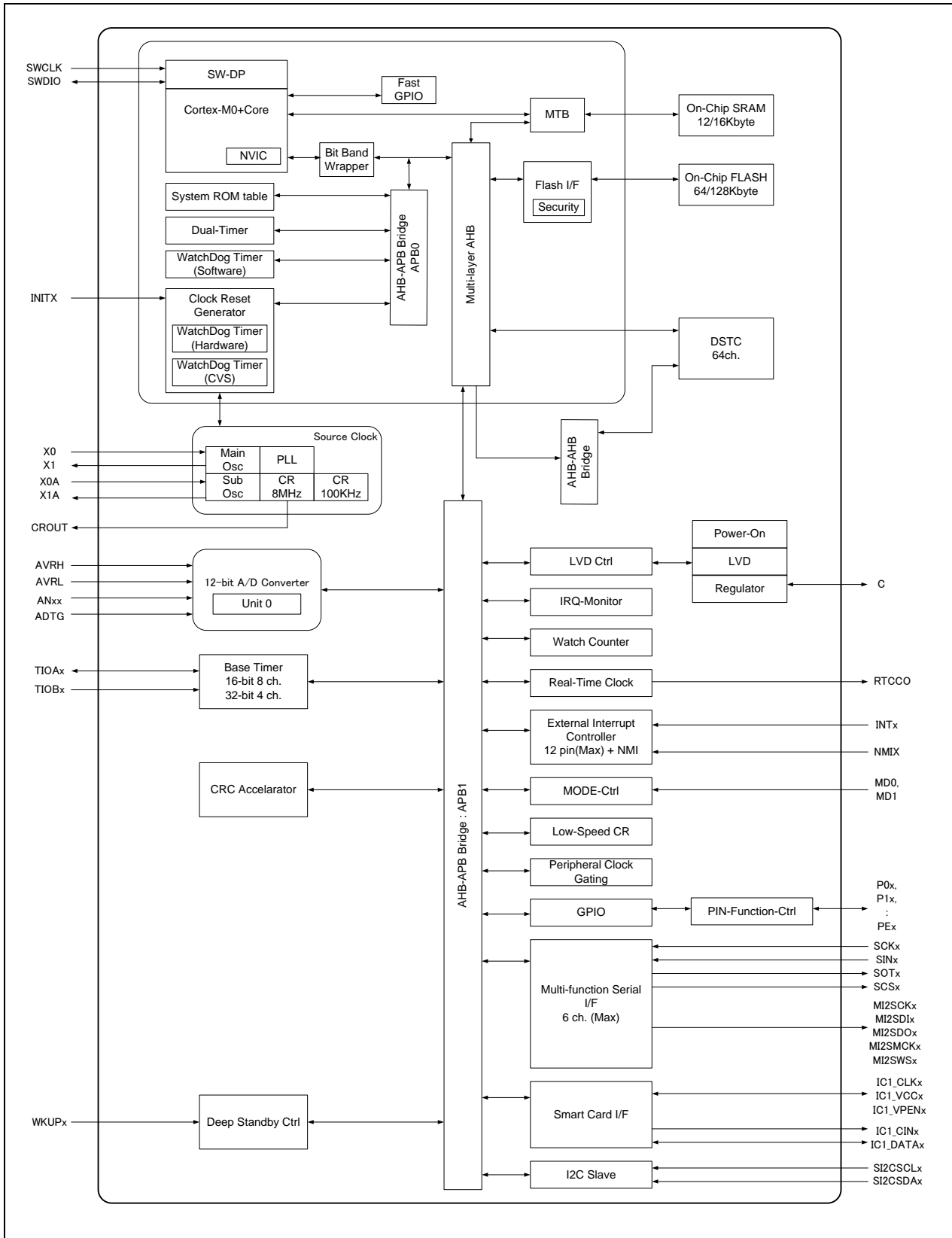
耐 5V I/O 的上拉功能

使用耐 5V I/O 上拉功能时，不得输入超过 VCC 电压的信号。

使用调试引脚时的注意事项

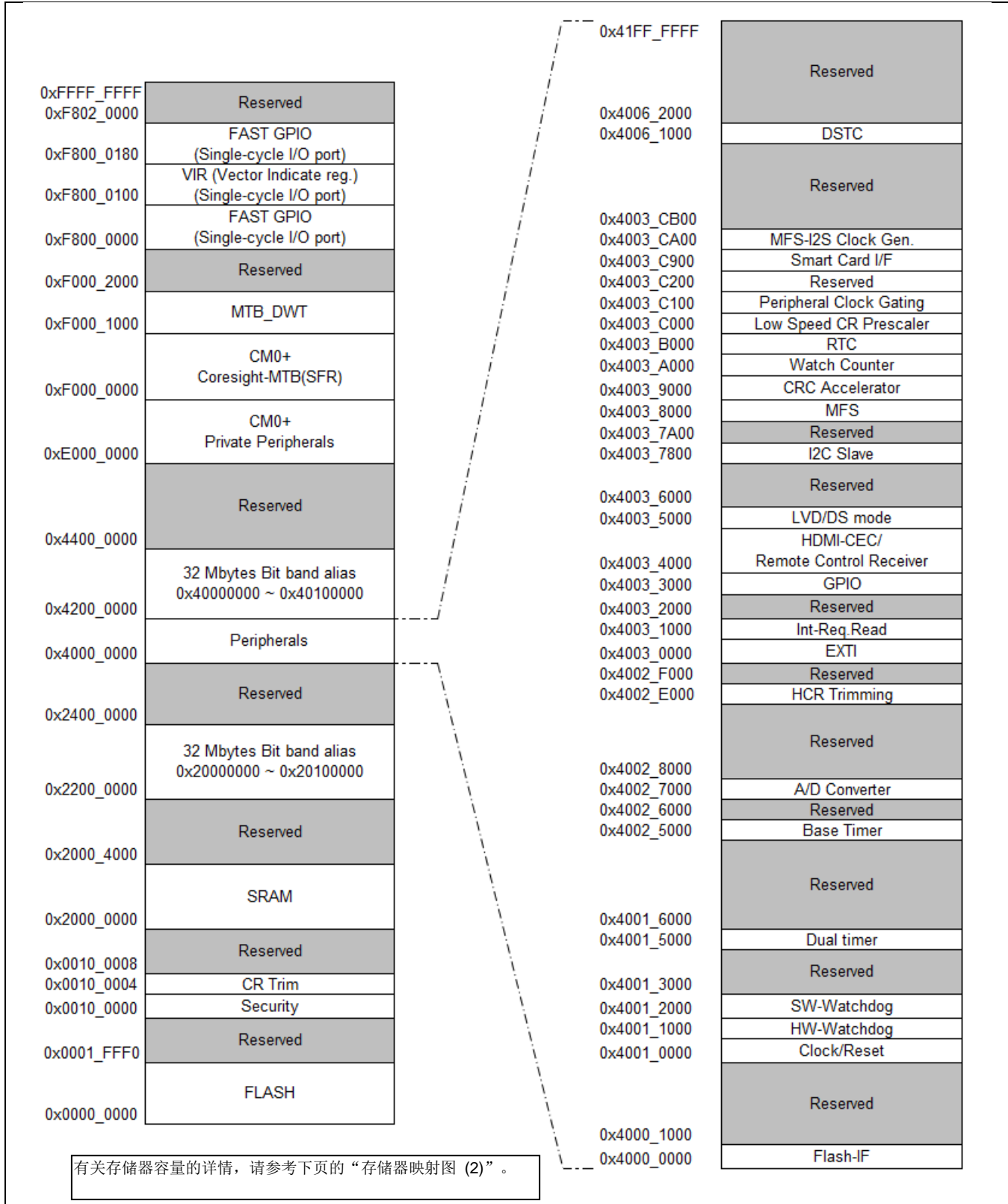
将调试引脚 (SWDIO/SWCLK) 设为 GPIO 或其他外设功能时，仅可设置成输出状态，不得设置成输入。

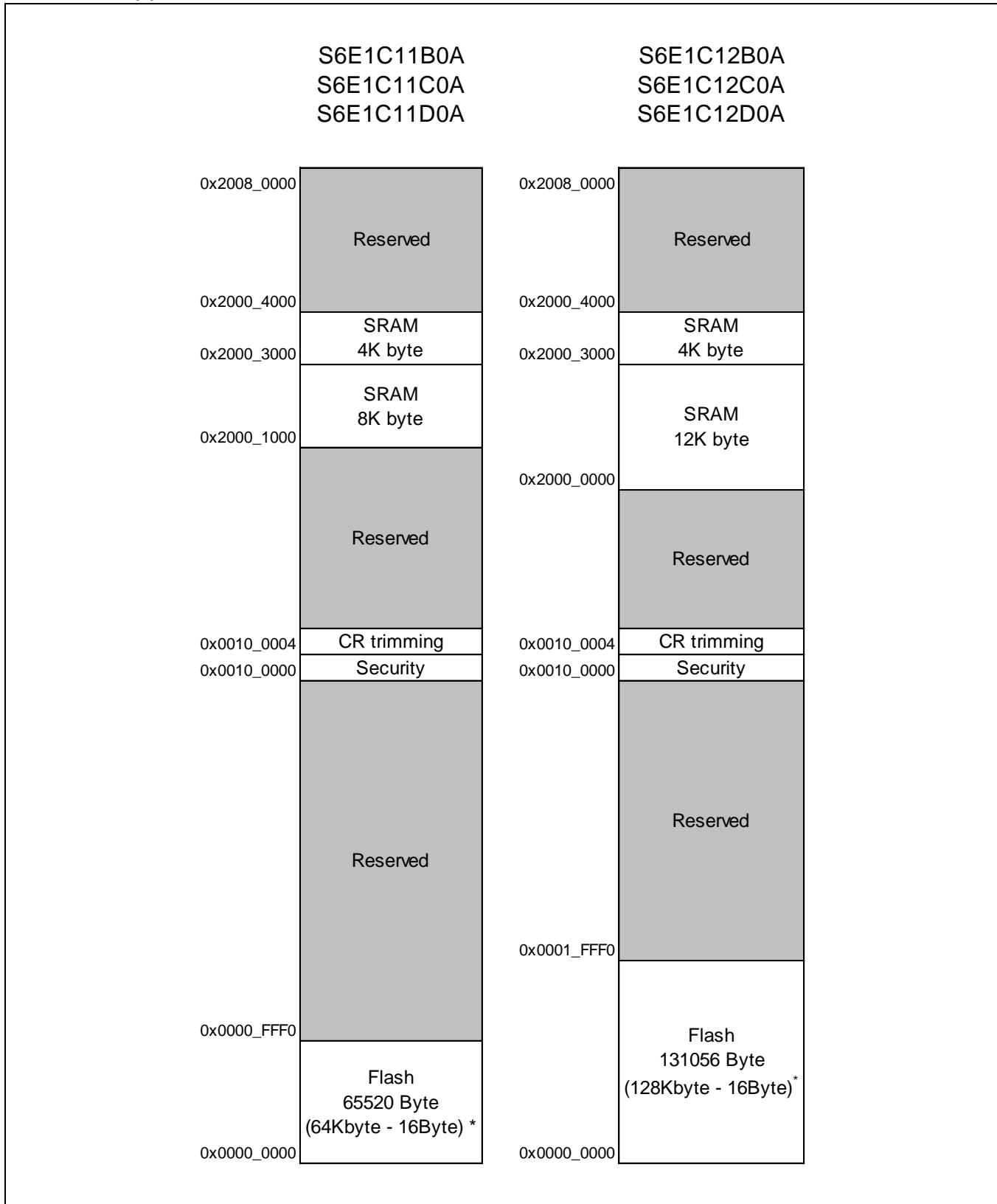
8. 框图



9. 存储器映射

存储器映射图 (1)



存储器映射图 (2)


*: 有关闪存的详情, 参见“S6E1C1/C3 系列闪存编程手册”。

外设功能地址映射

Start address	End address	Bus	Peripheral	
0x4000_0000	0x4000_0FFF	AHB	闪存 I/F 寄存器	
0x4000_1000	0x4000_FFFF		保留	
0x4001_0000	0x4001_0FFF	APB0	时钟/复位控制	
0x4001_1000	0x4001_1FFF		硬件监视定时器	
0x4001_2000	0x4001_2FFF		软件监视定时器	
0x4001_3000	0x4001_4FFF		保留	
0x4001_5000	0x4001_5FFF		双定时器	
0x4001_6000	0x4001_FFFF		保留	
0x4002_0000	0x4002_0FFF		保留	
0x4002_1000	0x4002_3FFF		保留	
0x4002_4000	0x4002_4FFF	保留		
0x4002_5000	0x4002_5FFF	基本定时器		
0x4002_6000	0x4002_6FFF	保留		
0x4002_7000	0x4002_7FFF	A/D 转换器		
0x4002_8000	0x4002_DFFF	保留		
0x4002_E000	0x4002_EFFF	内置 CR 调节		
0x4002_F000	0x4002_FFFF	保留		
0x4003_0000	0x4003_0FFF	APB1	外部中断控制器	
0x4003_1000	0x4003_1FFF		中断请求批量读取功能	
0x4003_2000	0x4003_2FFF		保留	
0x4003_3000	0x4003_3FFF		GPIO	
0x4003_4000	0x4003_4FFF		HDMI-CEC/遥控接收器	
0x4003_5000	0x4003_5FFF		低压检测/ DS 模式/ Vref 校准	
0x4003_6000	0x4003_6FFF		保留	
0x4003_7000	0x4003_77FF		保留	
0x4003_7800	0x4003_79FF		I2C 从机	
0x4003_7A00	0x4003_7FFF		保留	
0x4003_8000	0x4003_8FFF		多功能串口	
0x4003_9000	0x4003_9FFF		CRC	
0x4003_A000	0x4003_AFFF		计时计数器	
0x4003_B000	0x4003_BFFF		实时时钟	
0x4003_C000	0x4003_C0FF		低速 CR 预定标器	
0x4003_C100	0x4003_C7FF		外设门控时钟	
0x4003_C800	0x4003_C8FF		保留	
0x4003_C900	0x4003_C9FF		智能卡接口	
0x4003_CA00	0x4003_CAFF		多功能串口-I2S 时钟发生器	
0x4003_CB00	0x4003_FFFF		保留	
0x4004_0000	0x4004_FFFF		AHB	保留
0x4005_0000	0x4006_0FFF			保留
0x4006_1000	0x4006_1FFF			DSTC
0x4006_2000	0x41FF_FFFF			保留

10. 各 CPU 状态下的引脚状态

引脚状态术语释义如下。

类型	所选引脚的功能		CPU 状态							
			(1)	(2)	(3)	(4)	(5)	(6)	(7)	(8)
A	主晶振电路 *1	主晶振电路	OS	OS	OE	OE	OE	OS	OS	OS
	数字 I/O *2	主时钟外部输入	-	-	IE/IS	IE/IS	IE/IS	IS	IS	IS
		GPIO	-	-	PC	HC	IS	HS	IS	HS
B	主晶振电路 *1	主晶振电路	OS	OS	OE	OE	OE	OS	OS	OS
	数字 I/O *2	GPIO	-	-	PC	HC	IS	GS	IS	GS
C	副晶振电路 *1	副晶振电路	OS	OE	OE	OE	OE	OE	OE	OE
	数字 I/O *2	副时钟外部输入	-	-	IE/IS	IE/IS	IE/IS	IS	IS	IS
		GPIO	-	-	PC	HC	IS	HS	IS	HS
D	副晶振电路 *1	副时钟外部输入	OS	OE	OE	OE	OE	OE	OE	OE
	数字 I/O *2	GPIO	-	-	PC	HC	IS	HS	IS	HS
E	数字 I/O	INITX 输入	此引脚为数字输入脚，上拉电阻打开；数字输入在所有 CPU 状态下没有被关闭							
F	数字 I/O	MD0 输入	此引脚为数字输入脚，无上拉电阻；数字输入在所有 CPU 状态下没有被关闭							
G	数字 I/O *6	GPIO	IS	IE	CP	HC	IS	HS	IS	HS
H	数字 I/O	SW 调试功能引脚	IS	IP *5	PC	IP	IP	IP	IP	IP
		GPIO	-	-	PC	HC	IS	HS	IS	HS
I	数字 I/O	NMI 中断	-	-	IP	IP	IP	-	-	-
		WKUP0 输入使能	-	-	IP	IP	IP	IP	IP	IP
		GPIO	IS	IE	PC	HC	IS	-	-	-
J	模拟输入 *3	模拟输入	模拟输入在所有 CPU 状态下都使能							
	数字 I/O *4	WKUP 输入使能	-	-	IP	IP	IP	IP	IP	IP
		外部中断输入使能	-	-	IP	IP	IP	GS	IS	GS
		GPIO	-	-	PC	HC	IS	HS	IS	HS
		其它	-	-	PC	HC	IS	GS	IS	GS
K	数字 I/O	CEC 引脚	-	-	CP	CP	CP	CP	CP	CP
		WKUP 输入使能	-	-	IP	IP	IP	IP	IP	IP
		I2C 从机使能	-	-	PC	HC	IP	GS	IS	GS
		I2C 从机使能	-	-	PC	HC	IP	GS	IS	GS
		GPIO	IS	IE	PC	HC	IS	HS	IS	HS
		其它	-	-	PC	HC	IS	GS	IS	GS

表中术语的意义解释如下。

类型

表明如“4. 引脚功能一览表”中“引脚列表”所示的引脚状态类型。

所选引脚的功能

表明用户程序所选择的的引脚功能。

CPU 状态

表明下列所示的 CPU 状态。

- (1) 复位状态。CPU 由于供电电压过低或者上电复位而被初始化。
- (2) 复位状态。CPU 在上电复位完成后，由于外部复位 INITX 输入信号或系统初始化过程而被初始化。
- (3) 运行模式或者睡眠模式状态。
计时器模式，实时时钟模式或者停止模式状态。
- (4)
待机模式控制寄存器(STB_CTL)中，待机模式引脚电平设置比特(SPL)被设置为“0”。
计时器模式，实时时钟模式或者待机模式状态。
- (5) 待机模式控制寄存器(STB_CTL)中，待机模式引脚电平设置比特(SPL)被设置为“1”。
深度待机停止模式或者深度待机实时时钟模式。
- (6) 待机模式控制寄存器(STB_CTL)中，待机模式引脚电平设置比特(SPL)被设置为“0”。
深度待机停止模式或者深度待机实时时钟模式。待机模式控制寄存器(STB_CTL)中，待机模式引脚电平设置比特(SPL)被设置为“1”。
- (7) 从深度待机模式唤醒后的运行模式。
- (8) I/O 状态保持功能(CONTX)被固定为“1”。

每个引脚的状态

引脚状态列中，状态符号的意义如下所示。

- IS 数字输出无效 (高阻)。上拉电阻关闭。数字输入关闭并且输入被固定在“0”。
- IE 数字输出无效 (高阻)。上拉电阻关闭。数字输入未关闭。
- IP 数字输出无效 (高阻)。上拉电阻由 PCR 寄存器设定。数字输入未关闭。
- IE/IS 数字输出无效 (高阻)。上拉电阻关闭。当晶振停止的情况下，数字输入关闭；当晶振工作时，数字输入不关闭。
晶振处于工作状态。但是在某些 CPU 工作模式下可能会被停止。
- OE 请查看外设功能手册中“低功耗模式”一章中的详细描述。
- OS 晶振停止状态(高阻)。
- PC 数字输出和上拉电阻由 GPIO 或者相关外设寄存器控制。数字输入未关闭。
- CP 数字输出和上拉电阻由 GPIO 或者相关外设寄存器控制。上拉电阻关闭；数字输入未关闭。
- HC 数字输出和上拉电阻保持了在进入当前 CPU 状态之前的状态。数字输入未关闭。
- HS 数字输出和上拉电阻保持了在进入当前 CPU 状态之前的状态。数字输入关闭。
- GS 数字输出和上拉电阻保持了在进入当前 CPU 状态之前相应 GPIO 功能的状态。数字输入关闭。

补充提示

补充提示如下。

- *1 在此类型中，当内部晶振功能被选中，数字输出将无效 (高阻)。上拉电阻关闭，数字输入关闭并且输入被固定在“0”。
- *2 在此类型中，当数字 I/O 功能被选中，内部晶振功能将无效。
- *3 在此类型中，当模拟输入功能被选中，数字输入将无效 (高阻)。上拉电阻关闭，数字输入关闭并且输入被固定在“0”。
- *4 在此类型中，当数字 I/O 功能被选中，模拟输入功能将无效。
- *5 在此情况下，PCR 寄存器将被初始化为“1”，上拉电阻打开。
- *6 此引脚不带上拉电阻。

11. 电气特性

11.1 绝对最大额定值

参数	符号	额定值		单位	备注
		最小	最大		
电源电压*1, *2	V_{CC}	$V_{SS} - 0.5$	$V_{SS} + 4.6$	V	
模拟基准电压*1, *3	AVRH	$V_{SS} - 0.5$	$V_{SS} + 4.6$	V	
输入电压*1	V_I	$V_{SS} - 0.5$	$V_{CC} + 0.5$ (≤ 4.6 V)	V	
		$V_{SS} - 0.5$	$V_{SS} + 6.5$	V	耐 5V
模拟引脚输入电压*1	V_{IA}	$V_{SS} - 0.5$	$V_{CC} + 0.5$ (≤ 4.6 V)	V	
输出电压*1	V_O	$V_{SS} - 0.5$	$V_{CC} + 0.5$ (≤ 4.6 V)	V	
L 电平最大输出电流*4	I_{OL}	-	10	mA	4 mA 类型
L 电平平均输出电流*5	I_{OLAV}	-	4	mA	4 mA 类型
L 电平最大总输出电流	$\sum I_{OL}$	-	100	mA	
L 电平平均总输出电流*6	$\sum I_{OLAV}$	-	50	mA	
H 电平最大输出电流*4	I_{OH}	-	- 10	mA	4 mA 类型
H 电平平均输出电流*5	I_{OHAV}	-	- 4	mA	4 mA 类型
H 电平平均输出电流*5	$\sum I_{OH}$	-	- 100	mA	
H 电平最大总输出电流	$\sum I_{OHAV}$	-	- 50	mA	
H 电平平均总输出电流*6	P_D	-	200	mW	
功耗	T_{STG}	- 55	+ 150	°C	

*1: 这些参数基于 $V_{SS} = 0V$ 条件。

*2: V_{CC} 不可低于 $V_{SS} - 0.5V$ 。

*3: 确保接通电源时, 电压不超过 $V_{CC} + 0.5 V$ 。

*4: 最大输出电流为单一引脚的峰值。

*5: 平均输出电流为在 100 ms 内流经单一引脚的平均电流。

*6: 平均总输出电流为在 100 ms 内流经所有引脚的平均电流。

<警告>

- 如在半导体器件上施加的负荷 (电压、电流、温度等) 超过绝对最大额定值, 将会导致该器件永久损坏。请勿超过上述绝对最大额定值。

11.2 推荐工作条件

 (V_{SS} = 0.0V)

参数	符号	条件	值		单位	备注
			最小	最大		
电源电压	V _{CC}	-	1.65 *2	3.6	V	
模拟基准电压	AVRH	-	2.7	V _{CC}	V	V _{CC} ≥ 2.7 V
			V _{CC}	V _{CC}	V	V _{CC} < 2.7 V
	AVRL	-	V _{SS}	V _{SS}	V	
滤波电容器	C _S	-	1	10	μF	用于内部 regulator*1
工作温度	T _a	-	- 40	+ 105	°C	

*1: 滤波电容器的连接参见“7. 芯片使用注意事项”中“C 引脚”。

*2: 低于或高于最小电源电压/中断检测电压时，只有内置高速 CR（包括主 PLL）或内置低速 CR 的指令执行和低电压检测功能可运行。

<警告>

1. 为确保半导体器件的正常工作，须满足所推荐的运行环境或条件。器件在所推荐的环境或条件下运行时，其全部电气特性均可得到保证。
2. 请务必在所推荐的工作环境或条件范围内使用该半导体器件。如超出上述范围使用，可能会影响该器件的可靠性并导致故障。
3. 本公司对本数据手册中记载的使用、工作条件或组合不作任何保证。
4. 如用户欲在所列条件之外使用器件，请务必事先联系销售代表。

11.3 DC 特性
11.3.1 额定电流

符号 (引脚名称)	条件	HCLK 频率 ^{*4}	值		单位	备注	
			典型 ^{*1}	最大 ^{*2}			
I _{CC} (V _{CC})	运行模式, 执行 Flash 内的代码	8 MHz 外部时钟输入, 打开 PLL ^{*8} 执行 NOP 代码 内置高速 CR 停止 所有外部时钟被 CKENx 停止	8 MHz	1.4	2.7	mA	*3
		20 MHz	2.6	4.1			
		40 MHz	3.9	5.6			
	运行模式, 执行 Flash 内的代码	8 MHz 外部时钟输入, 打开 PLL ^{*8} 执行基准检测代码 内置高速 CR 停止 PCLK1 停止	8 MHz	1.3	2.6	mA	*3
			20 MHz	2.3	3.8		
			40 MHz	3.4	5.1		
	运行模式, 执行 Flash 内的代码	8 MHz 晶振, 打开 PLL ^{*8} 执行 NOP 代码 内置高速 CR 停止 所有外部时钟被 CKENx 停止	8 MHz	1.6	3.0	mA	*3, *9
			20 MHz	2.8	4.4		
			40 MHz	4.1	5.9		
	运行模式, 执行 RAM 内的代 码	8 MHz 外部时钟输入, 打开 PLL ^{*8} 执行 NOP 代码 内置高速 CR 停止 所有外部时钟被 CKENx 停止	8 MHz	1.0	2.1	mA	*3
			20 MHz	1.7	2.9		
			40 MHz	2.7	4.0		
运行模式, 执行 Flash 内的代码	8 MHz 外部时钟输入, 打开 PLL ^{*8} 执行 NOP 代码 内置高速 CR 停止 所有外部时钟被 CKENx 停止	40 MHz	1.6	3.1	mA	*3, *6, *7	
运行模式, 执行 Flash 内的代码	内置高速 CR ^{*5} 执行 NOP 代码 所有外部时钟被 CKENx 停止	8 MHz	1.1	2.4	mA	*3	
		32kHz 晶振 执行 NOP 代码 所有外部时钟被 CKENx 停止	32 kHz	240	1264	μA	*3
		内置低速 CR 执行 NOP 代码 所有外部时钟被 CKENx 停止	100 kHz	246	1271	μA	*3
I _{CCS} (V _{CC})	休眠模式	8 MHz 外部时钟输入, 打开 PLL ^{*8} 所有外部时钟被 CKENx 停止	8 MHz	0.8	1.9	mA	*3
			20 MHz	1.3	2.4		
			40 MHz	1.8	3.0		
	休眠模式	内置高速 CR ^{*5} 所有外部时钟被 CKENx 停止	8 MHz	0.6	1.7	mA	*3
			32kHz 晶振 所有外部时钟被 CKENx 停止	32 kHz	237	1261	μA
休眠模式	内置低速 CR ^{*5} 所有外部时钟被 CKENx 停止	100 kHz	238	1262	μA	*3	

*1 : T_A=+25°C, V_{CC}=3.3V

*2 : T_A=+105°C, V_{CC}=3.6V

*3 : 所有端口固定

*4 : PCLK0 设置为 8 分频

*5 : 通过调节将频率设置为 8 MHz

*6 : Flash 同步设置为 FRWTR.RWT=111 且 FSYNDN.SD=1111

*7 : V_{CC}=1.65V

*8 : HCLK=8MHz 时, PLL 关闭

*9 : When IMAINSEL bit(MOSC_CTL:IMAINSEL) is "10" (default).

参数	符号 (引脚名称)	条件		值		单位	备注
				典型	最大		
电源电流	I _{CCH} (VCC)	停止模式	Ta=25°C Vcc=3.3 V	12.4	52.4	μA	*1, *2
			Ta=25°C Vcc=1.65 V	12.0	52.0	μA	*1, *2
			Ta=105°C Vcc=3.6 V	-	597	μA	*1, *2
	I _{CCT} (VCC)	副定时器模式	Ta=25°C Vcc=3.3 V 32 kHz 晶振	15.6	55.6	μA	*1, *2
			Ta=25°C Vcc=1.65 V 32 kHz 晶振	15.0	55.0	μA	*1, *2
			Ta=105°C Vcc=3.6 V 32 kHz 晶振	-	601	μA	*1, *2
	I _{CCR} (VCC)	RTC 模式	Ta=25°C Vcc=3.3 V 32 kHz 晶振	13.2	53.2	μA	*1, *2
			Ta=25°C Vcc=1.65 V 32 kHz 晶振	12.7	52.7	μA	*1, *2
			Ta=105°C Vcc=3.6 V 32 kHz 晶振	-	598	μA	*1, *2

*1: 所有端口固定。LVD 关闭。闪存关闭。

*2: When CALDONE bit(CAL_CTL:CALDONE) is "1". In case of "0", Bipolar Vref current is added.

参数	符号 (引脚 名称)	条件		值		单位	备注	
				典型	最大			
电源电 流	I _{CCHD} (VCC)	深度待机 停止模式	RAM 关闭	Ta=25°C Vcc=3.3 V	0.58	1.85	μA	*1, *2
				Ta=25°C Vcc=1.65 V	0.56	1.83	μA	*1, *2
				Ta=105°C Vcc=3.6 V	-	46	μA	*1, *2
			RAM 开启	Ta=25°C Vcc=3.3 V	0.78	6.6	μA	*1, *2
				Ta=25°C Vcc=1.65 V	0.76	6.6	μA	*1, *2
				Ta=105°C Vcc=3.6 V	-	88	μA	*1, *2
	I _{CCRD} (VCC)	深度待机 RTC 模式	RAM 关闭	Ta=25°C Vcc=3.3 V	1.16	2.4	μA	*1, *2
				Ta=25°C Vcc=1.65 V	1.15	2.4	μA	*1, *2
				Ta=105°C Vcc=3.6 V	-	46	μA	*1, *2
			RAM 开启	Ta=25°C Vcc=3.3 V	1.37	7.2	μA	*1, *2
				Ta=25°C Vcc=1.65 V	1.35	7.2	μA	*1, *2
				Ta=105°C Vcc=3.6 V	-	88	μA	*1, *2

*1: 所有端口固定。LVD 关闭。

*2: When CALDONE bit(CAL_CTL:CALDONE) is "1". In case of "0", Bipolar Vref current is added.

LVD 电流

 (V_{CC}=1.65V ~ 3.6V, V_{SS}=0V, T_A=-40°C ~ +105°C)

参数	符号	引脚名称	条件	值		单位	备注
				典型	最大		
低电压检测电路 (LVD) 电源电流	I _{CC} LVD	VCC	运行时	0.15	0.3	μA	产生复位时
				0.10	0.3	μA	产生中断时

Bipolar Vref 电流

 (V_{CC}=1.65V ~ 3.6V, V_{SS}=0V, T_A=-40°C ~ +105°C)

参数	符号	引脚名称	条件	值		单位	备注
				典型	最大		
Bipolar Vref 电流	I _{CC} BGR	VCC	运行时	100	200	μA	

闪存电流

 (V_{CC}=1.65V ~ 3.6V, V_{SS}=0V, T_A=-40°C ~ +105°C)

参数	符号	引脚名称	条件	值		单位	备注
				典型	最大		
闪存写入/擦除电流	I _{CC} FLASH	VCC	写入/擦除时	4.4	5.6	mA	

A/D 转换器电流

 (V_{CC}=1.65V ~ 3.6V, V_{SS}=0V, T_A=-40°C ~ +105°C)

参数	符号	引脚名称	条件	值		单位	备注
				典型	最大		
电源电流	I _{CC} AD	VCC	运行时	0.5	0.75	mA	
基准电源电流 (AVRH)	I _{CC} AVRH	AVRH	运行时	0.69	1.3	mA	AVRH=3.6 V
			停止时	0.1	1.3	μA	

外设电流消耗

 (V_{CC}=3.3V, T_A=25°C)

时钟模式	外设	条件	频率 (MHz)			单位	备注
			8	20	40		
HCLK	GPIO	所有端口运行时	0.05	0.12	0.23	mA	
	DSTC	2ch 运行时	0.02	0.06	0.10		
PCLK1	基本定时器	4ch 运行时	0.02	0.05	0.10	mA	
	ADC	1unit 运行时	0.04	0.10	0.21		
	多功能串口	1ch 运行时	0.01	0.03	0.06		
	多功能串口-I2S	1ch 运行时	0.02	0.05	0.08		
	智能卡接口	1ch 运行时	0.04	0.08	0.18		

11.3.2 引脚特性

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = -40°C ~ +105°C)

参数	符号	引脚名称	条件	值			单位	备注
				最小	典型	最大		
H 电平输入电压 (迟滞输入)	V _{IHS}	CMOS 迟滞 输入引脚, MD0、MD1	V _{CC} ≥ 2.7 V	V _{CC} × 0.8	-	V _{CC} + 0.3	V	
			V _{CC} < 2.7 V	V _{CC} × 0.7				
		耐 5V 输入 引脚	V _{CC} ≥ 2.7 V	V _{CC} × 0.8	-	V _{SS} + 5.5	V	
			V _{CC} < 2.7 V	V _{CC} × 0.7				
L 电平输入电压 (迟滞输入)	V _{ILS}	CMOS 迟滞 输入引脚, MD0、MD1	V _{CC} ≥ 2.7 V	V _{SS} - 0.3	-	V _{CC} × 0.2	V	
			V _{CC} < 2.7 V			V _{CC} × 0.3		
		耐 5V 输入 引脚	V _{CC} ≥ 2.7 V	V _{SS} - 0.3	-	V _{CC} × 0.2	V	
			V _{CC} < 2.7 V		-	V _{CC} × 0.3		
H 电平输出电压	V _{OH}	4 mA 类型	V _{CC} ≥ 2.7 V, I _{OH} = - 4 mA	V _{CC} - 0.5	-	V _{CC}	V	
			V _{CC} < 2.7 V, I _{OH} = - 2 mA	V _{CC} - 0.45				
L 电平输出电压	V _{OL}	4 mA 类型	V _{CC} ≥ 2.7 V, I _{OL} 4 mA	V _{SS}	-	0.4	V	
			V _{CC} < 2.7 V, I _{OL} = 2 mA					
输入漏电流	I _{IL}	-	-	- 5	-	+ 5	μA	
上拉电阻值	R _{PU}	上拉引脚	V _{CC} ≥ 2.7 V	21	33	48	kΩ	
			V _{CC} < 2.7 V	-	-	88		
输入电容	C _{IN}	除 V _{CC} , V _{SS} , AVRH 以外	-	-	5	15	pF	

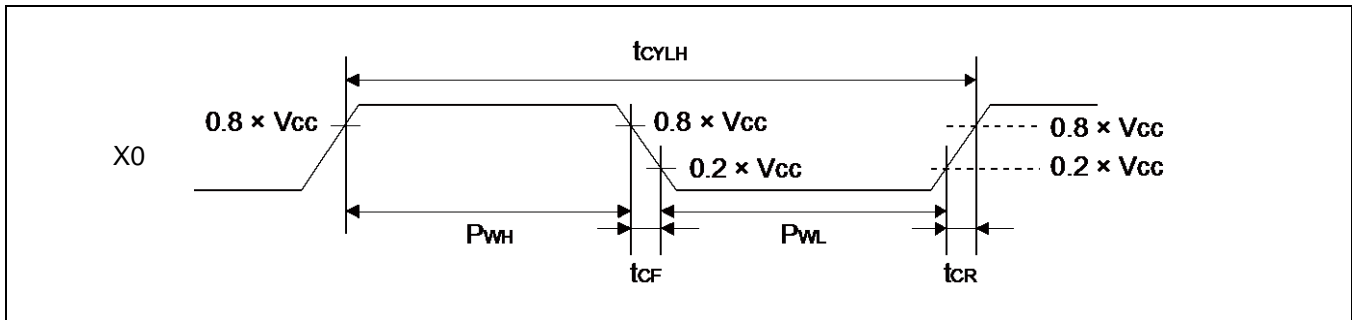
11.4 AC 特性
11.4.1 主时钟输入特性

 (V_{CC}= 1.65V ~ 3.6V, V_{SS}= 0V, T_A=- 40°C ~ +105°C)

参数	符号	引脚名称	条件	值		单位	备注
				最小	最大		
输入频率	F _{CH}	X0, X1	V _{CC} ≥ 2.7V	8	48	MHz	连接晶振时
			V _{CC} < 2.7V	8	20		
			-	8	48	MHz	使用外部时钟时
输入时钟周期	t _{CY_{LH}}		-	20.83	125	ns	使用外部时钟时
输入时钟脉宽	-		P _{WH} /t _{CY_{LH}} , P _{WL} /t _{CY_{LH}}	45	55	%	使用外部时钟时
输入时钟上升/下降时间	t _{CF} , t _{CR}		-	-	5	ns	使用外部时钟时
内部工作时钟*1 频率	F _{CM}	-	-	-	40.8	MHz	主时钟
	F _{CC}	-	-	-	40.8	MHz	基本时钟 (HCLK/FCLK)
	F _{CP0}	-	-	-	40.8	MHz	APB0 总线时钟*2
	F _{CP1}	-	-	-	40.8	MHz	APB1 总线时钟*2
内部工作时钟*1 周期	t _{CY_{CCM}}	-	-	24.5	-	ns	基本时钟 (HCLK/FCLK)
	t _{CY_{CC}}	-	-	24.5	-	ns	APB0 总线时钟*2
	t _{CY_{CP0}}	-	-	24.5	-	ns	APB1 总线时钟*2
	t _{CY_{CP1}}	-	-	24.5	-	ns	连接晶振时

*1: 有关各内部工作时钟的详细资料, 请参照“FM0+系列外设手册”“时钟”一章。

*2: 有关各外设连接的 APB 总线的详细资料, 请参照“8. 框图”

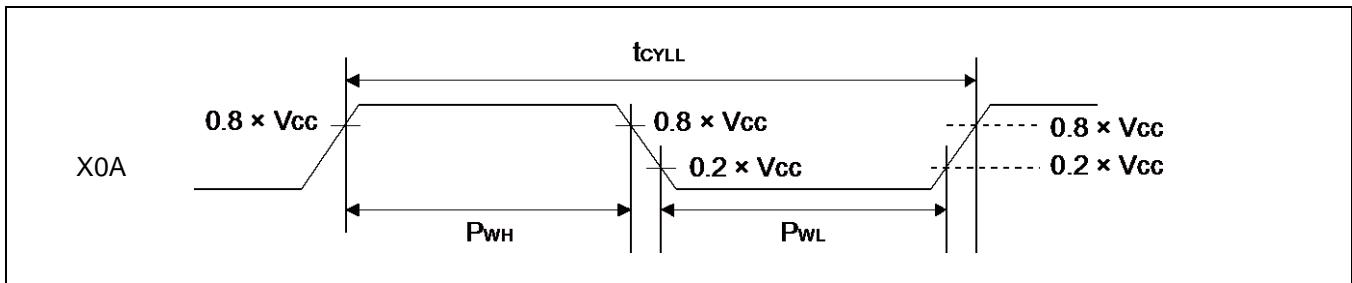


11.4.2 副时钟输入特性

($V_{CC} = 1.65V \sim 3.6V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	引脚名称	条件	值			单位	备注
				最小	典型	最大		
输入频率	f_{CL}	X0A, X1A	-	-	32.768	-	kHz	连接晶振时
			-	32	-	100		kHz
输入时钟周期	t_{CYLL}		-	10	-	31.25	μs	使用外部时钟时
输入时钟脉宽	-		P_{WH}/t_{CYLL} , P_{WL}/t_{CYLL}	45	-	55	%	使用外部时钟时

有关所使用的晶振器，请参见“7. 芯片使用注意事项”中“副晶振”。



11.4.3 内置 CR 振荡特性
内置高速 CR

 (V_{CC}= 1.65V ~ 3.6V, V_{SS}= 0V, T_A=- 40°C ~ +105°C)

参数	符号	条件	值			单位	备注
			最小	典型	最大		
时钟频率	F _{CRH}	Ta = - 10°C to + 105°C,	7.92	8	8.08	MHz	调节后*1
		Ta = - 40°C to + 105°C,	7.84	8	8.16	MHz	
频率稳定时间	t _{CRWT}	-	-	-	300	μs	*2

*1: 使用闪存内 CR 调节区的值作为频率调节值使用时。

*2: 该时间为从设置调节值到高速 CR 时钟频率稳定之间的一段时间。设置了调节值后，经过频率稳定所需时间后可将高速 CR 时钟作为源时钟。

内置低速 CR

 (V_{CC}= 1.65V ~ 3.6V, V_{SS}=A0V, T_A=- 40°C ~ +105°C)

参数	符号	条件	值			单位	备注
			最小	标准	最大		
时钟频率	f _{CRL}	-	50	100	150	kHz	

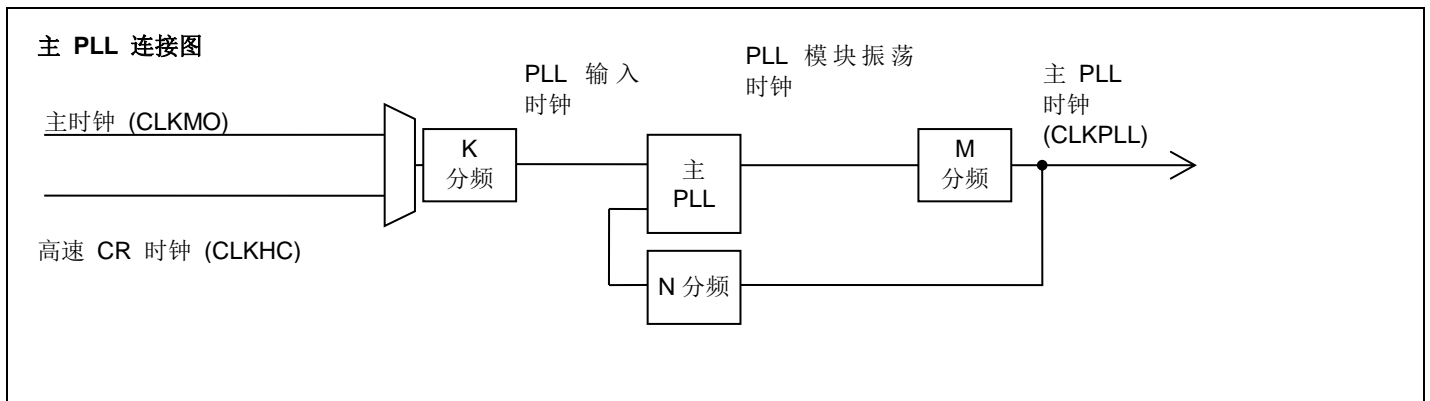
11.4.4 主 PLL 的工作条件 (主时钟用作 PLL 的输入时钟时)

 (V_{CC}= 1.65V ~ 3.6V, V_{SS}= 0V, T_A=- 40°C ~ +105°C)

参数	符号	值			单位	备注
		最小	典型	最大		
PLL 振荡稳定等待时间*1 (锁定时间)	t _{LOCK}	50	-	-	μs	
PLL 输入时钟频率	F _{PLLI}	8	-	16	MHz	
PLL 倍频率	-	5	-	18	倍频	
PLL 模块振荡时钟频率	F _{PLLO}	75	-	150	MHz	
主 PLL 时钟频率*2	F _{CLKPLL}	-	-	40	MHz	

*1: 等待时间为 PLL 晶振稳定所需的时间。

*2: 有关主 PLL 时钟 (CLKPLL) 的详细资料, 请参照“FM0+系列外设手册”中“时钟”一章。


11.4.5 主 PLL 的工作条件 (内置高速 CR 时钟用作主 PLL 的输入时钟时)

 (V_{CC}= 1.65V ~ 3.6V, V_{SS}= 0V, T_A=- 40°C ~ +105°C)

参数	符号	值			单位	备注
		最小	典型	最大		
PLL 振荡稳定等待时间*1 (锁定时间)	t _{LOCK}	50	-	-	μs	
PLL 输入时钟频率	F _{PLLI}	7.84	8	8.16	MHz	
PLL 倍频率	-	9	-	18	倍频	
PLL 模块振荡时钟频率	F _{PLLO}	75	-	150	MHz	
主 PLL 时钟频率*2	F _{CLKPLL}	-	-	40.8	MHz	

*1: 等待时间为 PLL 晶振稳定的时间。

*2: 有关主 PLL 时钟 (CLKPLL) 的详细资料, 请参照“FM0+系列外设手册”中“时钟”一章

注意事项:

- 对于主 PLL 源时钟, 务必输入频率经过调整的高速 CR 时钟 (CLKHC)。
 - 设置 PLL 倍频率时, 请考虑内置高速 CR 时钟的精确度并防止主时钟超过最大频率。

11.4.6 复位输入特性

($V_{CC} = 1.65\text{ V} \sim 3.6\text{ V}$, $V_{SS} = 0\text{ V}$, $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$)

参数	符号	引脚名称	条件	值		单位	备注
				最小	最大		
复位输入时间	t_{INITX}	INITX	-	500	-	ns	

11.4.7 上电复位时序

($V_{CC} = 1.65\text{ V to }3.6\text{ V}$, $V_{SS} = 0\text{ V}$, $T_A = -40^\circ\text{C to }+105^\circ\text{C}$)

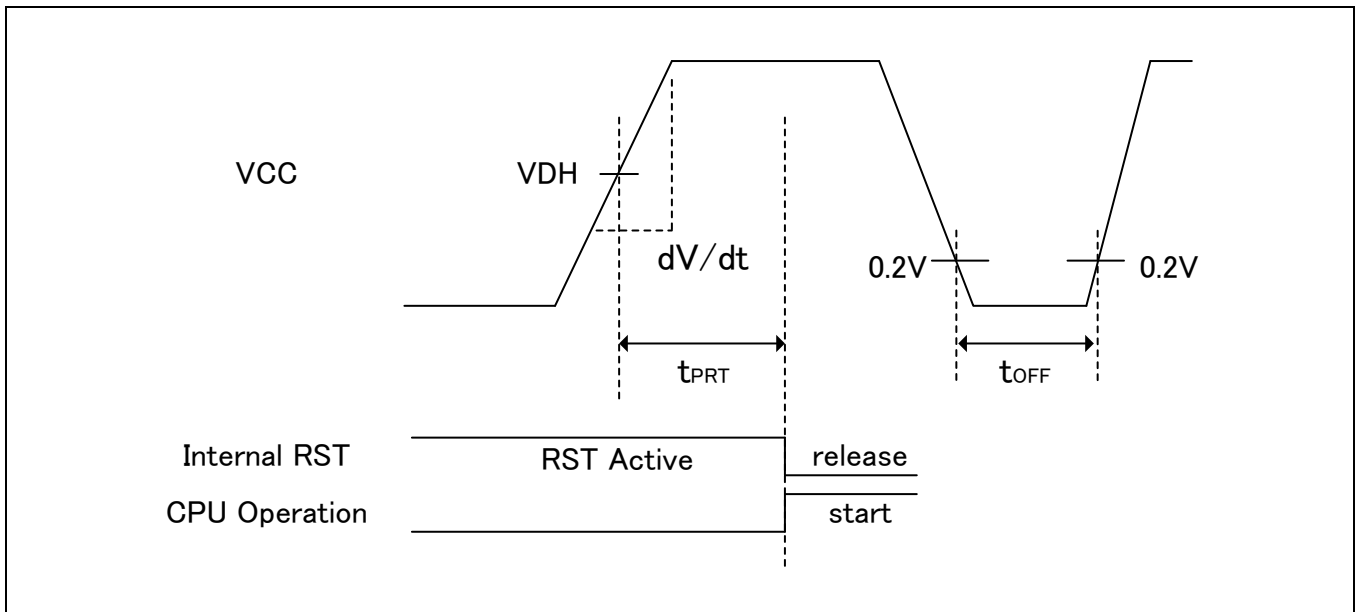
参数	符号	引脚名称	条件	值			单位	备注
				最小	类型	最大		
电源切断时间	t_{OFF}	VCC	-	2	-	-	ms	*1
功率上升率	dV/dt		$V_{CC}: 0.2\text{V to }1.65\text{V}$	0.6	-	1000	mV/ μs	*2
上电复位释放时间	t_{PRT}		-	0.43	-	3.4	ms	

*1: V_{CC} 必须在 t_{OFF} 时间内保持在 0.2V 以下。如果这个条件不满足，可能会出现不适当的初始化。

*2: dV/dt 特性适用于冷启动上电($t_{OFF} > 2\text{ms}$)。

备注:

- 必须满足 t_{OFF} 。当 t_{OFF} 不能满足时，在通电和任何降压事件时断言外部复位 (INITX)



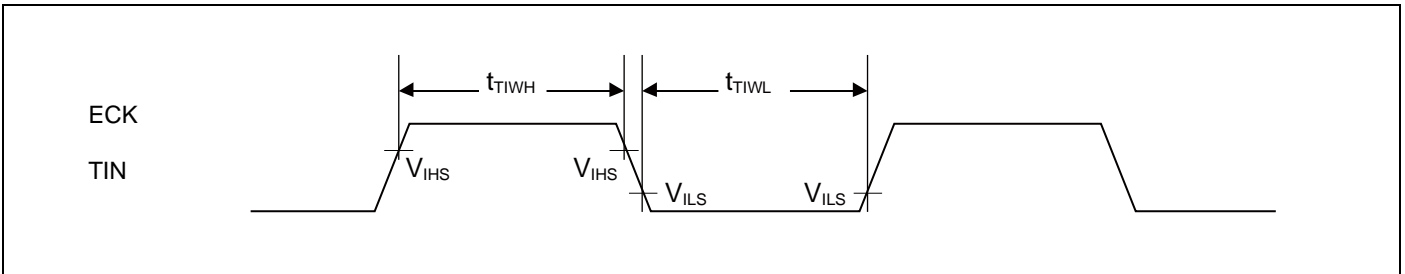
术语

VDH: 低压检测复位的检测电压，请参考“13.7 低压检测特性”(“13.7 Low-Voltage Detection Characteristics”)。

11.4.8 基本定时器输入时序
定时器输入时序

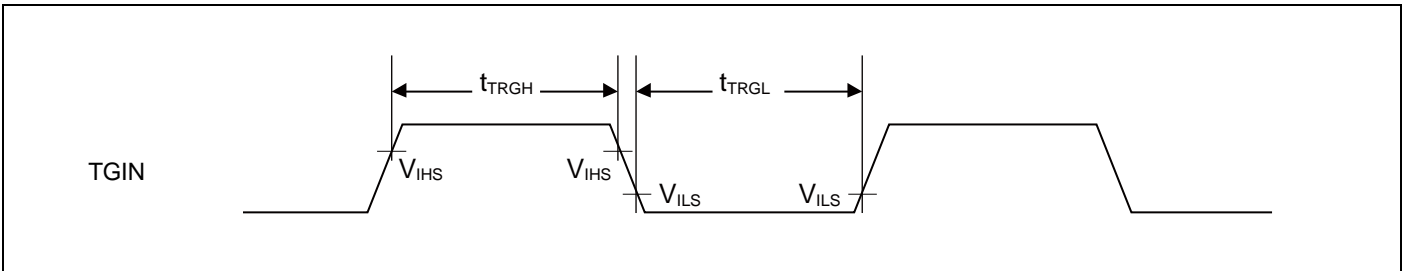
 (V_{CC}= 1.65V ~ 3.6V, V_{SS}= 0V, T_A=- 40°C ~ +105°C)

参数	符号	引脚名称	条件	值		单位	备注
				最小	最大		
输入脉宽	t _{TIWH} , t _{TIWL}	TIOAn/TIOBn(用作 ECK、TIN 时)	-	2t _{CYCP}	-	ns	


触发输入时序

 (V_{CC}= 1.65V ~ 3.6V, V_{SS}= 0V, T_A=- 40°C ~ +105°C)

参数	符号	引脚名称	条件	值		单位	备注
				最小	最大		
输入脉宽	t _{TRGH} , t _{TRGL}	TIOAn/TIOBn(用作 TGIN 时)	-	2t _{CYCP}	-	ns	


注意事项：

- t_{CYCP} 指 APB 总线时钟的周期。
有关连接到基本定时器的 APB 总线序号，请参见“8. 框图”。

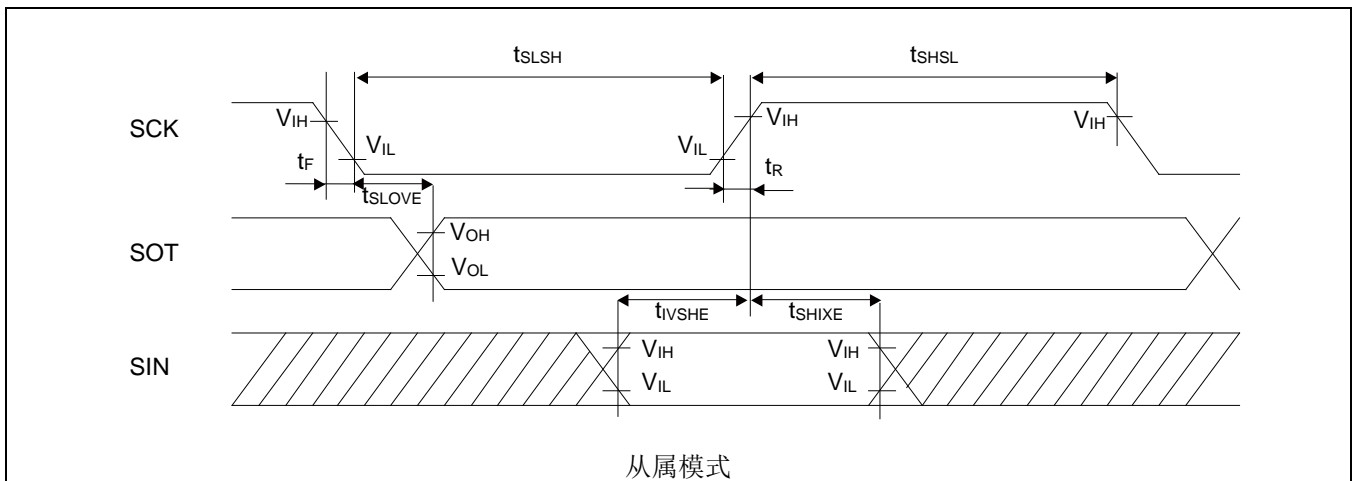
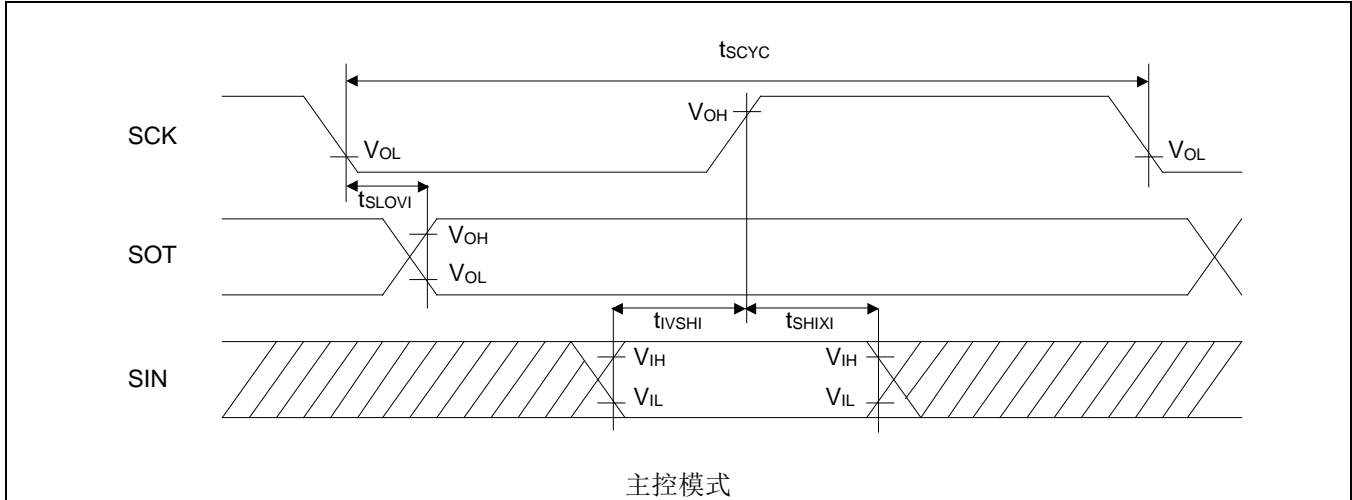
11.4.9 CSIO/SPI/UART 时序
CSIO (SPI=0, SCINV=0)

 (V_{CC}= 1.65V ~ 3.6V, V_{SS}= 0V, T_A=- 40°C ~ +105°C)

参数	符号	引脚名称	条件	V _{CC} < 2.7 V		V _{CC} ≥ 2.7 V		单位
				最小	最大	最小	最大	
串行时钟周期	t _{SCYC}	SCKx	主控模式	4 t _{CYCP}	-	4 t _{CYCP}	-	ns
SCK ↓ → SOT 延迟时间	t _{SLOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↑ 建立时间	t _{IVSHI}	SCKx, SINx		50	-	36	-	ns
SCK ↑ → SIN 保持时间	t _{SHIXI}	SCKx, SINx		0	-	0	-	ns
串行时钟 L 脉宽	t _{SLSH}	SCKx	从属模式	2 t _{CYCP} - 10	-	2 t _{CYCP} - 10	-	ns
串行时钟 H 脉宽	t _{SHSL}	SCKx		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↓ → SOT 延迟时间	t _{SLOVE}	SCKx, SOTx		-	50	-	30	ns
SIN → SCK ↑ 建立时间	t _{IVSHE}	SCKx, SINx		10	-	10	-	ns
SCK ↑ → SIN 保持时间	t _{SHIXE}	SCKx, SINx		20	-	20	-	ns
SCK 下降时间	t _F	SCKx		-	5	-	5	ns
SCK 上升时间	t _R	SCKx		-	5	-	5	ns

注意事项：

- 上述 AC 特性为时钟同步模式下的特性。
- t_{CYCP} 指 APB 总线时钟周期。有关连接到多功能串口的 APB 总线序号，请参见“8. 框图。”
- 这些特性仅适用于重定位端口号相同时。例如，不适用于 SCKx_0 和 SOTx_1 组合。
- 外部负载电容 C_L=30 pF



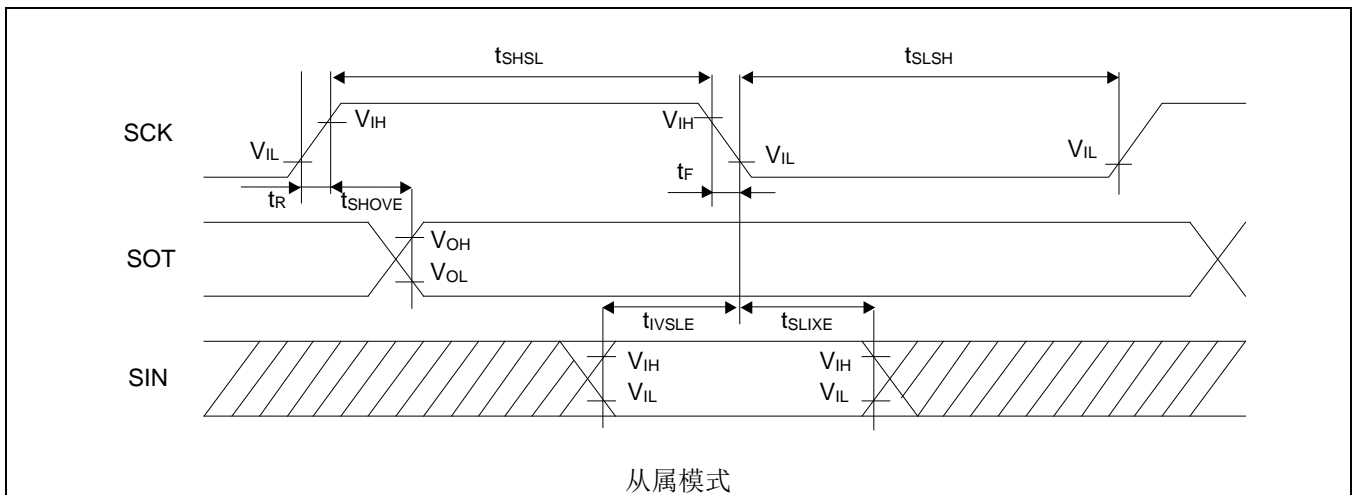
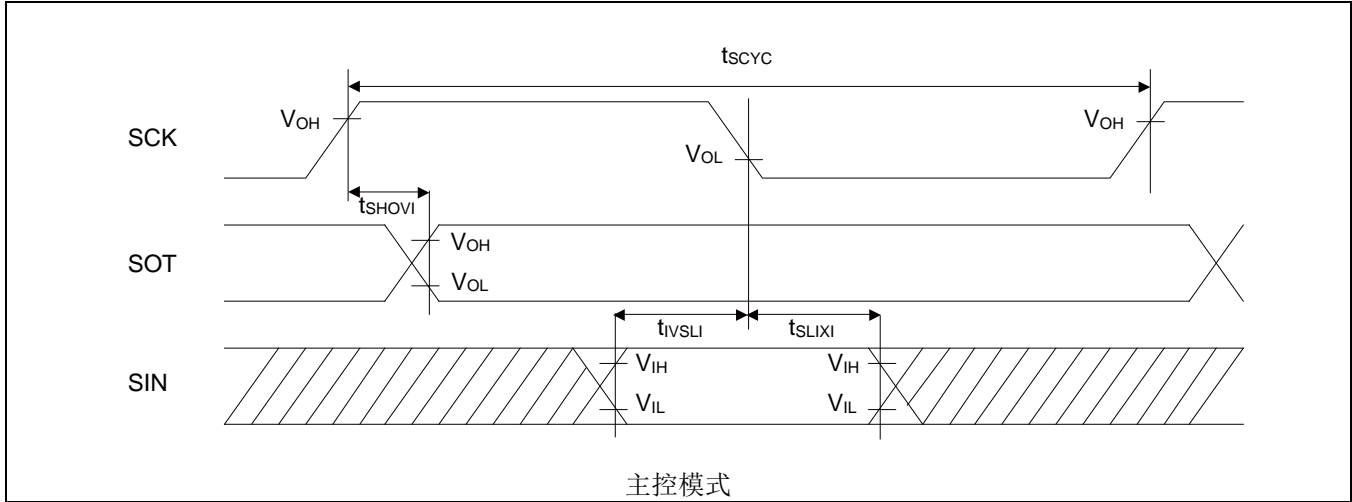
CSIO (SPI=0, SCINV=1)

 (V_{CC}= 1.65 V ~ 3.6 V, V_{SS}= 0 V, T_A=- 40°C ~ +105°C)

参数	符号	引脚名称	条件	V _{CC} < 2.7V		V _{CC} ≥ 2.7V		单位
				最小	最大	最小	最大	
串行时钟周期	tSCYC	SCKx	主控模式	4 t _{CYCP}	-	4 t _{CYCP}	-	ns
SCK ↑ → SOT 延迟时间	t _{SHOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↓ 建立时间	t _{IVSLI}	SCKx, SINx		50	-	36	-	ns
SCK ↓ → SIN 保持时间	t _{SLIXI}	SCKx, SINx		0	-	0	-	ns
串行时钟 L 脉宽	t _{SLSH}	SCKx	从属模式	2 t _{CYCP} - 10	-	2 t _{CYCP} - 10	-	ns
串行时钟 H 脉宽	t _{SHSL}	SCKx		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↑ → SOT 延迟时间	t _{SHOVE}	SCKx, SOTx		-	50	-	33	ns
SIN → SCK ↓ 建立时间	t _{IVSLE}	SCKx, SINx		10	-	10	-	ns
SCK ↓ → SIN 保持时间	t _{SLIXE}	SCKx, SINx		20	-	20	-	ns
SCK 下降时间	t _F	SCKx		-	5	-	5	ns
SCK 上升时间	t _R	SCKx		-	5	-	5	ns

注意事项：

- 上述 AC 特性为时钟同步模式下的特性。
- t_{CYCP} 指 APB 总线时钟的周期。有关连接到多功能串口的 APB 总线序号，请参见“8.框图。”
- 这些特性仅适用于重定位端口号相同时。例如，不适用于 SCKx_0 和 SOTx_1 组合。
- 外部负载电容 C_L=30 pF



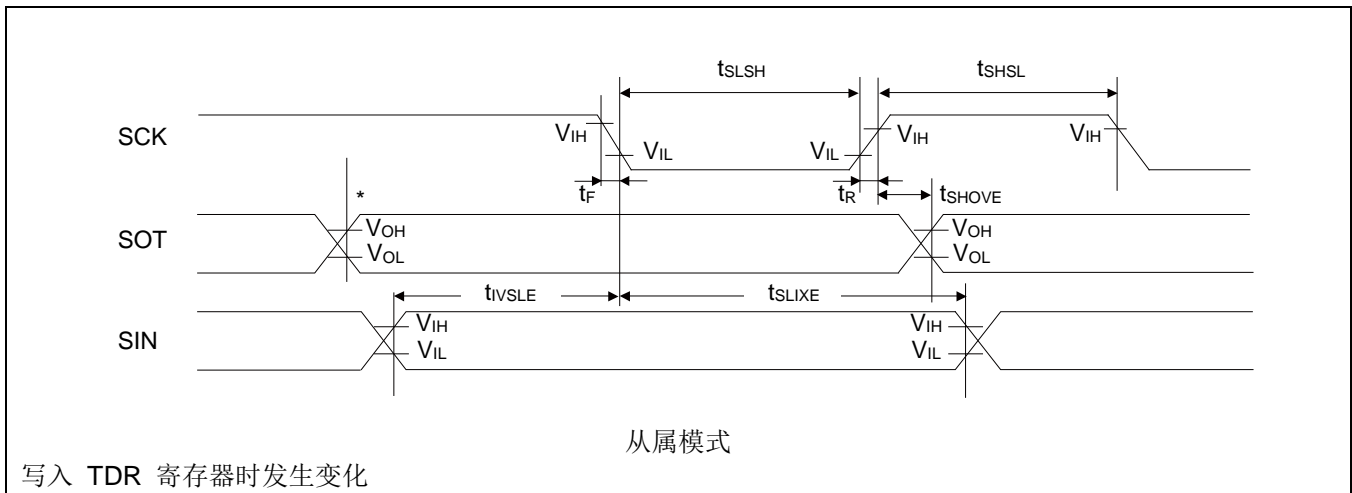
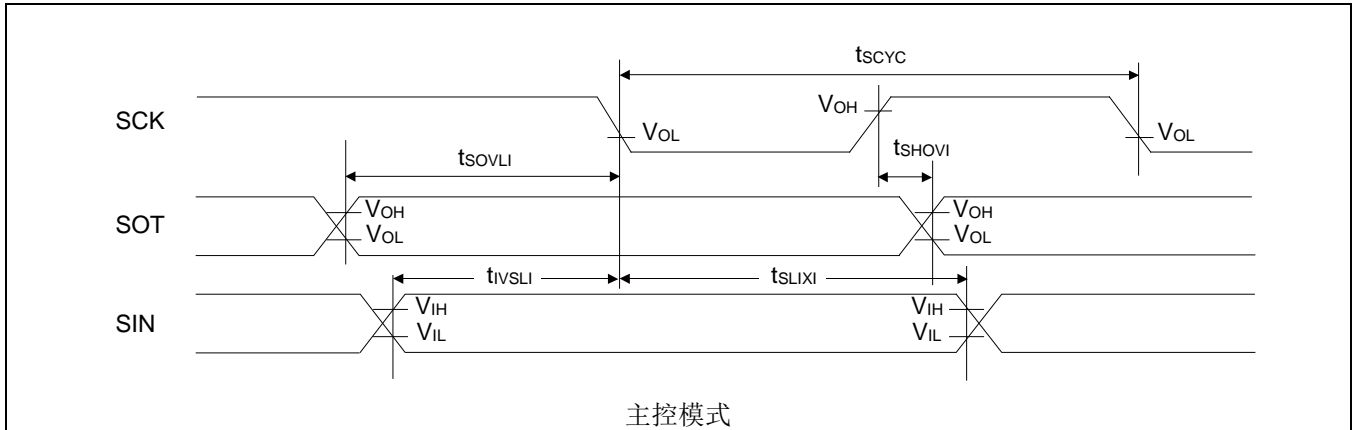
SPI (SPI=1, SCINV=0)

 (V_{CC}= 1.65 V ~ 3.6 V, V_{SS}= 0 V, T_A=- 40°C ~ +105°C)

参数	符号	引脚名称	条件	V _{CC} < 2.7 V		V _{CC} ≥ 2.7 V		单位
				最小	最大	最小	最大	
串行时钟周期	t _{SCYC}	SCKx	主控模式	4 t _{CYCP}	-	4 t _{CYCP}	-	ns
SCK ↑ → SOT 延迟时间	t _{SHOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↓ 建立时间	t _{IVSLI}	SCKx, SINx		50	-	36	-	ns
SCK ↓ → SIN 保持时间	t _{SLIXI}	SCKx, SINx		0	-	0	-	ns
SOT → SCK ↓ 延迟时间	t _{SOVLI}	SCKx, SOTx		2 t _{CYCP} - 30	-	2 t _{CYCP} - 30	-	ns
串行时钟 L 脉宽	t _{SLSH}	SCKx	从属模式	2 t _{CYCP} - 10	-	2 t _{CYCP} - 10	-	ns
串行时钟 H 脉宽	t _{SHSL}	SCKx		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↑ → SOT 延迟时间	t _{SHOVE}	SCKx, SOTx		-	50	-	33	ns
SIN → SCK ↓ 建立时间	t _{IVSLE}	SCKx, SINx		10	-	10	-	ns
SCK ↓ → SIN 保持时间	t _{SLIXE}	SCKx, SINx		20	-	20	-	ns
SCK 下降时间	t _F	SCKx		-	5	-	5	ns
SCK 上升时间	t _R	SCKx		-	5	-	5	ns

注意事项：

- 上述 AC 特性为时钟同步模式下的特性。
- t_{CYCP} 指 APB 总线时钟的周期。有关连接到多功能串口的 APB 总线序号，请参见“8. 框图。”
- 这些特性仅适用于重定位端口号相同时。例如，不适用于 SCKx_0 和 SOTx_1 组合。
- 外部负载电容 C_L=30 pF



写入 TDR 寄存器时发生变化

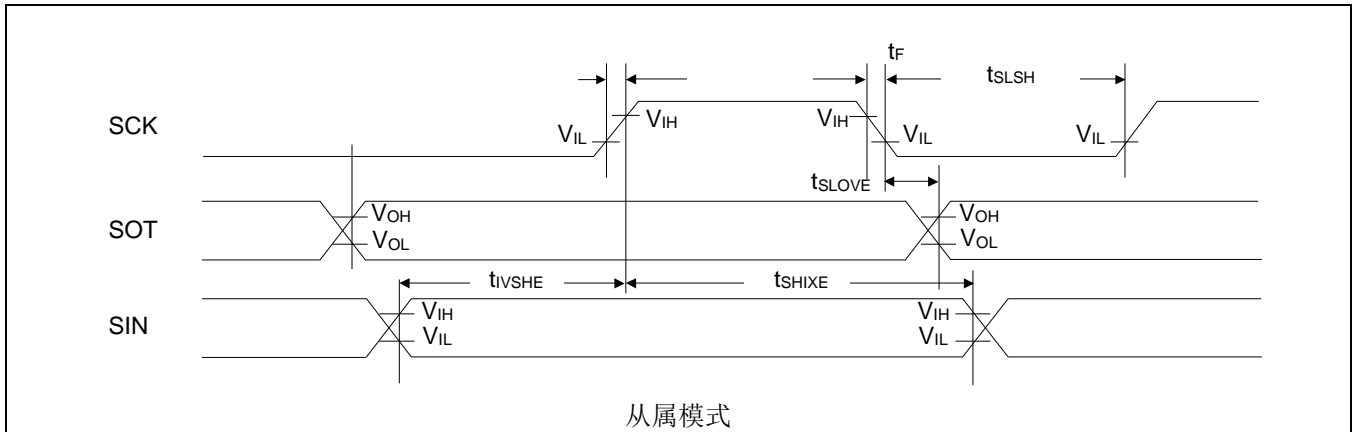
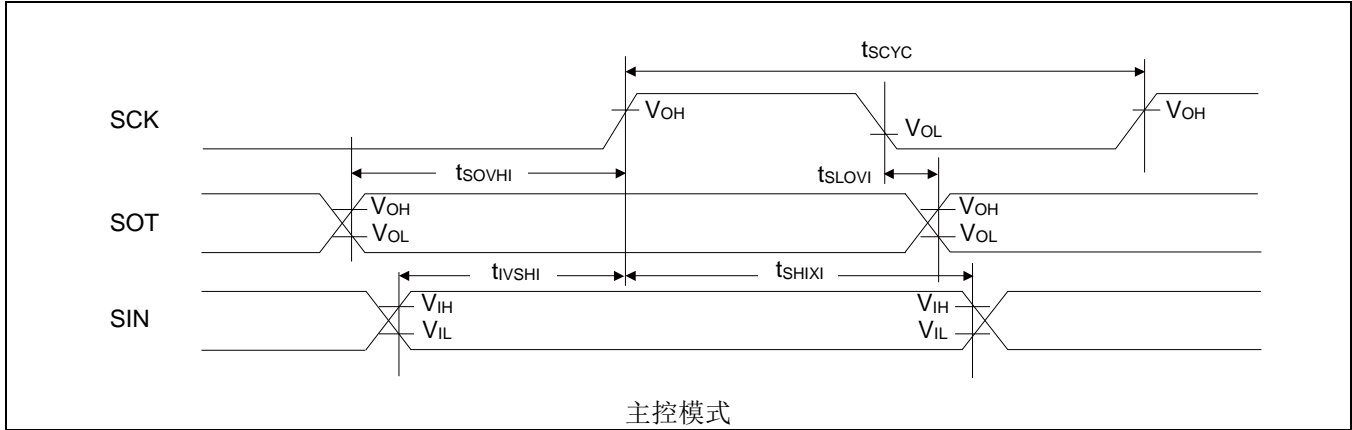
SPI (SPI=1, SCINV=1)

 (V_{CC}= 1.65V ~3.6V, V_{SS}= 0V, T_A=- 40°C ~ +105°C)

参数	符号	引脚名称	条件	V _{CC} < 2.7 V		V _{CC} ≥ 2.7 V		单位
				最小	最大	最小	最大	
串行时钟周期	t _{SCYC}	SCKx	主控模式	4 t _{CYCP}	-	4 t _{CYCP}	-	ns
SCK ↓ → SOT 延迟时间	t _{SLOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↑ 建立时间	t _{IVSHI}	SCKx, SINx		50	-	36	-	ns
SCK ↑ → SIN 保持时间	t _{SHIXI}	SCKx, SINx		0	-	0	-	ns
SOT → SCK ↑ 延迟时间	t _{SOVHI}	SCKx, SOTx		2 t _{CYCP} - 30	-	2 t _{CYCP} - 30	-	ns
串行时钟 L 脉宽	t _{SLSH}	SCKx	从属模式	2 t _{CYCP} - 10	-	2 t _{CYCP} - 10	-	ns
串行时钟 H 脉宽	t _{SHSL}	SCKx		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↓ → SOT 延迟时间	t _{SLOVE}	SCKx, SOTx		-	50	-	33	ns
SIN → SCK ↑ 建立时间	t _{IVSHE}	SCKx, SINx		10	-	10	-	ns
SCK ↑ → SIN 保持时间	t _{SHIXE}	SCKx, SINx		20	-	20	-	ns
SCK 下降时间	t _F	SCKx		-	5	-	5	ns
SCK 上升时间	t _R	SCKx		-	5	-	5	ns

注意事项：

- 上述 AC 特性为时钟同步模式下的特性。
- t_{CYCP} 指 APB 总线时钟周期。有关连接到多功能串口的 APB 总线序号，请参见“8.框图。”
- 这些特性仅适用于重定位端口号相同时。例如，不适用于 SCKx_0 和 SOTx_1 组合。
- 外部负载电容 C_L=30 pF



使用 CSIO/SPI 芯片选择时 (SCINV=0, CSLVL=1)

 (V_{CC}= 1.65V ~3.6V, V_{SS}= 0V, T_A=- 40°C ~ +105°C)

参数	符号	条件	V _{CC} < 2.7 V		V _{CC} ≥ 2.7 V		单位
			最小	最大	最小	最大	
SCS↓→SCK↓ 建立时间	t _{CSSI}	主控模式	(*1)-50	(*1)+0	(*1)-50	(*1)+0	ns
SCK↑→SCS↑ 保持时间	t _{CSHI}		(*2)+0	(*2)+50	(*2)+0	(*2)+50	ns
SCS 取消时间	t _{CSDI}		(*3)-50	(*3)+50	(*3)-50	(*3)+50	ns
SCS↓→SCK↓ 建立时间	t _{CSSE}	从属模式	3t _{CYCP} +30	-	3t _{CYCP} +30	-	ns
SCK↑→SCS↑ 保持时间	t _{CSHE}		0	-	0	-	ns
SCS 取消时间	t _{CSDE}		3t _{CYCP} +30	-	3t _{CYCP} +30	-	ns
SCS↓→SOT 延迟时间	t _{DSE}		-	55	-	40	ns
SCS↑→SOT 延迟时间	t _{DEE}		0	-	0	-	ns

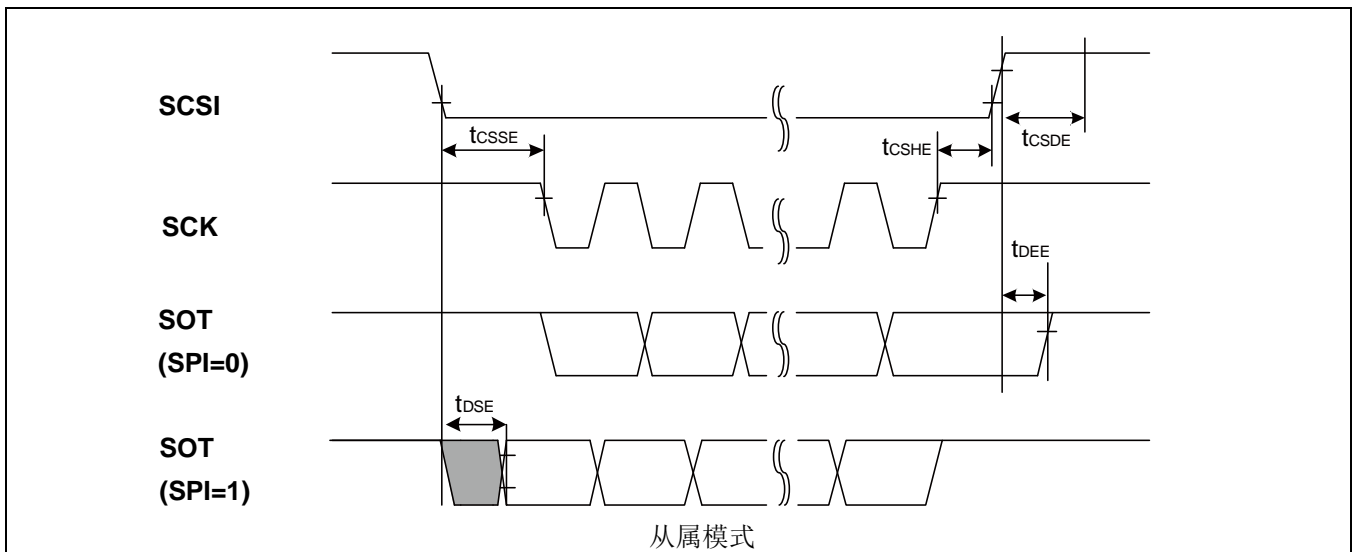
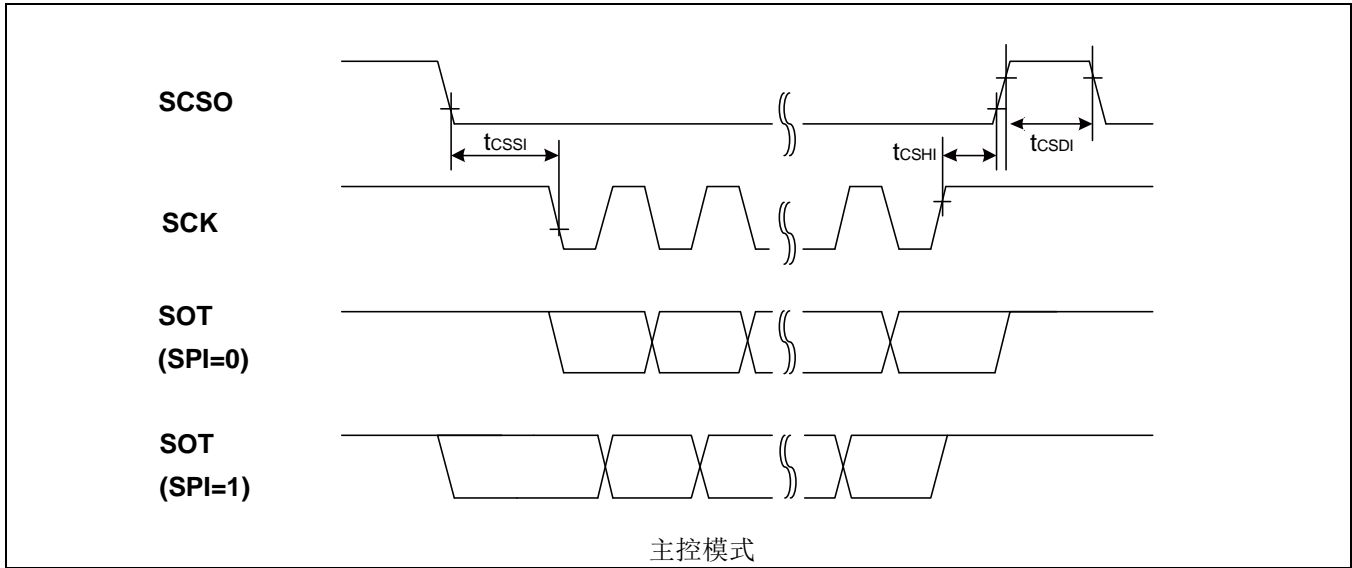
*1: CSSU 值 × 串行芯片选择时钟周期。

*2: CSHD 值 × 串行芯片选择时钟周期。

*3: CSDS 值 × 串行芯片选择时钟周期。不考虑 CSDS 值设置, 串行芯片选择引脚从无效到重新有效期间需要 5t_{CYCP} 或更多时间。

注意事项:

- t_{CYCP} 指 APB 总线时钟的周期。有关连接到多功能串口的 APB 总线序号, 请参见“8. 框图。”
- 有关 CSSU、CSHD、CSDS 和串行芯片选择工作时钟的信息, 请参见“FM0 + 系列外设手册。”
- 这些特性仅保证相同的重定位端口号。例如, 这些特性不保证 SCKx_0 和 SCSIx_1 的组合。
- 外部负载电容 C_L=30pF 时。



使用 CSIO/SPI 芯片选择时 (SCINV=1, CSLVL=1)

($V_{CC} = 1.65V \sim 3.6V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	条件	$V_{CC} < 2.7V$		$V_{CC} \geq 2.7V$		单位
			最小	最大	最小	最大	
SCS \downarrow →SCK \uparrow 建立时间	t _{CSSt}	主控模式	(*1)-50	(*1)+0	(*1)-50	(*1)+0	ns
SCK \downarrow →SCS \uparrow 保持时间	t _{CSHt}		(*2)+0	(*2)+50	(*2)+0	(*2)+50	ns
SCS 取消时间	t _{CSDt}		(*3)-50	(*3)+50	(*3)-50	(*3)+50	ns
SCS \downarrow →SCK \uparrow 建立时间	t _{CSSE}	从属模式	3t _{CYCP} +30	-	3t _{CYCP} +30	-	ns
SCK \downarrow →SCS \uparrow 保持时间	t _{CSHE}		0	-	0	-	ns
SCS 取消时间	t _{CSDE}		3t _{CYCP} +30	-	3t _{CYCP} +30	-	ns
SCS \downarrow →SOT 延迟时间	t _{DSE}		-	55	-	43	ns
SCS \uparrow →SOT 延迟时间	t _{DEE}		0	-	0	-	ns

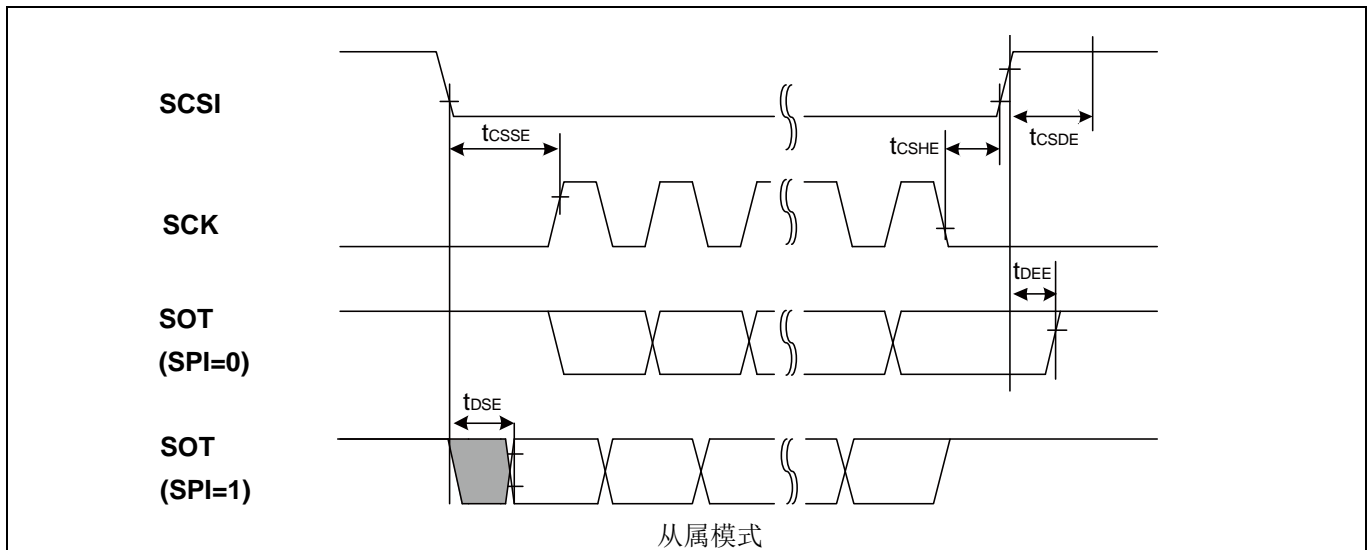
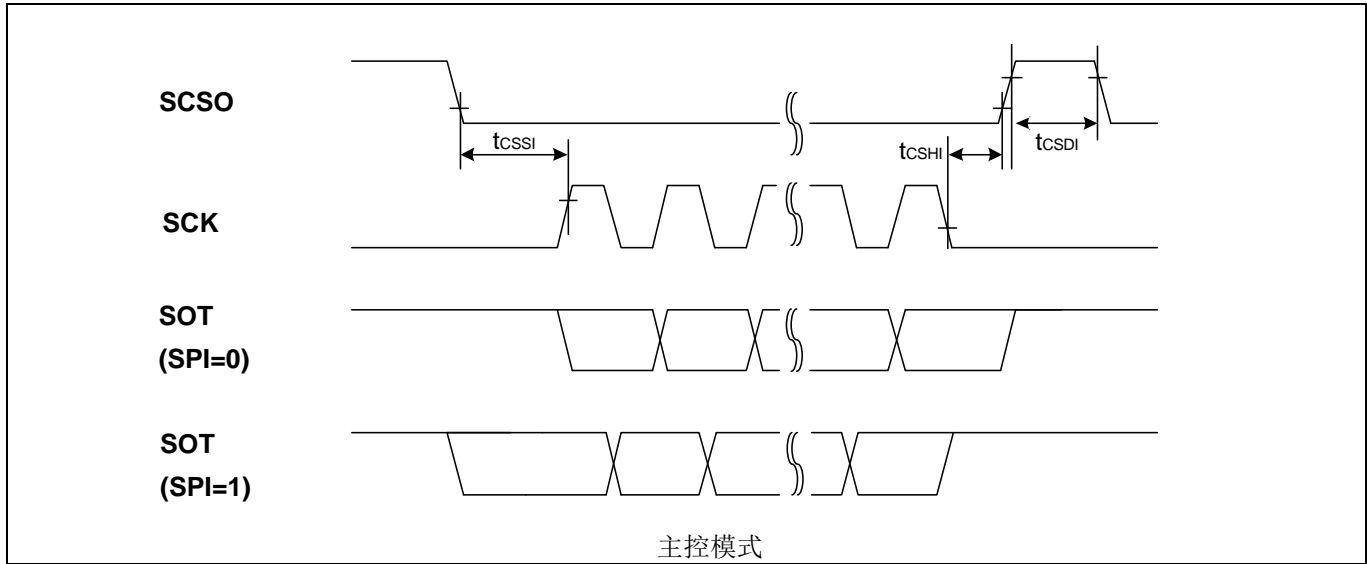
*1: CSSU 值 × 串行芯片选择时钟周期。

*2: CSHD 值 × 串行芯片选择时钟周期。

*3: CSDS 值 × 串行芯片选择时钟周期。不考虑 CSDS 值设置, 串行芯片选择引脚从无效到重新有效期间需要 5t_{CYCP} 或更多时间。

注意事项:

- t_{CYCP} 指 APB 总线时钟的周期。有关连接到多功能串口的 APB 总线序号, 请参见“8. 框图。”
- 有关 CSSU、CSHD、CSDS 和串行芯片选择时序工作时钟的信息, 请参见“FM0+ 系列外设手册。”
- 这些特性仅保证相同的重定位端口号。例如, 这些特性不保证 SCKx_0 和 SCSIx_1 的组合。
- 外部负载电容 C_L=30pF 时。



使用 CSIO/SPI 芯片选择时 (SCINV=0, CSLVL=0)

 (V_{CC}= 1.65V ~3.6V, V_{SS}= 0V, T_A=- 40°C ~ +105°C)

参数	符号	条件	V _{CC} < 2.7 V		V _{CC} ≥ 2.7 V		单位
			SCS _↑ →SCK _↓ 建立时间	SCS _↑ →SCK _↓ 建立时间	SCS _↑ →SCK _↓ 建立时间	SCS _↑ →SCK _↓ 建立时间	
SCS _↑ →SCK _↓ 建立时间	t _{CSSI}	主控模式	(*1)-50	(*1)+0	(*1)-50	(*1)+0	ns
SCK _↑ →SCS _↓ 保持时间	t _{CSHI}		(*2)+0	(*2)+50	(*2)+0	(*2)+50	ns
SCS 取消时间	t _{CSDI}		(*3)-50	(*3)+50	(*3)-50	(*3)+50	ns
SCS _↑ →SCK _↓ 建立时间	t _{CSE}	从属模式	3t _{CYCP} +30	-	3t _{CYCP} +30	-	ns
SCK _↑ →SCS _↓ 保持时间	t _{CSE}		0	-	0	-	ns
SCS 取消时间	t _{CSE}		3t _{CYCP} +30	-	3t _{CYCP} +30	-	ns
SCS _↑ →SOT 延迟时间	t _{DSE}		-	55	-	40	ns
SCS _↓ →SOT 延迟时间	t _{DEE}		0	-	0	-	ns

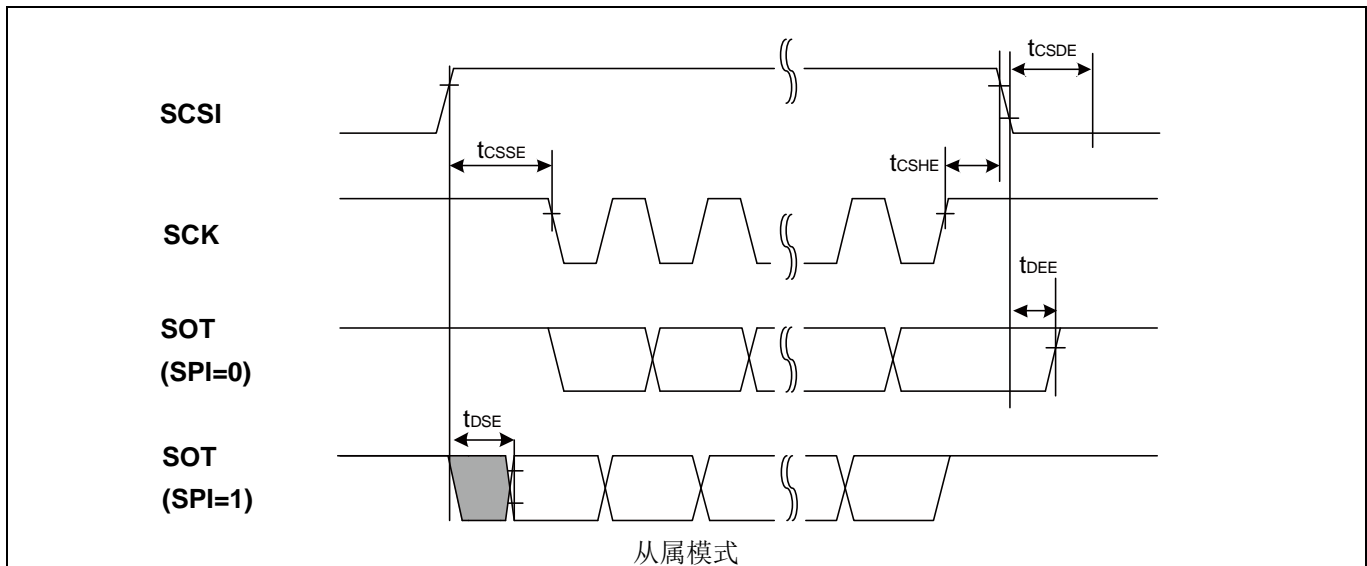
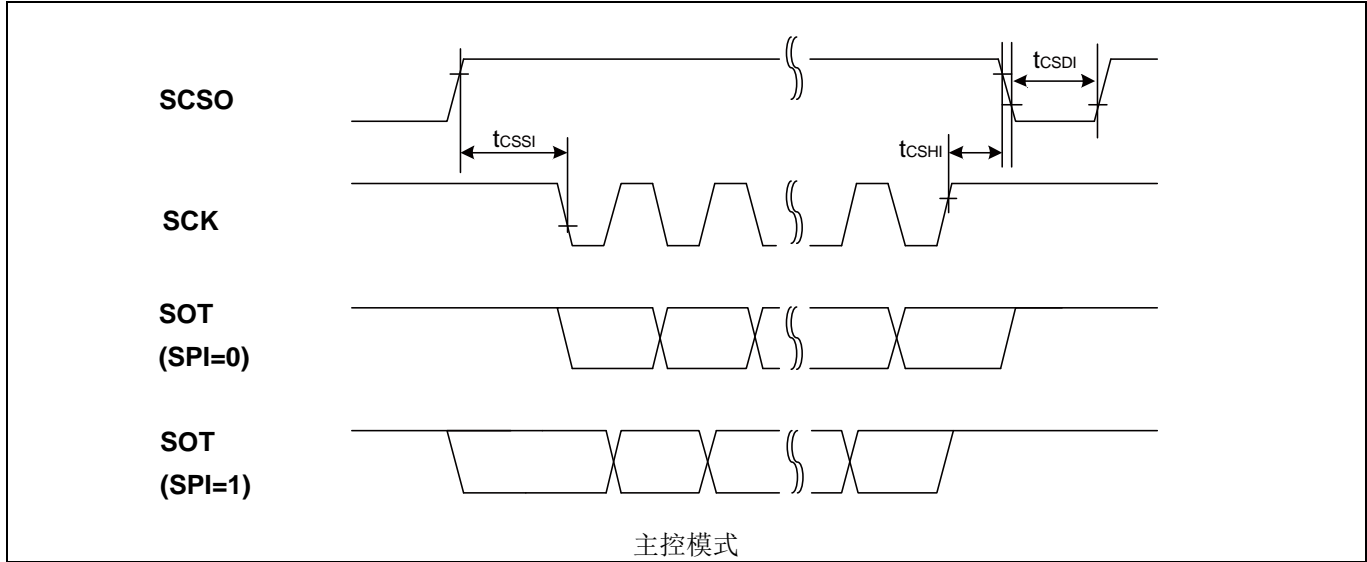
*1: CSSU 值 × 串行芯片选择时钟周期。

*2: CSHD 值 × 串行芯片选择时钟周期。

*3: CSDS 值 × 串行芯片选择时钟周期。不考虑 CSDS 值设置, 串行芯片选择引脚从无效到重新有效期间需要 5t_{CYCP} 或更多时间。

注意事项:

- t_{CYCP} 指 APB 总线时钟的周期。有关连接到多功能串口的 APB 总线序号, 请参见“8. 框图。”
- 有关 CSSU、CSHD、CSDS 和串行芯片选择时序工作时钟的信息, 请参见“FM0+ 系列外设手册。”
- 这些特性仅保证相同的重定位端口号。例如, 这些特性不保证 SCKx_0 和 SCSIx_1 的组合。
- 外部负载电容 C_L=30pF 时。



使用 CSIO/SPI 芯片选择时 (SCINV=1, CSLVL=0)

 (V_{CC}= 1.65V ~3.6V, V_{SS}= 0V, T_A=- 40°C ~ +105°C)

参数	符号	条件	V _{CC} < 2.7 V		V _{CC} ≥ 2.7 V		单位
			最小	最大	最小	最大	
SCS↑→SCK↑ 建立时间	t _{CSSl}	主控模式	(*1)-50	(*1)+0	(*1)-50	(*1)+0	ns
SCK↓→SCS↓ 保持时间	t _{CShI}		(*2)+0	(*2)+50	(*2)+0	(*2)+50	ns
SCS 取消时间	t _{CSDI}		(*3)-50	(*3)+50	(*3)-50	(*3)+50	ns
SCS↑→SCK↑ 建立时间	t _{CSSe}	从属模式	3t _{CYCP} +30	-	3t _{CYCP} +30	-	ns
SCK↓→SCS↓ 保持时间	t _{CShE}		0	-	0	-	ns
SCS 取消时间	t _{CSDe}		3t _{CYCP} +30	-	3t _{CYCP} +30	-	ns
SCS↑→SOT 延迟时间	t _{DSE}		-	55	-	40	ns
SCS↓→SOT 延迟时间	t _{DEE}		0	-	0	-	ns

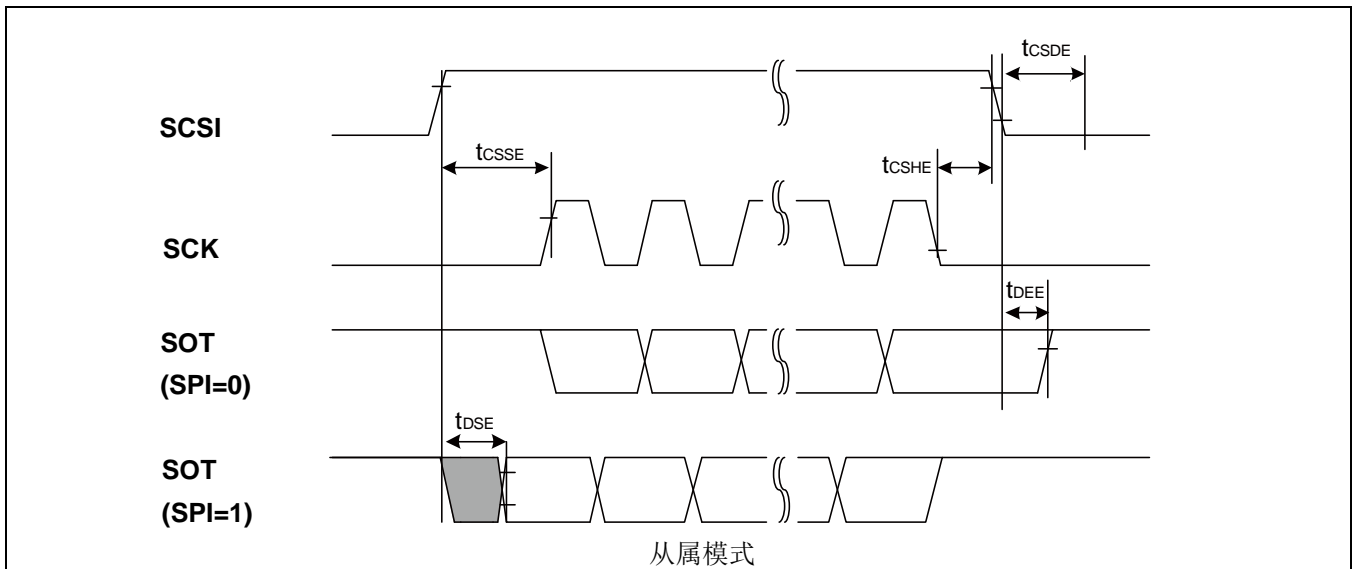
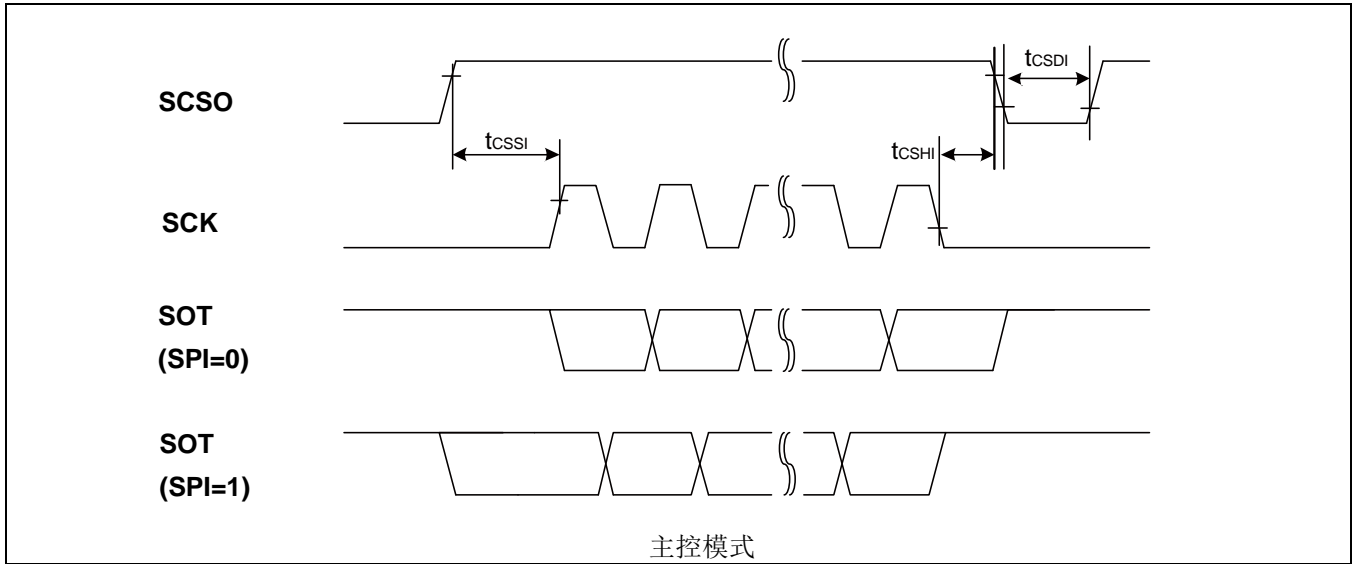
*1: CSSU 值 × 串行芯片选择时钟周期。

*2: CSHD 值 × 串行芯片选择时钟周期。

*3: CSDS 值 × 串行芯片选择时钟周期。不考虑 CSDS 值设置, 串行芯片选择引脚从无效到重新有效期间需要 5t_{CYCP} 或更多时间。

注意事项:

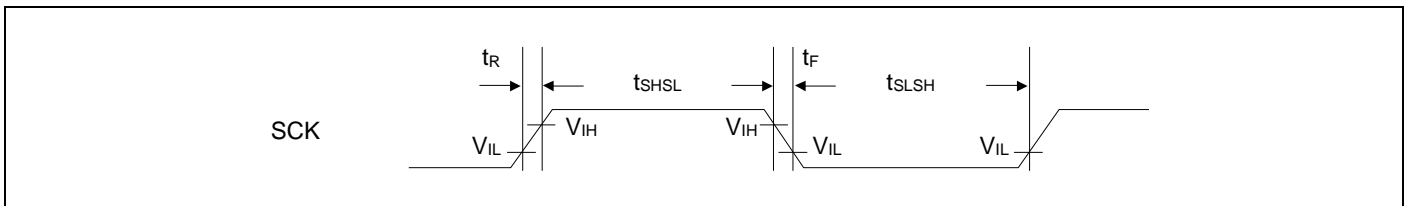
- t_{CYCP} 指 APB 总线时钟的周期。有关连接到多功能串口的 APB 总线序号, 请参见“8. 框图。”
- 有关 CSSU、CSHD、CSDS 和串行芯片选择时序工作时钟的信息, 请参见“FM0 + 系列外设手册。”
- 这些特性仅保证相同的重定位端口号。例如, 这些特性不保证 SCKx_0 和 SCSIx_1 的组合。
- 外部负载电容 C_L=30pF 时。



UART 外部时钟输入 (EXT=1)

 (V_{CC}=1.65V ~ 3.6V, V_{SS}=0V, T_A=-40°C ~ +105°C)

参数	符号	条件	值		单位	备注
			最小	最大		
串行时钟 L 脉宽	t _{SLSH}	C _L =30pF	t _{CYCP} +10	-	ns	
串行时钟 H 脉宽	t _{SHSL}		t _{CYCP} +10	-	ns	
SCK 下降时间	t _F		-	5	ns	
SCK 上升时间	t _R		-	5	ns	



11.4.10 外部输入时序

($V_{CC} = 1.65V \sim 3.6V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +105^{\circ}C$)

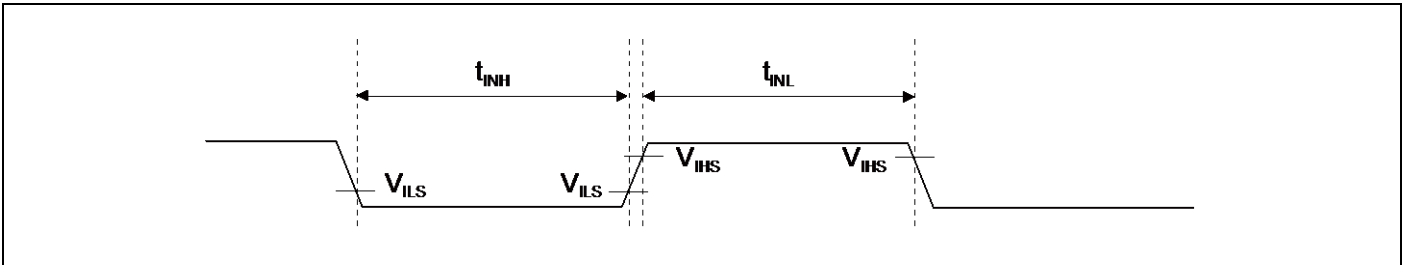
参数	符号	引脚名称	条件	值		单位	备注
				最小	最大		
输入脉宽	t_{INH} , t_{INL}	ADTGx	-	$2 t_{CYCP}^{*1}$	-	ns	A/D 转换器触发输入
		INT00 to INT08, INT12, INT13, INT15, NMIX	*2	$2 t_{CYCP} + 100^{*1}$	-	ns	外部中断, NMI
			*3	500	-	ns	
		WKUPx	*4	500	-	ns	深度待机唤醒

*1: t_{CYCP} 是指 APB 总线时钟周期。有关多功能计时器以及外部中断控制器连接的 APB 总线序号, 请参见“8. 框图”。

*2: 运行模式和休眠模式时

*3: 计时器模式、RTC 模式和停止模式时

*4: 深度待机 RTC 模式和深度待机停止模式时



11.4.11 I²C 时序/I²C 从机时序

(V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = -40°C ~ +105°C)

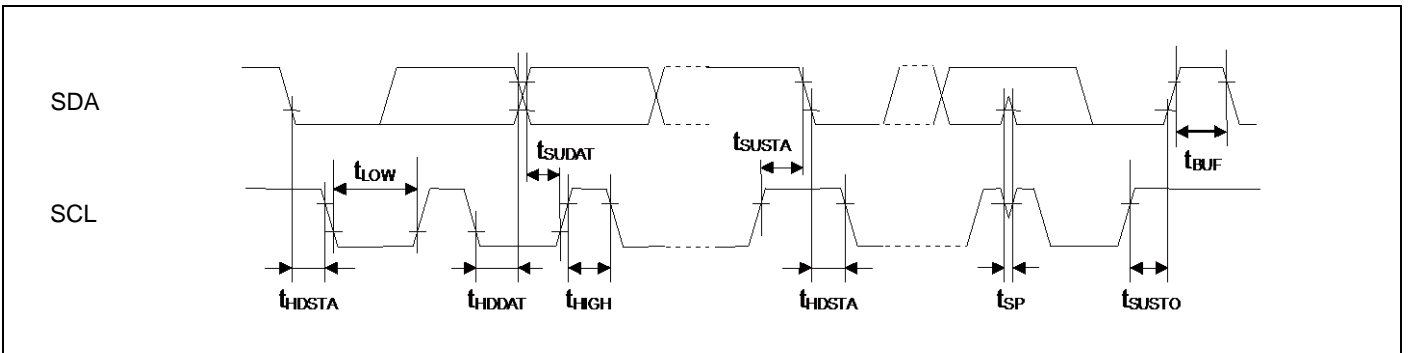
参数	符号	条件	标准模式		高速模式		单位	备注
			最小	最大	最小	最大		
SCL 时钟频率	f _{SCL}	C _L =30pF, R=(V _P /I _{OL})* ¹	0	100	0	400	kHz	
(重复) 启动条件保持时间 SDA ↓ → SCL ↓	t _{HDSTA}		4.0	-	0.6	-	μs	
SCL 时钟 L 宽	t _{LOW}		4.7	-	1.3	-	μs	
SCL 时钟 H 宽	t _{HIGH}		4.0	-	0.6	-	μs	
(重复) 启动建立时间 SCL ↑ → SDA ↓	t _{SUSTA}		4.7	-	0.6	-	μs	
数据保持时间 SCL ↓ → SDA ↓ ↑	t _{HDDAT}		0	3.45* ²	0	0.9* ³	μs	
数据建立时间 SDA ↓ ↑ → SCL ↑	t _{SUDAT}		250	-	100	-	ns	
停止条件建立时间 SCL ↑ → SDA ↑	t _{SUSTO}		4.0	-	0.6	-	μs	
停止条件和启动条件之间的 总线空闲时间	t _{BUF}		4.7	-	1.3	-	μs	
噪声过滤器	t _{SP}		-	2t _{CYCP} * ⁴	-	2t _{CYCP} * ⁴	ns	

*1: R 是指 SCL 和 SDA 总线上的上拉电阻, C_L 是指 SCL 和 SDA 总线上的负载电容。V_P 是指上拉电阻的电源电压, I_{OL} 是指 V_{OL} 保证电流。

*2: 最大 t_{HDDAT} 至少必须满足的条件是, 从机将 SCL 信号保持在 L (t_{LOW}) 的时间不会延长。

*3: 高速模式 I²C 总线芯片可用于标准模式 I²C 总线系统, 但必须满足 t_{SUDAT} ≥ 250 ns 的要求。

*4: t_{CYCP} 是指 APB 总线时钟周期。有关 I²C 连接的 APB 总线序号, 请参见“8. 框图”。使用标准模式时, 请将 APB 总线时钟设置在 2MHz 或以上。使用高速模式时, 请将 APB 总线时钟设置在 8MHz 或以上。



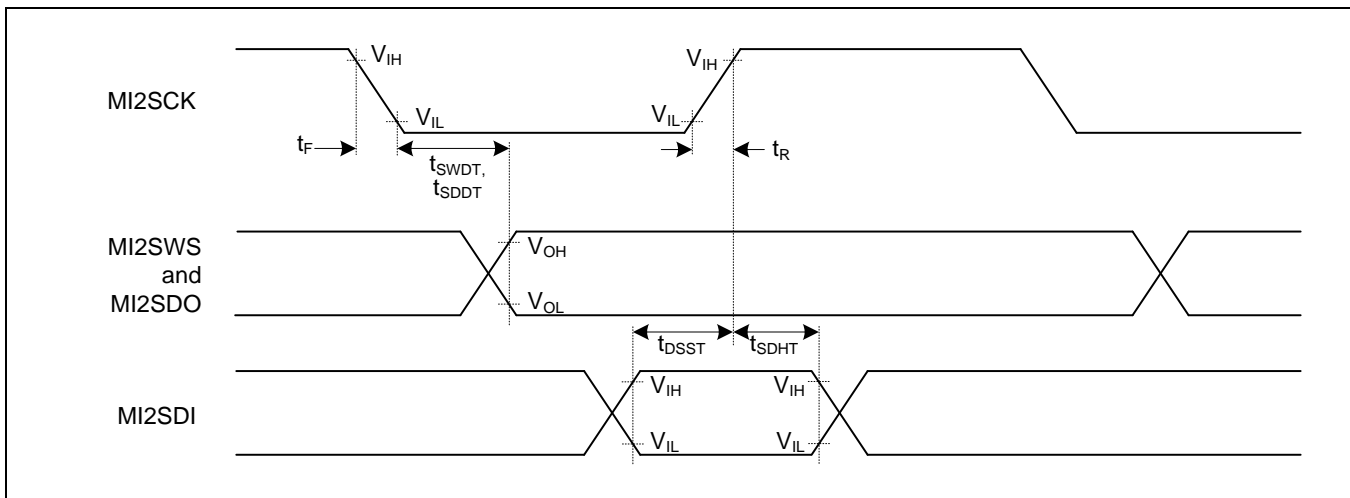
11.4.12 I²S 时序 (多功能串口-I²S 时序)

主机模式时序

(V_{CC}= 1.65V ~ 3.6V, V_{SS}= 0V, T_A=- 40°C ~ +105°C)

参数	符号	引脚名称	条件	V _{CC} <2.7V		V _{CC} ≥2.7V		单位
				最小	最大	最小	最大	
MI2SCK 最大频率*1	f _{MI2SCK}	MI2SCKx	C _L =30pF	-	6.144	-	6.144	MHz
I ² S 时钟周期*1	t _{CYC}	MI2SCKx		4t _{CYCP}	-	4t _{CYCP}	-	ns
I ² S 时钟占空比	Δ	MI2SCKx		45%	55%	45%	55%	
MI2SCK↓→MI2SWS 延迟时间	t _{SWDT}	MI2SCKx MI2SWS _x		-30	+30	-20	+20	ns
MI2SCK↓→MI2SDO 延迟时间	t _{SDDT}	MI2SCKx MI2SDO _x		-30	+30	-20	+20	ns
MI2SDI→MI2SCK↑ 建立时间	t _{DSST}	MI2SCKx MI2SDIx		50	-	36	-	ns
MI2SCK↑→MI2SDI 保持时间	t _{SDHT}	MI2SCKx MI2SDIx		0	-	0	-	ns
MI2SCK 下降时间	t _F	MI2SCKx		-	5	-	5	ns
MI2SCK 上升时间	t _R	MI2SCKx	-	5	-	5	ns	

*1: I²S 时钟应满足 PCLK (t_{CYC}) 倍频, 并且其频率低于 f_{MI2SCK}。详细信息请参见外围资源手册通信模块部分的 I²S 一章。

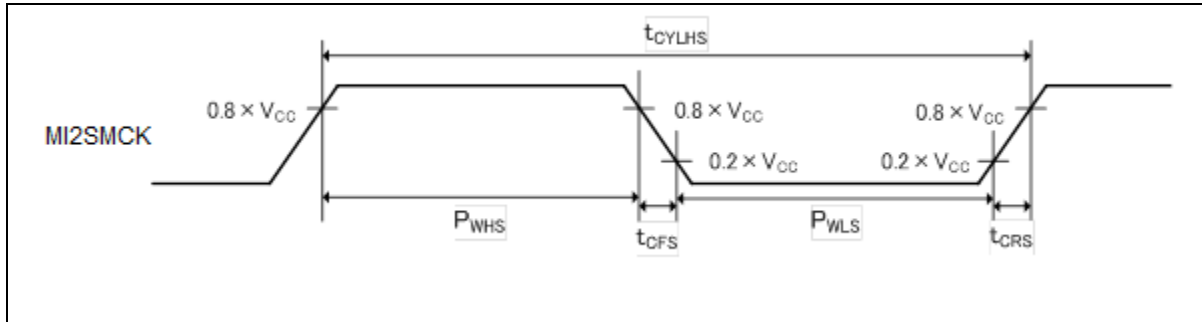


MI2SMCK 输入特性

(V_{CC}= 1.65 V to 3.6 V, V_{SS}= 0 V, T_A=- 40°C to +105°C)

参数	符号	引脚名称	条件	值		单位	备注
				最小	最大		
输入频率	f _{CHS}	MI2SMCK	-	-	12.288	MHz	
输入时钟周期	t _{CYLHS}	-	-	81.3	-	ns	
输入时钟脉宽	-	-	P _{WHS} /t _{CYLHS} P _{WLS} /t _{CYLHS}	45	55	%	当使用外部时钟时

输入时钟上升和下降时间	t _{CFS} t _{CRS}	-	-	-	5	ns	当使用外部时钟时
-------------	--------------------------------------	---	---	---	---	----	----------


MI2SMCK 输出特性

 (V_{CC}= 1.65 V to 3.6 V, V_{SS}= 0 V, T_A=- 40°C to +105°C)

参数	符号	引脚名称	条件	值		单位	备注
				最小	最大		
输出频率	f _{CHS}	MI2SMCK	-	-	25	MHz	V _{CC} ≥ 2.7 V
				-	20	MHz	V _{CC} < 2.7 V

11.4.13 智能卡接口特性

 (V_{CC}=1.65 V ~ 3.3 V, V_{SS}=0 V, T_A=- 40°C ~ +105°C)

参数	符号	引脚名称	条件	值		单位	备注
				最小	最大		
输出上升时间	t _R	ICx_VCC, ICx_RST, ICx_CLK, ICx_DATA	C _L =30pF	4	20	ns	
输出下降时间	t _F			4	20	ns	
输出时钟频率	f _{CLK}	ICx_CLK		-	20	MHz	
占空比	Δ			45%	55%		

■当用作智能卡阅读功能时，必须对 ICx_CIN 引脚使用外部上拉电阻(20 kΩ to 50 kΩ)。

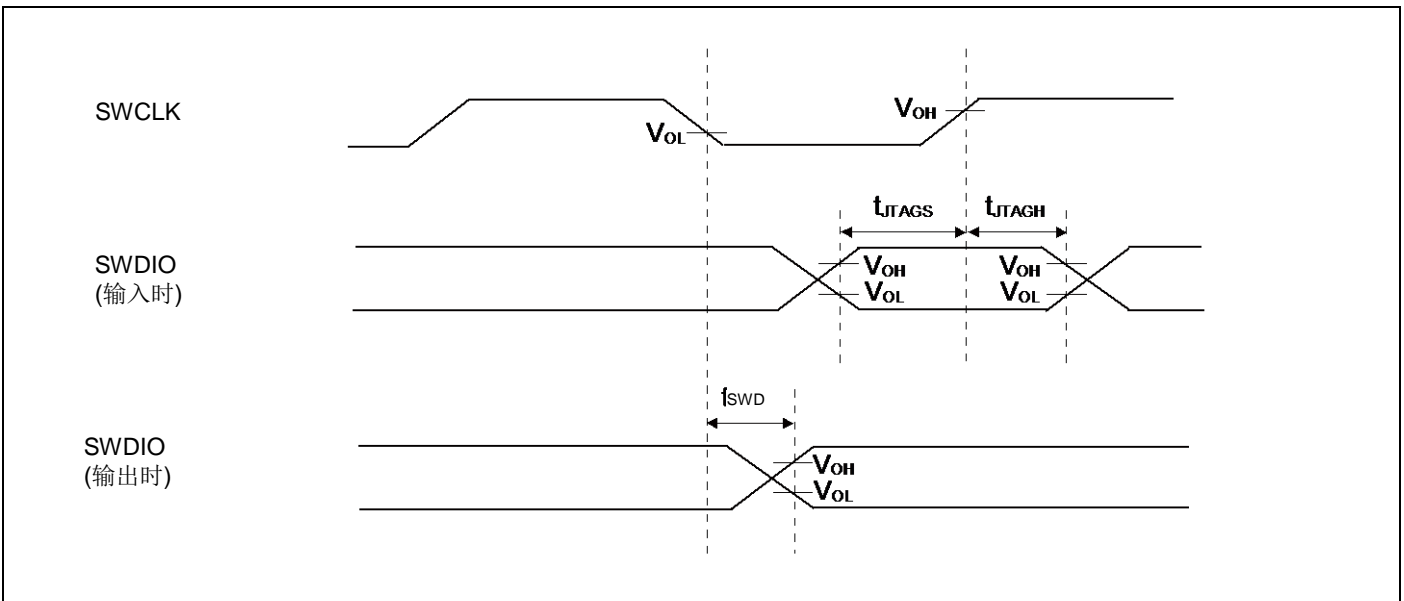
11.4.14 SW-DP 时序

 (V_{CC}= 1.65V ~ 3.6V, V_{SS}= 0V, T_A=- 40°C ~ +105°C)

参数	符号	引脚名称	条件	值		单位	备注
				最小	最大		
SWDIO 建立时间	t _{sws}	SWCLK, SWDIO	-	15	-	ns	
SWDIO 保持时间	t _{swh}	SWCLK, SWDIO	-	15	-	ns	
SWDIO 延迟时间	t _{swd}	SWCLK, SWDIO	-	-	45	ns	

注意事项：

- 外部负载电容 C_L=30pF



11.5 12 位 A/D 转换器
A/D 转换器的电气特性 (初值)

 (V_{CC}=1.65V ~ 3.6V, V_{SS}=0V, T_A=- 40°C ~ +105°C)

参数	符号	引脚名称	值			单位	备注
			最小	典型	最大		
分辨率	-	-	-	-	12	bit	
积分非线性误差	-	-	- 4.5	-	4.5	LSB	
微分非线性误差	-	-	- 2.5	-	+ 2.5	LSB	
零值转换电压	V _{ZT}	ANxx	- 15	-	+ 15	mV	
全域转换电压	V _{FST}	ANxx	AVRH - 15	-	AVRH + 15	mV	
转换时间*1	-	-	1.0	-	-	μs	V _{CC} ≥ 2.7 V
			4.0	-	-		1.8 ≤ V _{CC} < 2.7 V
			10	-	-		1.65 ≤ V _{CC} < 1.8 V
采样时间*2	T _s	-	0.3	-	10	μs	V _{CC} ≥ 2.7 V
			1.2	-			1.8 ≤ V _{CC} < 2.7 V
			3.0	-			1.65 ≤ V _{CC} < 1.8 V
比较时钟周期*3	T _{ck}	-	50	-	1000	ns	V _{CC} ≥ 2.7 V
			200	-			1.8 ≤ V _{CC} < 2.7 V
			500	-			1.65 ≤ V _{CC} < 1.8 V
操作等待时间	T _{stt}	-	-	-	1.0	μs	
模拟输入电容	C _{AIN}	-	-	-	7.5	pF	
模拟输入电阻	R _{AIN}	-	-	-	2.2	kΩ	V _{CC} ≥ 2.7 V
					5.5		1.8 ≤ V _{CC} < 2.7 V
					10.5		1.65 ≤ V _{CC} < 1.8 V
通道间不平衡	-	-	-	-	4	LSB	
模拟端口输入漏电流	-	ANxx	-	-	5	μA	
模拟输入电压	-	ANxx	V _{SS}	-	AVRH	V	
基准电压	-	AVRH	2.7	-	V _{CC}	V	V _{CC} ≥ 2.7V
			V _{CC}				V _{CC} < 2.7V
		AVRL	V _{SS}	-	V _{SS}	V	

*1: 转换时间=采样时间 (ts)+比较时间 (tc)。

根据以下条件计算出最短转换时间:

V_{CC}≥2.7 V 取样时间=0.3μs, 比较时间=0.7μs

1.8 ≤V_{CC}<2.7 V 取样时间=1.2 μs, 比较时间=2.8μs

1.65 ≤V_{CC}<1.8 V 取样时间=3.0μs, 比较时间=7.0μs

转换时间需满足采样时间(tss)和比较时钟周期 (t_{ck}) 的具体要求。

有关采样时间和比较时钟周期的设置详情, 请参见“FM0+系列外设手册模拟部分”中的“A/D 转换器”一章。

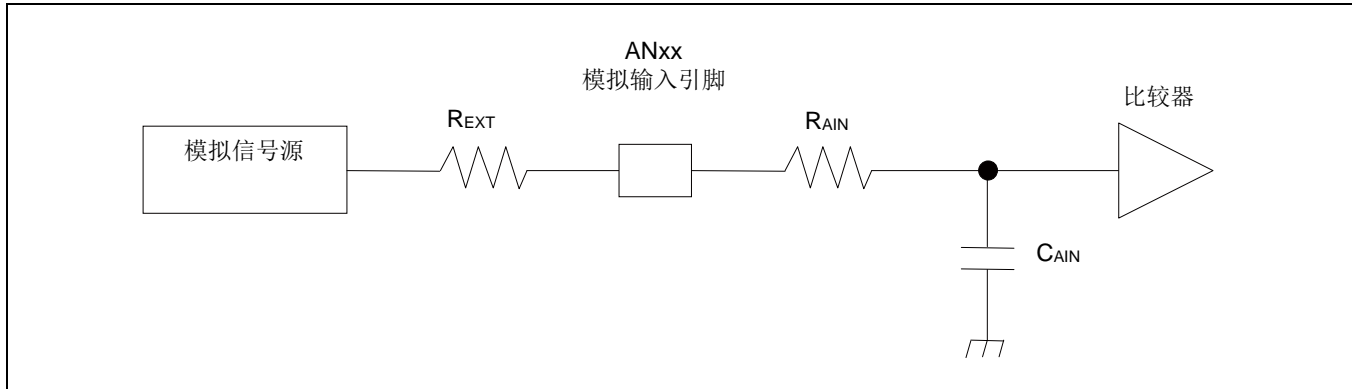
A/D 转换器的寄存器设置反映在 APB 总线时钟时序运行上。

有关 A/D 连接的 APB 总线序号, 请参见“8. 框图”。

基本时钟 (HCLK) 用于生成采样时间和比较时钟周期。

*2: 需要的采样时间随外部阻抗而变化。设置依据 (式 1) 的计算。

*3: 比较时间 (tc) 是根据 (式 2) 计算得出的。



(式 1) $t_s \geq (R_{AIN} + R_{EXT}) \times C_{AIN} \times 9$

t_s : 取样时间

R_{AIN} : A/D 转换器的输入电阻=2.2kΩ, $2.7 \leq V_{CC} \leq 3.6$

A/D 转换器的输入电阻=5.5kΩ, $1.8 \leq V_{CC} \leq 2.7$

A/D 转换器的输入电阻=10.5kΩ, $1.65 \leq V_{CC} \leq 1.8$

C_{AIN} : A/D 转换器的输入电容=7.5pF $1.65 \leq V_{CC} \leq 3.6$ 时

R_{EXT} : 外部电路的输出阻抗

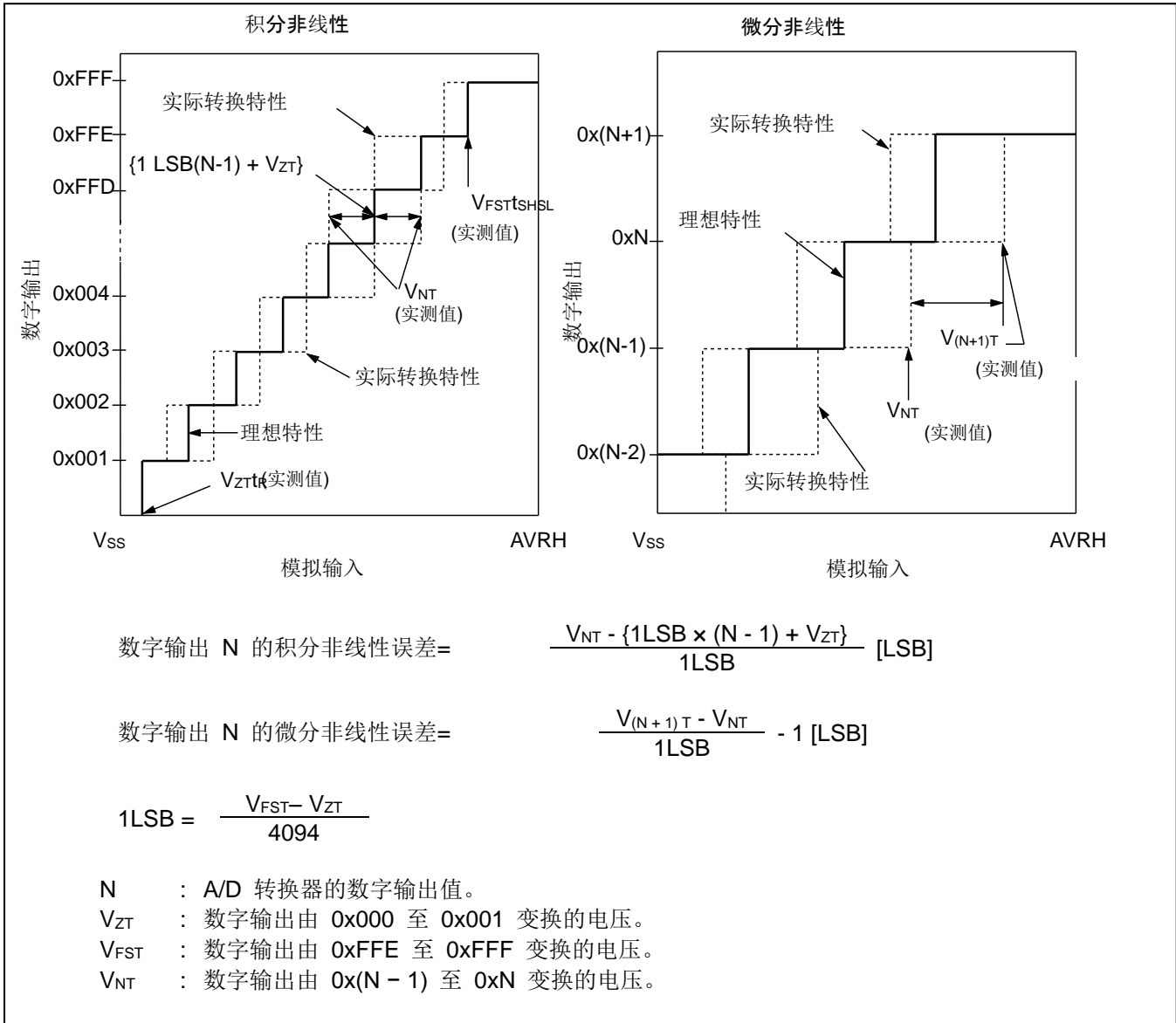
(式 2) $t_c = t_{CCK} \times 14$

t_c : 比较时间

t_{CCK} : 比较时钟周期

12 位 A/D 转换器术语定义

- 分辨率: A/D 转换器分辨出的模拟偏差的等级。
- 非线性: 实际转换值偏移直线的误差, 该直线连接器件上的零转换点 (0b000000000000 ←→0b000000000001) 和同一器件上的全面转换点 (0b111111111110←→0b111111111111)。
- 微分非线性: 用一个 LSB 改变输出码所需输入电压偏移理想值的误差。



11.6 低压检测特性

11.6.1 低压检测复位

(TA=-40°C ~ +105°C)

参数	符号	条件	值			单位	备注
			最小	标准	最大		
检测电压	VDL	固定*1	1.38	1.50	1.60	V	电压下降时
释放电压	VDH		1.43	1.55	1.65	V	电压升高时
LVD 稳定等待时间	tLVDW	-	-	-	8160×t _{CP} ^{*2}	μs	
LVD 检测延迟时间	tLVDDL	-	-	-	200	μs	

*1: 低压检测复位的值通常为固定值。

*2: t_{CP} 是指 APB1 总线时钟周期。

11.6.2 低压检测中断

 (T_A=-40°C ~ +105°C)

参数	符号	条件	值			单位	备注
			最小	典型	最大		
检测电压	VDL	SVHI=00100	1.56	1.70	1.84	V	电压下降时
释放电压	VDH		1.61	1.75	1.89	V	电压上升时
检测电压	VDL	SVHI=00101	1.61	1.75	1.89	V	电压下降时
释放电压	VDH		1.66	1.80	1.94	V	电压上升时
检测电压	VDL	SVHI=00110	1.66	1.80	1.94	V	电压下降时
释放电压	VDH		1.70	1.85	2.00	V	电压上升时
检测电压	VDL	SVHI=00111	1.70	1.85	2.00	V	电压下降时
释放电压	VDH		1.75	1.90	2.05	V	电压上升时
检测电压	VDL	SVHI=01000	1.75	1.90	2.05	V	电压下降时
释放电压	VDH		1.79	1.95	2.11	V	电压上升时
检测电压	VDL	SVHI=01001	1.79	1.95	2.11	V	电压下降时
释放电压	VDH		1.84	2.00	2.16	V	电压上升时
检测电压	VDL	SVHI=01010	1.84	2.00	2.16	V	电压下降时
释放电压	VDH		1.89	2.05	2.21	V	电压上升时
检测电压	VDL	SVHI=01011	1.89	2.05	2.21	V	电压下降时
释放电压	VDH		1.93	2.10	2.27	V	电压上升时
检测电压	VDL	SVHI=01100	2.30	2.50	2.70	V	电压下降时
释放电压	VDH		2.39	2.60	2.81	V	电压上升时
检测电压	VDL	SVHI=01101	2.39	2.60	2.81	V	电压下降时
释放电压	VDH		2.48	2.70	2.92	V	电压上升时
检测电压	VDL	SVHI=01110	2.48	2.70	2.92	V	电压下降时
释放电压	VDH		2.58	2.80	3.02	V	电压上升时
检测电压	VDL	SVHI=01111	2.58	2.80	3.02	V	电压下降时
释放电压	VDH		2.67	2.90	3.13	V	电压上升时
检测电压	VDL	SVHI=10000	2.67	2.90	3.13	V	电压下降时
释放电压	VDH		2.76	3.00	3.24	V	电压上升时
检测电压	VDL	SVHI=10001	2.76	3.00	3.24	V	电压下降时
释放电压	VDH		2.85	3.10	3.35	V	电压上升时
检测电压	VDL	SVHI=10010	2.85	3.10	3.35	V	电压下降时
释放电压	VDH		2.94	3.20	3.46	V	电压上升时
检测电压	VDL	SVHI=10011	2.94	3.20	3.46	V	电压下降时
释放电压	VDH		3.04	3.30	3.56	V	电压上升时
LVD 稳定等待时间	T _{LVDW}	-	-	-	8160 × t _{CYCP} *	μs	
LVD 检测延迟时间	T _{LVDL}	-	-	-	200	μs	

 *: t_{CYCP} 是指 APB1 时钟周期。

11.7 闪存写入/擦除特性

 (V_{CC}=1.65V ~ 3.6V, T_A=- 40°C ~ +105°C)

参数		值			单位	备注
		最小*	典型*	最大*		
Sector erase time	Large sector	-	1.1	2.7	s	扇区擦除时间包括内部擦除前的写入时间
	Small sector	-	0.3	0.9		
Halfword (16-bit) write time		-	30	528	μs	半字 (16 位) 写入时间不包括系统级开销时间
Chip erase time		-	4.5	11.7	s	芯片擦除时间包括内部擦除前的写入时间

*: 典型值是装运后的值, 最大值是 10,000 次擦除/写入循环时的保证值。

写入/擦除循环和数据保持时间

写入/擦除循环	数据保持时间 (年)	备注
1,000	20*	
10,000	10*	

*: 数据经过工艺鉴定 (使用 Arrhenius 公式将 85 度高温加速测试的结果转换成平均温度下的值)。

11.8 低功耗模式唤醒时间

11.8.1 唤醒因素：中断/唤醒

低功耗模式的唤醒时间如下。该唤醒时间为从接收唤醒因子到开始程序运行之间的时间。

唤醒计数时间

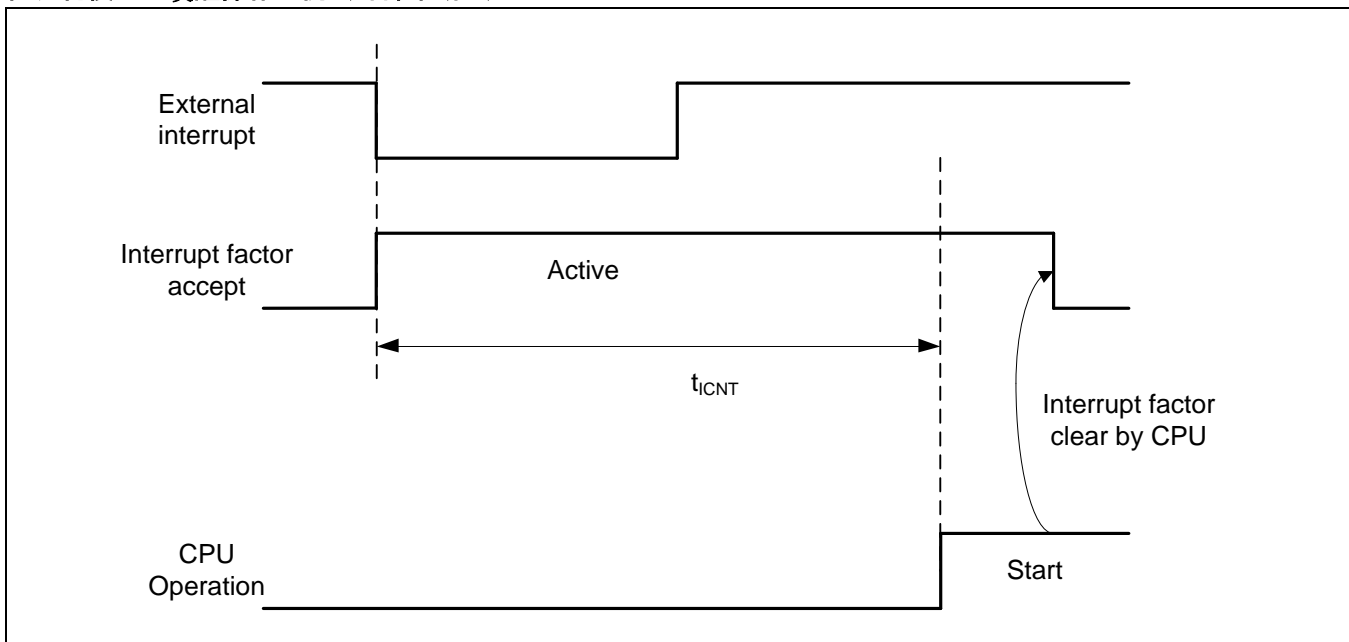
($V_{CC}=1.65V \sim 3.6V$, $T_A=-40^{\circ}C \sim +105^{\circ}C$)

Parameter		Symbol	Value		Unit	Remarks
Current Mode	Mode to return		Typ	Max ^{*1}		
Sleep mode	each Run Modes	t _{ICNT}	4*HCLK		μs	When High-speed CR is enabled
Timer mode	High-speed CR Run mode Main Run mode PLL Run mode		12*HCLK	13*HCLK	μs	When High-speed CR is enabled
	Low-speed CR Run mode Sub Run mode		34+12*HCLK	72+13*HCLK	μs	
Stop Mode	High-speed CR Run mode Low-speed CR Run mode		34+12*HCLK	72+13*HCLK	μs	
	Main Run mode Sub Run mode PLL Run mode		34+12*HCLK +t _{oscWT}	72+13*HCLK +t _{oscWT}	μs	*2
RTC mode	High-speed CR Run mode Low-speed CR Run mode Sub Run mode		34+12*HCLK	72+13*HCLK	μs	
	Main Run mode PLL Run mode		34+12*HCLK +t _{oscWT}	72+13*HCLK +t _{oscWT}	μs	*2
Deep Standby RTC mode Deep Standby Stop mode	High-speed CR Run mode		43	281	μs	

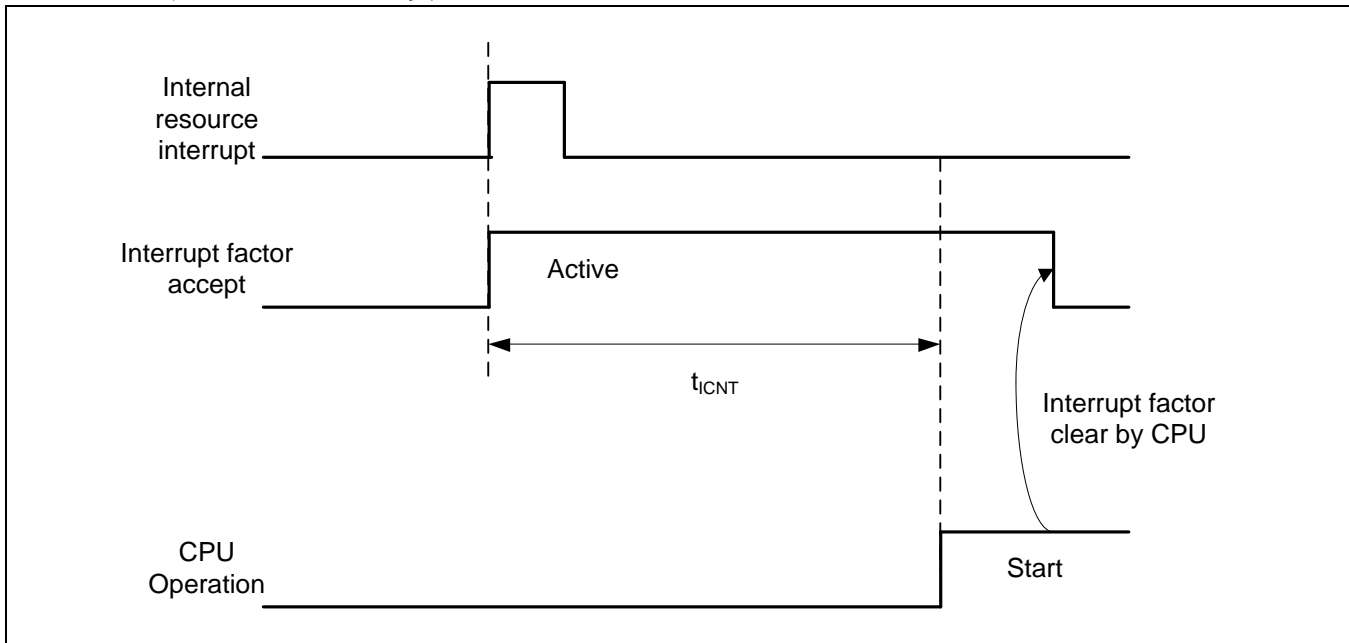
*1: 最大值取决于环境条件。

*2: t_{oscWT}: 振荡器稳定时间。

低功耗模式的唤醒操作示例（外部中断 *）



*: 设置外部中断，以检测所有边缘。

低功耗模式的唤醒操作示例（内部资源中断 *）


低功耗模式下的唤醒因素不包括内部资源中断。

注意事项：

- - 各低功耗模式下的唤醒因素不同。
请参照 FMO+ 系列外设手册中“低功耗模式”一章和“待机模式工作”一章。
- - 中断恢复时，CPU 恢复的运行模式取决于低功耗模式过渡前的状态。请参照“FMO+ 系列外设手册”中“低功耗模式”一章

11.8.2 唤醒因素：复位

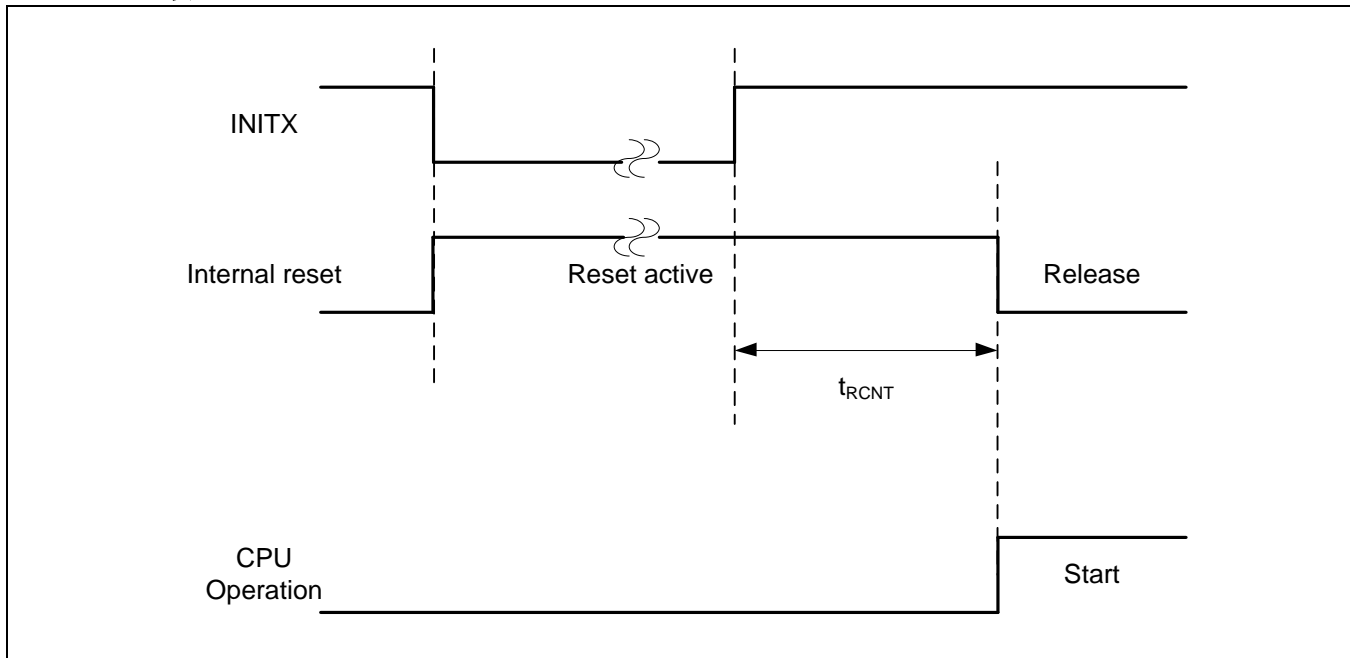
低功耗模式的唤醒时间如下。该唤醒时间为从接收唤醒因子到开始程序运行之间的时间。

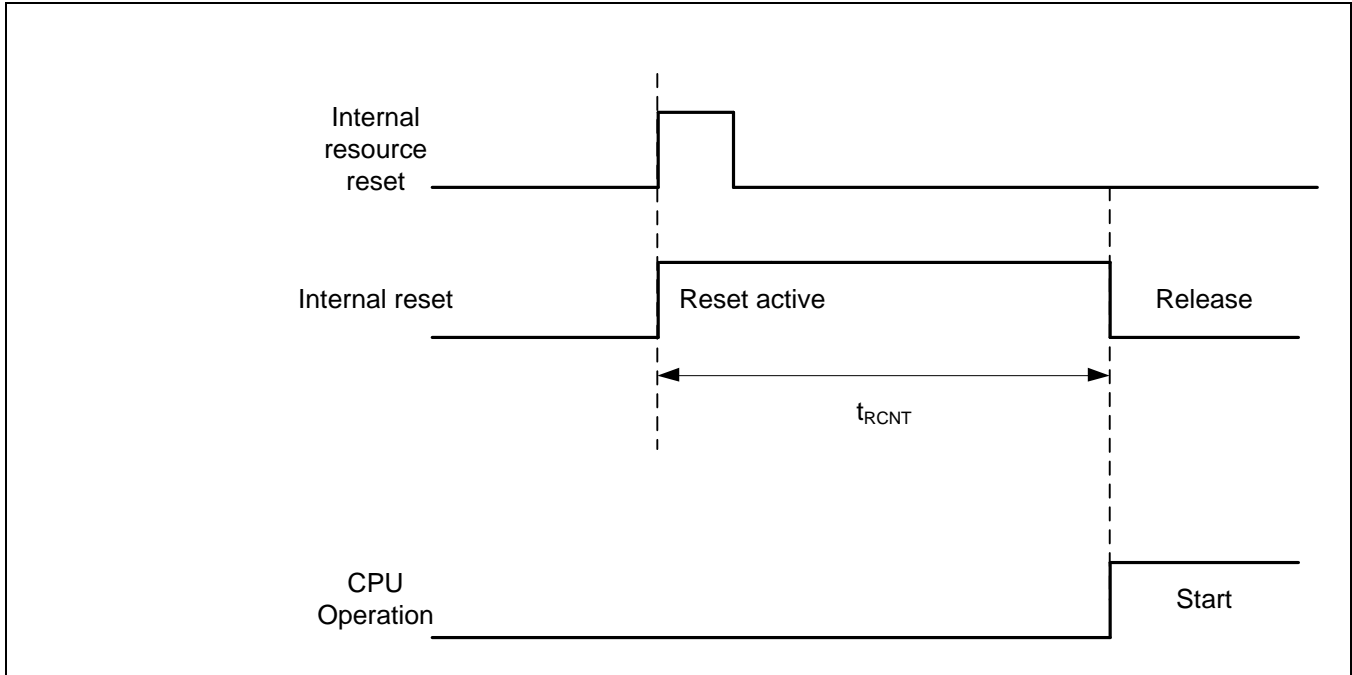
唤醒计数时间

($V_{CC}=1.65V \sim 3.6V$, $T_A=-40^{\circ}C \sim +105^{\circ}C$)

Parameter		Symbol	Value		Unit	Remarks
Current Mode	Mode to return		Typ	Max*		
High-speed CR Sleep mode Main Sleep mode PLL Sleep mode	High-speed CR Run mode	t_{RCNT}	20	22	μs	When High-speed CR is enabled
Low-speed CR Sleep mode			50	106	μs	When High-speed CR is enabled
Sub Sleep mode			112	137	μs	When High-speed CR is enabled
High-speed CR Timer mode Main Timer mode PLL Timer mode			20	22	μs	When High-speed CR is enabled
Low-speed CR Timer mode			87	159	μs	
Sub Timer mode			148	209	μs	
Stop mode RTC mode			45	68	μs	
Deep Standby RTC mode Deep Standby Stop mode			43	281	μs	

*: 最大值取决于内置 CR 的精确度。

低功耗模式的唤醒操作示例 (INITX)


低功耗模式的唤醒操作示例（内部资源复位 *）


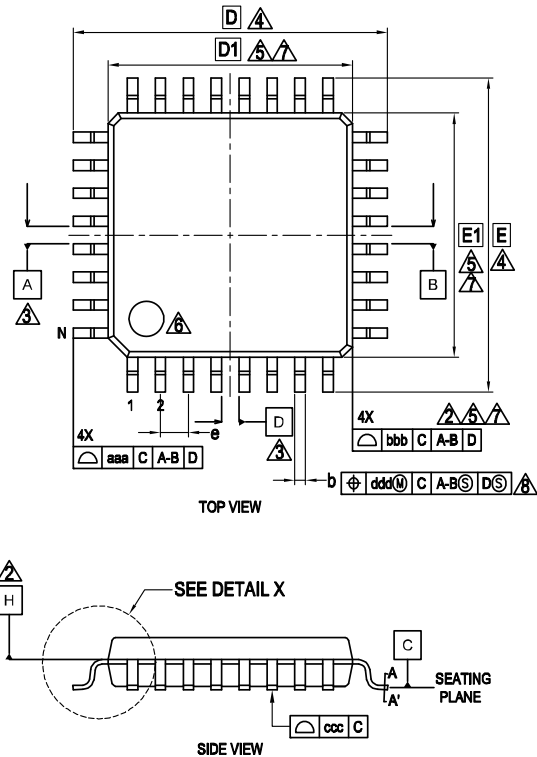
*: 低功耗模式下的唤醒因素不包括内部资源复位。

注意事项：

- 各低功耗模式下的唤醒因素不同。
请参照 FMO+ 系列外设手册中“低功耗模式”一章和“待机模式工作”一章。
- 中断恢复时，CPU 恢复的运行模式取决于低功耗模式过渡前的状态。请参照“FMO+ 系列外设手册”中“低功耗模式”一章。
- 不包括上电复位/低压检测复位时间。有关上电复位/低压检测复位时间，参见“11. 电气特性 11.4 AC 特性 11.4.7 上电复位时序”。
- 从复位唤醒时，CPU 变为高速 CR 运行模式。使用主时钟或 PLL 时钟时，有必要增加主时钟振荡稳定等待时间或主 PLL 时钟稳定等待时间。
- 内部资源复位指看门狗复位和 CSV 复位。

12. 订购信息

部件编号	片上闪存 [Kbyte]	片上 SRAM [Kbyte]	封装	包装
S6E1C12D0AGV20000	128	16	Plastic • LQFP (0.50 mm pitch), 64 pins (LQD064-02)	货盘
S6E1C11D0AGV20000	64	12		
S6E1C12C0AGV20000	128	16	Plastic • LQFP (0.50 mm pitch), 48 pins (LQA048-02)	货盘
S6E1C11C0AGV20000	64	12		
S6E1C12B0AGP20000	128	16	Plastic • LQFP (0.80 mm pitch), 32 pins (LQB032)	货盘
S6E1C11B0AGP20000	64	12		
S6E1C12D0AGN20000	128	16	Plastic • QFN64 (0.50 mm pitch), 64 pins (WNS064)	货盘
S6E1C11D0AGN20000	64	12		
S6E1C12C0AGN20000	128	16	Plastic • QFN48 (0.50 mm pitch), 48 pins (WNY048)	货盘
S6E1C11C0AGN20000	64	12		
S6E1C12B0AGN20000	128	16	Plastic • QFN32 (0.50 mm pitch), 32 pins (WNU032)	货盘
S6E1C11B0AGN20000	64	12		

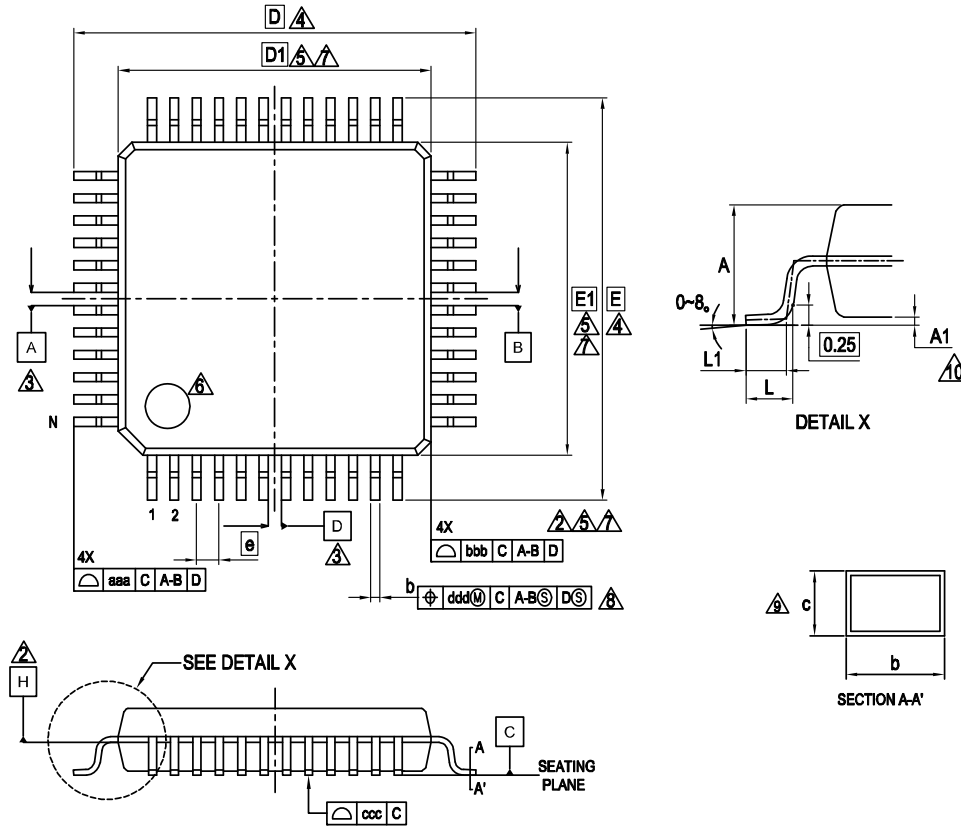
13. 封装尺寸
LQB032 032 LEAD PLASTIC LOW PROFILE QUAD FLAT PACKAGE


PACKAGE	LQB032			SYMBOL	TOLERANCES OF FORM AND POSITION
SYMBOL	MIN.	NOM.	MAX.		
A	—	—	1.60	N	32
A1	0.05	—	0.15	aaa	0.20
b	0.32	0.35	0.42	bbb	0.10
c	0.13	—	0.18	ccc	0.10
D	9.00 BSC			ddd	0.20
D1	7.00 BSC				
e	0.80 BSC				
E	9.00 BSC				
E1	7.00 BSC				
θ	0°	—	7°		
L	0.45	0.60	0.75		
L1	1.00 REF				
L2	0.25 BSC				

NOTES

- CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm)
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

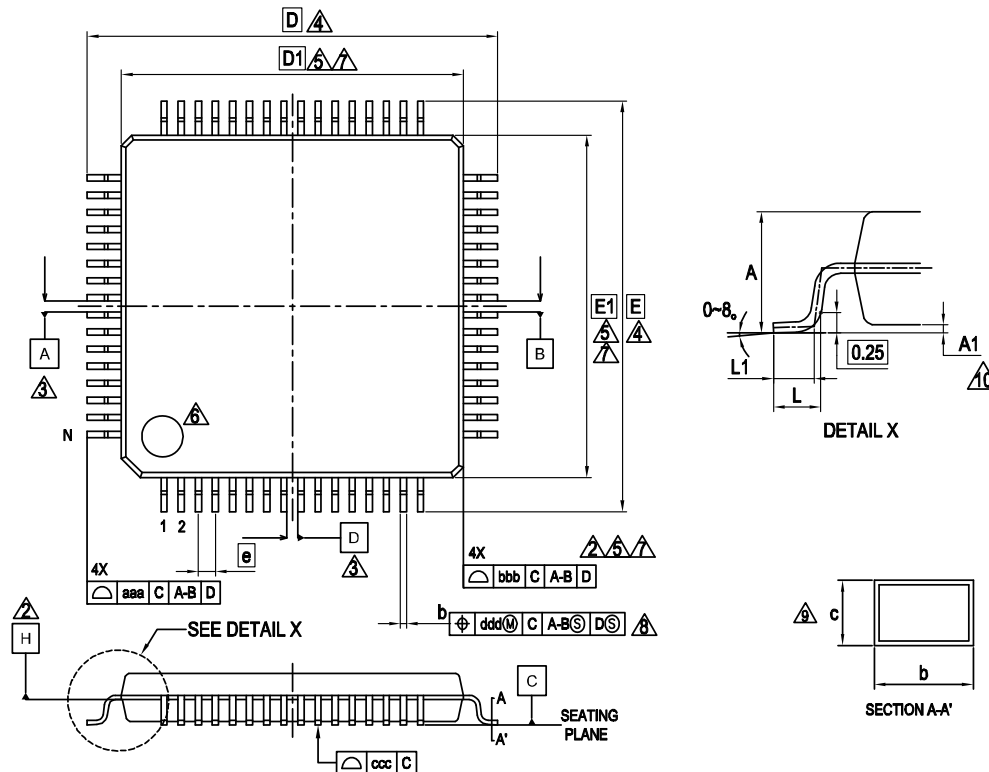
LQA048-02 , 48 Lead Plastic Low Profile Quad Flat Package



PACKAGE	LQA048-02		
SYMBOL	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.17	0.22	0.27
c	0.09	—	0.20
D	9.00 BSC.		
D1	7.00 BSC.		
e	0.50 BSC		
E	9.00 BSC.		
E1	7.00 BSC.		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
aaa	—	—	0.20
bbb	—	—	0.10
ccc	—	—	0.08
ddd	—	—	0.08
N	48		

NOTES

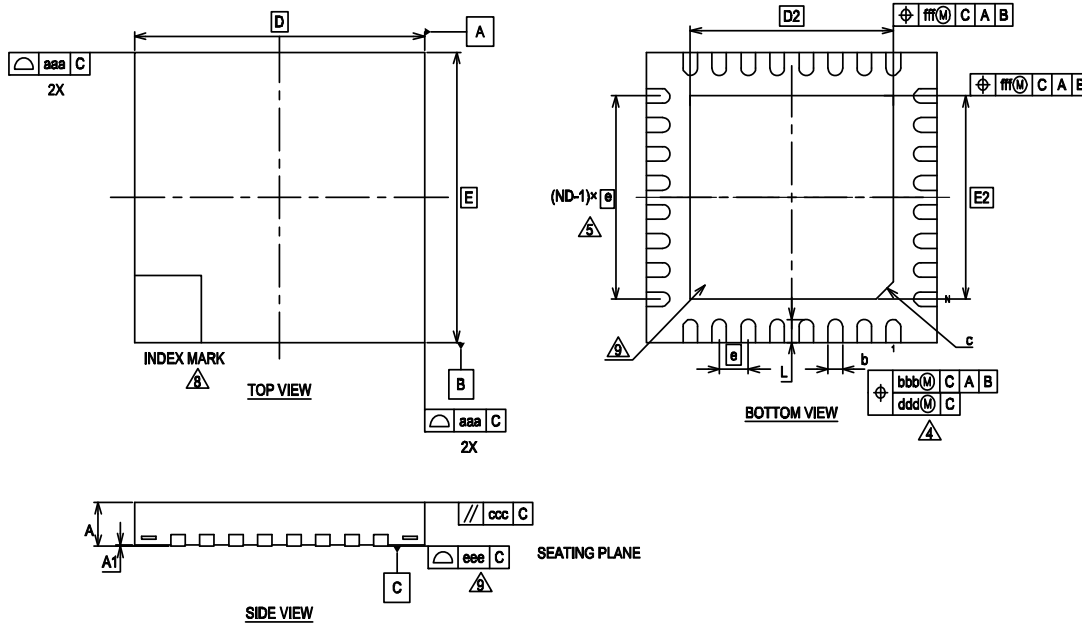
- CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm)
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

LQD064-02 , 64 Lead Plastic Low Profile Quad Flat Package


PACKAGE	LQD64-02		
SYMBOL	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.17	0.22	0.27
c	0.09	—	0.20
D	12.00 BSC.		
D1	10.00 BSC.		
e	0.50 BSC		
E	12.00 BSC.		
E1	10.00 BSC.		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
aaa	—	—	0.20
bbb	—	—	0.10
ccc	—	—	0.08
ddd	—	—	0.08
N	64		

NOTES

- CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm)
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBER PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

WNU032 VERY THIN PLASTIC QUAD FLAT NO LEAD PACKAGES


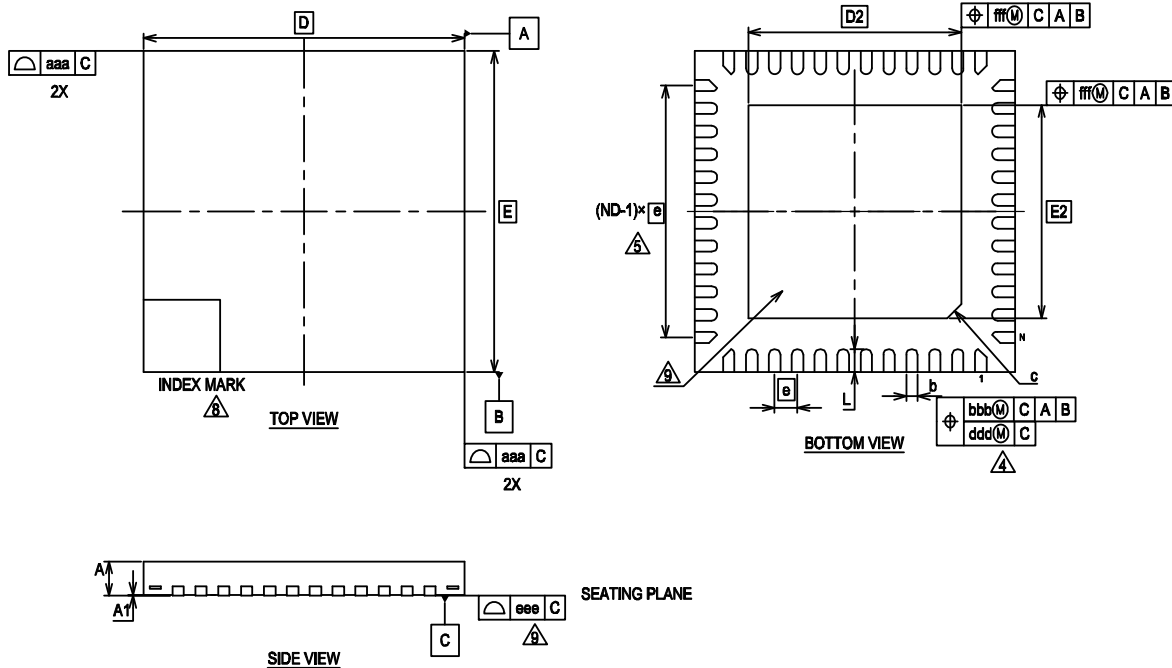
SYMBOL	MILLIMETER			NOTE
	MIN.	NOM.	MAX.	
A	—	—	0.80	PROFILE
A1	0.00	—	0.05	TERMINAL HEIGHT
D	5.00 BSC			BODY SIZE
E	5.00 BSC			BODY SIZE
b	0.20	0.25	0.30	TERMINAL WIDTH
D2	3.20 BSC			EXPOSED PAD SIZE
E2	3.20 BSC			EXPOSED PAD SIZE
e	0.50 BSC			TERMINAL PITCH
c	0.25 REF			EXPOSED PAD CHAMFER
L	0.35	0.40	0.45	TERMINAL LENGTH

N	32	TERMINAL COUNT
aaa	0.10	
bbb	0.10	
ccc	0.10	
ddd	0.05	
eee	0.08	
fff	0.10	

- DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS.
- N IS THE TOTAL NUMBER OF TERMINALS.
- DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
- ND REFER TO THE NUMBER OF TERMINALS ON D OR E SIDE.
- MAX. PACKAGE WARPAGE IS 0.05mm.
- MAXIMUM ALLOWABLE BURRS IS 0.076mm IN ALL DIRECTIONS.
- PIN #1 ID ON TOP WILL BE LOCATED WITHIN INDICATED ZONE.
- BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.

Rev. 0A

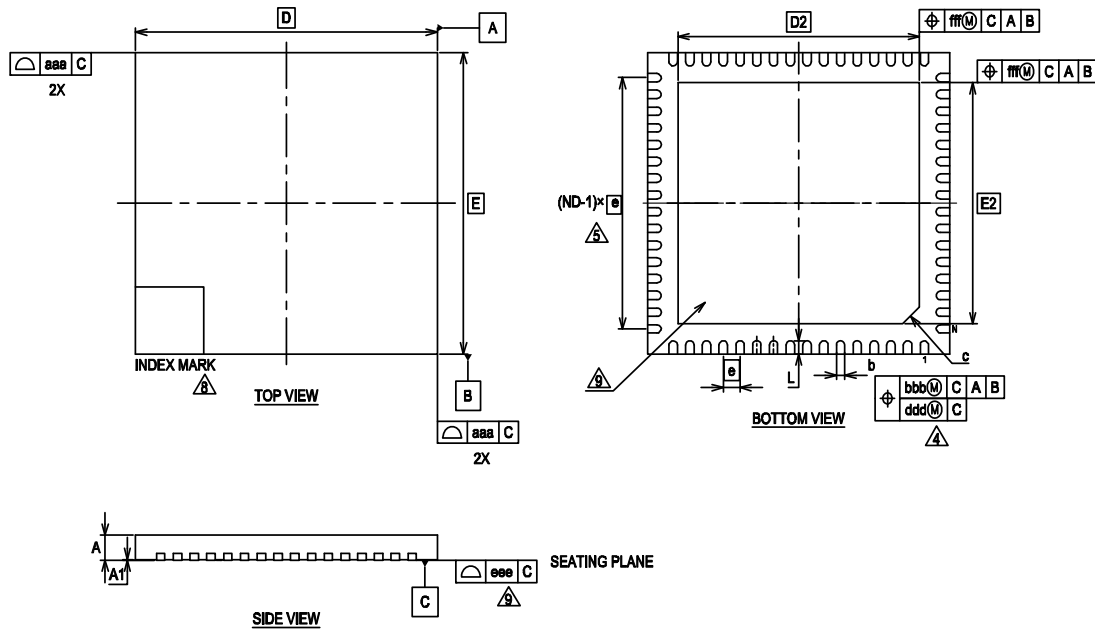
WNY048 VERY THIN PLASTIC QUAD FLAT NO LEAD PACKAGES



SYMBOL	MILLIMETER			NOTE
	MIN.	NOM.	MAX.	
A	—	—	0.80	PROFILE
A1	0.00	—	0.05	TERMINAL HEIGHT
D	7.00 BSC			BODY SIZE
E	7.00 BSC			BODY SIZE
b	0.18	0.25	0.30	TERMINAL WIDTH
D2	4.65 BSC			EXPOSED PAD SIZE
E2	4.65 BSC			EXPOSED PAD SIZE
e	0.50 BSC			TERMINAL PITCH
c	0.30 REF			EXPOSED PAD CHAMFER
L	0.45	0.50	0.55	TERMINAL LENGTH
N	48			TERMINAL COUNT
aaa	0.10			
bbb	0.10			
ddd	0.05			
eee	0.05			
fff	0.15			

1. DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5-1994.
 2. ALL DIMENSIONS ARE IN MILLIMETERS.
 3. N IS THE TOTAL NUMBER OF TERMINALS.
- A DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
- ND REFER TO THE NUMBER OF TERMINALS ON D OR E SIDE.
6. MAX. PACKAGE WARPAGE IS 0.05mm.
 7. MAXIMUM ALLOWABLE BURRS IS 0.076mm IN ALL DIRECTIONS.
- PIN #1 ID ON TOP WILL BE LOCATED WITHIN INDICATED ZONE.
- BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.

WNS064 VERY THIN PLASTIC QUAD FLAT NO LEAD PACKAGES



SYMBOL	MILLIMETER			NOTE
	MIN.	NOM.	MAX.	
A	—	—	0.80	PROFILE
A1	0.00	—	0.05	TERMINAL HEIGHT
D	9.00 BSC			BODY SIZE
E	9.00 BSC			BODY SIZE
b	0.20	0.25	0.30	TERMINAL WIDTH
D2	7.20 BSC			EXPOSED PAD SIZE
E2	7.20 BSC			EXPOSED PAD SIZE
e	0.50 BSC			TERMINAL PITCH
c	0.50 REF			EXPOSED PAD CHAMFER
L	0.35	0.40	0.45	TERMINAL LENGTH
N	64			TERMINAL COUNT
aaa	0.10			
bbb	0.10			
ddd	0.05			
eee	0.05			
fff	0.15			

- DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS.
- N IS THE TOTAL NUMBER OF TERMINALS.
- DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.16 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
- ND REFER TO THE NUMBER OF TERMINALS ON D OR E SIDE.
- MAX. PACKAGE WARPAGE IS 0.05mm.
- MAXIMUM ALLOWABLE BURRS IS 0.076mm IN ALL DIRECTIONS.
- PIN #1 ID ON TOP WILL BE LOCATED WITHIN INDICATED ZONE.
- BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.

Rev. 0A

14. Errata

本章描述 S6E1C 产品家族的勘误表 (Errata)。内容包括 Errata 触发条件、影响范围、规避方法、以及硅片版本适用性。如果您有任何问题，请联系当地赛普拉斯销售代表。

14.1 受影响的部件

部件编号
S6E1C12D0AGV20000, S6E1C12C0AGV20000, S6E1C12B0AGP20000, S6E1C12D0AGN20000, S6E1C12C0AGN20000, S6E1C12B0AGN20000
S6E1C11D0AGV20000, S6E1C11C0AGV20000, S6E1C11B0AGP20000, S6E1C11D0AGN20000, S6E1C11C0AGN20000, S6E1C11B0AGN20000

14.2 合格状态

产品状态：在产-定性

14.3 Errata 总结

下表定义了 ERRATA 对于可用设备的适用性

项目	部件编号	硅片版本	修复状态
[1] AHB 总线矩阵问题	参考 16.1	Rev B	将在下一硅片中修复

1. AHB 总线矩阵问题

■ 问题定义

AHB 总线矩阵逻辑有两个主接口 (CPU 和 DSTC) 和四个从接口 (RAM、FLASH、AHB、和 APB)。当两个主接口 (CPU 和 DSTC) 以同样的时序访问相同的从接口，以及当 CPU 处于等待周期，在等待周期中不必要的访问出现，在不必要的访问出现后，期待的访问再次出现。

■ 受影响的参数

无

■ 触发条件

CPU 和 DSCT 以相同的时序访问相同的从接口。

■ 影响范围

不能使用 DSTC

■ 规避方法

禁止使用 DSTC。

■ 修复状态

此问题将在下一个硅片版本中修复。

文档历史

文档标题: **S6E1C1 Series 基于 32 位 ARM® Cortex®-M0+, FM0+ Microcontroller**

文档编号: **002-02769**

改版	ECN	改动作者	提交日期	改动内容
**	4905419	TEKA	09/02/2015	本文档版本号为 Rev**, 译自英文版 002-00234 Rev **。
*A	4955144	TEKA	10/9/2015	本文档版本号为 Rev*A, 译自英文版 002-00234 Rev *A。
*B	5160237	YUKT	03/04/2016	本文档版本号为 Rev*B, 译自英文版 002-00234 Rev *B。
*C	5393998	HIFU	08/08/2016	本文档版本号为 Rev.*C, 译自 S6E1C1 产品系列的英文版 002-00233 Rev. *C。
*D	5798269	YOST	07/05/2017	Updated Cypress logo. Updated Copyright.